



ON Semiconductor®

<http://onsemi.jp>

LC89075WA

CMOS LSI

AD コンバータ内蔵デジタルオーディオ用 インタフェースレシーバ

1 概要

LC89075WA は IEC60958/61937、JEITA CPR-1205 によるデジタルオーディオ機器間のデータ伝送フォーマットに従い復調するデジタルオーディオインタフェースレシーバである。復調のサンプリング周波数は最高 192kHz まで対応する。

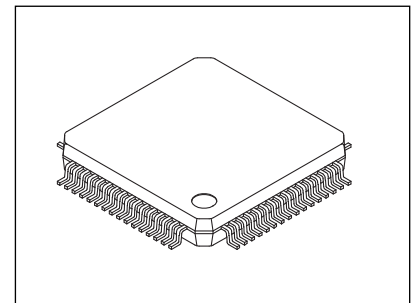
更に LC89075WA は最大 96kHz サンプリング周波数対応の高性能 24 ビットシングルエンド入力 $\Delta\Sigma$ ステレオ AD コンバータと 8ch データ入出力可能なオーディオセクタを内蔵する。

LC89075WA は AV レシーバ、デジタル TV、DVD レコーダなど多様なシステムに適合する。

2 特長

2-1 ADC

- $\Delta\Sigma$ ステレオ ADC
- アンチ・エイリアシングデジタルフィルタ内蔵
- シングルエンド入力 (3Vp-p)
- DC オフセットキャンセル用デジタル HPF 内蔵
- PGA 内蔵 (-4.5dB~6dB/1.5dB ステップ)
- ソフトミュート、アッテネータ内蔵 (0dB~-63.5dB/0.25dB ステップ、 $-\infty$)
- サンプリング周波数: 8kHz~96kHz
- マスタクロック: 512fs, 256fs (マスタ/スレーブ)
- オーディオデータ出力インタフェース: 24bit I²S/前詰め
- アナログオーディオデータ有無音検出 (判定レベル: -30dB~-60dB/2dB ステップ調整)



SQFP64(10X10)

2-2 DIR

- IEC60958/61937、JEITA CPR-1205 準拠 S/PDIF 復調処理
- 受信周波数: 32k~192kHz (PLL ロックレンジ)
- 15:3 デジタルデータセクタ内蔵、復調するデータと端子へ出力するデータを各々選択可能
 - S/PDIF 入力: TTL 対応最大 15 系統 (3 系統はコアキシャル対応可能)
 - S/PDIF 出力: 端子出力選択 2 系統、復調データ選択 1 系統
- S/PDIF の fs 受信周波数制限可能、受信範囲超過時は無信号入力状態に設定
- PLL 低ジッタクロック、発振アンプ内蔵、PLL と X'tal の切換えモニタ出力
- PLL ロック時マスタクロック出力周波数自動調整機能: 512fs, 256fs, 128fs 出力
- オーディオデータ出力インタフェース: I²S、24bit 前詰め
- DTS-CD 検出フラグ出力
- マイコン用割込み信号出力
- 入力サンプリング周波数算出
- IEC61937 バーストプリアンプ PC データマイコン読出し
- 先頭 40 ビットチャンネルステータスマイコン読出し
- チャンネルステータスのビット 1 非 PCM データ区分ビットおよび主要ビット端子出力

ORDERING INFORMATION

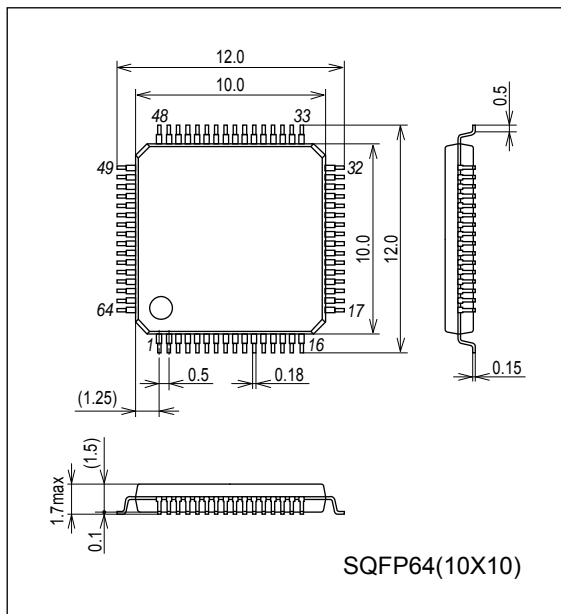
See detailed ordering and shipping information on page 70 of this data sheet.

2-3 その他

- ・最大 8ch データ対応オーディオセレクタ内蔵
 - 2ch データ対応時セレクタ構成： 4 線入力×6、4 線出力×2
 - 6ch と 2ch データ対応時セレクタ構成： 6 線入力×1、4 線入力×5、6 線出力×1
 - 8ch と 2ch データ対応時セレクタ構成： 7 線入力×1、4 線入力×4、7 線出力×1
- ・外部からのエラーフラグ、非 PCM フラグ、ミュートフラグ取り込み可能
- ・PCM デジタルオーディオデータ有無音検出(判定レベル: -30dB~-60dB/2dB ステップ調整)
- ・SPI マイコンインタフェース(オートインクリメント機能付)
- ・パワーオンリセット回路内蔵
- ・電源 OFF 時入力端子逆バイアス対策
- ・電源電圧：
 - ADC アナログ： 4.5~5.5V(ADC 未使用時： 3.0~3.6V 可能)
 - PLL アナログ： 3.0~3.6V
 - デジタル： 3.0~3.6V
- ・動作保証温度： -30~85°C
- ・パッケージ： SQFP64(鉛フリー、ハロゲンフリー対応)

3 外形図

unit:mm (typ)



LC89075WA

4 ピン配置図

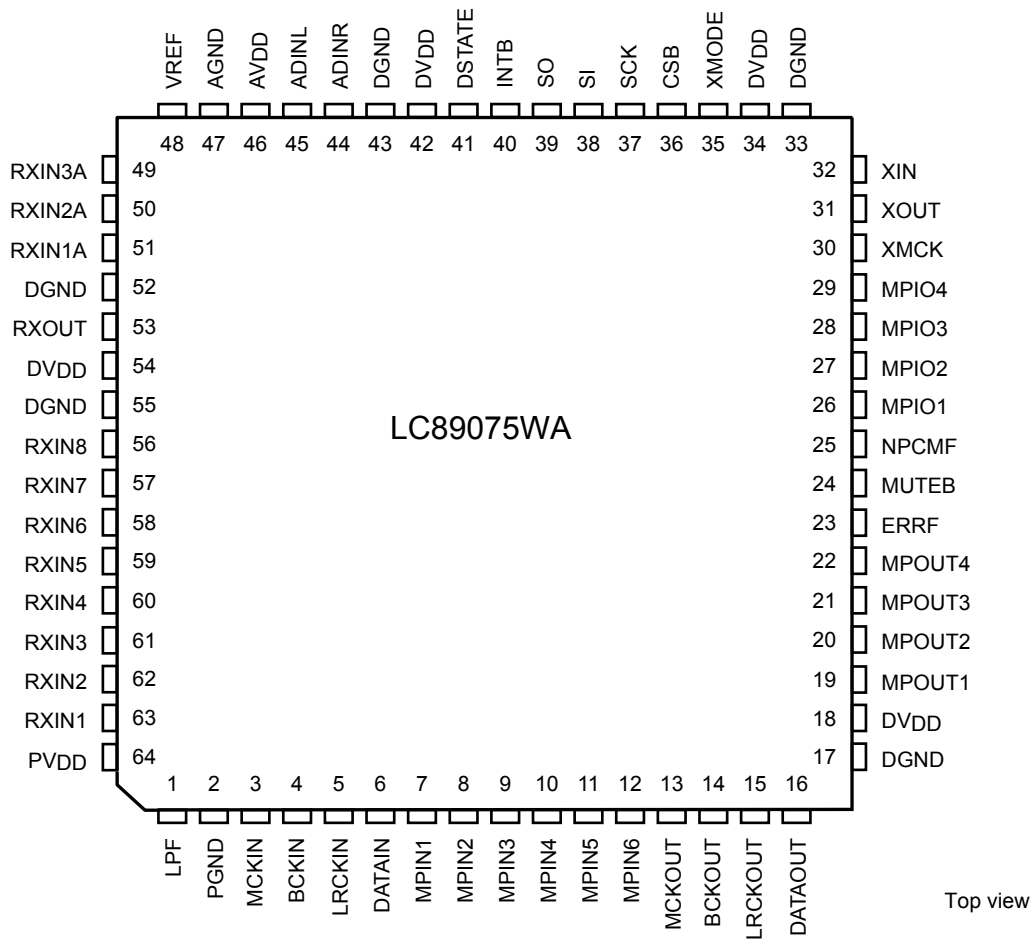


図 4.1 : LC89075WA ピン配置図

LC89075WA

5 端子説明

表5.1：端子説明

No	名称	I/O	説明
1	LPF	0	PLL：ループ・フィルタ接続端子
2	PGND		PLL：アナログ GND
3	MCKIN	I	グループ A : マスタクロック入力端子 to [MCKOUT], [MPOUT1]
			グループ A+B : マスタクロック入力端子 to [MCKOUT]
4	BCKIN	I	グループ A : ビットクロック入力端子 to [BCKOUT], [MPOUT2]
			グループ A+B : ビットクロック入力端子 to [BCKOUT]
5	LRCKIN	I	グループ A : LR クロック入力端子 to [LRCKOUT], [MPOUT3]
			グループ A : DSD データ入力端子 to [LRCKOUT], [MPOUT3]
			グループ A+B : LR クロック入力端子 to [LRCKOUT]
6	DATAIN	I	グループ A : 2ch オーディオデータ入力端子 to [DATAOUT], [MPOUT4]
			グループ A : DSD データ入力端子 to [DATAOUT], [MPOUT4]
			グループ A+B : 1, 2ch/8ch オーディオデータ入力端子 to [DATAOUT]
7	MPIN1	I	グループ B : マスタクロック入力端子 to [MCKOUT], [MPOUT1]
			グループ A+B : 3, 4ch/8ch オーディオデータ入力端子 to [MPOUT1]
8	MPIN2	I	グループ B : ビットクロック入力端子 to [BCKOUT], [MPOUT2]
			グループ A+B : 5, 6ch/8ch オーディオデータ入力端子 to [MPOUT2]
9	MPIN3	I	グループ B : LR クロック入力端子 to [LRCKOUT], [MPOUT3]
			グループ B : DSD データ入力端子 to [LRCKOUT], [MPOUT3]
			グループ A+B : 7, 8ch/8ch オーディオデータ入力端子 to [MPOUT3]
10	MPIN4	I	グループ B : 2ch オーディオデータ入力端子 to [DATAOUT], [MPOUT4]
			グループ B : DSD データ入力端子 to [DATAOUT], [MPOUT4]
			グループ B : 1, 2ch/6ch オーディオデータ入力端子 to [DATAOUT]
			グループ A+B : 外部エラー信号入力端子 to [ERRF]
11	MPIN5	I	グループ B : 3, 4ch/6ch オーディオデータ入力端子 to [MPOUT1]
			グループ A+B : 外部データミュート信号入力端子 to [MUTEb]
12	MPIN6	I	グループ B : 5, 6ch/6ch オーディオデータ入力端子 to [MPOUT2]
			グループ A+B : 外部非 PCM 信号入力端子 to [NPCMF]
13	MCKOUT	0	マスタクロック出力端子 from ADC, DIR, [MCKIN], [MPIN1], [MPI01], [RXIN8]
14	BCKOUT	0	ビットクロック出力端子 from ADC, DIR, [BCKIN], [MPIN2], [MPI02], [RXIN7]
15	LRCKOUT	0	LR クロック出力端子 from ADC, DIR, [LRCKIN], [MPIN3], [MPI03], [RXIN6]
			DSD データ出力端子 from [LRCKIN], [MPIN3], [MPI03], [RXIN6]
16	DATAOUT	0	2ch オーディオデータ出力端子 from ADC, DIR, [DATAIN], [MPIN4], [MPI04], [RXIN5]
			DSD データ出力端子 from [DATAIN], [MPIN4], [MPI04], [RXIN5]
			1, 2ch/6ch オーディオデータ出力端子 from [MPIN4]
			1, 2ch/8ch オーディオデータ出力端子 from [DATAIN]
17	DGND		デジタル GND
18	DV _{DD}		デジタル電源 (3.3V)
19	MPOUT1	0	マスタクロック出力端子 from ADC, [MCKIN], [MPIN1], [MPI01], [RXIN8]
			3, 4ch/6ch オーディオデータ出力端子 from [MPIN5]
			3, 4ch/8ch オーディオデータ出力端子 from [MPIN1]
20	MPOUT2	0	ビットクロック出力端子 from ADC, [BCKIN], [MPIN2], [MPI02], [RXIN7]
			5, 6ch/6ch オーディオデータ出力端子 from [MPIN6]
			5, 6ch/8ch オーディオデータ出力端子 from [MPIN2]
21	MPOUT3	0	LR クロック出力端子 from ADC, [LRCKIN], [MPIN3], [MPI03], [RXIN6]
			DSD データ出力端子 from [LRCKIN], [MPIN3], [MPI03], [RXIN6]
			7, 8ch/8ch オーディオデータ出力端子 from [MPIN3]

次ページへ続く。

LC89075WA

前ページより続く。

No	名称	I/O	説明
22	MPOUT4	0	2ch オーディオデータ出力端子 from ADC, [DATAIN], [MPIN4], [MPIO4], [RXIN5]
			DSD データ出力端子 from [DATAIN], [MPIN4], [MPIO4], [RXIN5]
			入力 S/PDIF スルー出力端子
23	ERRF	0	PLL ロックエラー、データエラーフラグ出力端子
			外部エラー信号出力端子 from [MPIN4]
24	MUTEB	0	クロック切換え期間データミュート信号出力端子
			外部データミュート信号出力端子 from [MPIN5]
25	NPCMF	0	チャンネルステータスデータ区分ビット(ビット1)出力端子
			外部非 PCM 信号出力端子 from [MPIN6]
26	MPIO1	0	チャンネルステータスデータ区分ビット(ビット1)出力端子
			マイコン拡張レジスタ出力端子
		I	マスタクロック入力端子(ADC スレーブ動作) to ADC, [MPOUT1]
			グループ C : マスタクロック入力端子 to [MCKOUT], [MPOUT1]
27	MPIO2	0	チャンネルステータス・コピービット出力端子
			マイコン拡張レジスタ出力端子
		I	ビットクロック入力端子(ADC スレーブ動作) to ADC, [MPOUT2]
			グループ C : ビットクロック入力端子 to [BCKOUT], [MPOUT2]
28	MPIO3	0	チャンネルステータスエンファシス情報出力端子
			マイコン拡張レジスタ出力端子
		I	LR クロック入力端子(ADC スレーブ動作) to ADC
			グループ C : LR クロック入力端子 to [LRCKOUT], [MPOUT3]
29	MPIO4	0	チャンネルステータス世代ビット出力端子
			マイコン拡張レジスタ出力端子
		I	グループ C : 2ch オーディオデータ入力端子 from ADC
			グループ C : DSD データ入力端子 to [DATAOUT], [MPOUT4]
30	XMCK	0	発振アンブクロック出力端子
31	XOUT	0	振動子接続出力端子
32	XIN	I	振動子接続、外部供給クロック入力端子(12.288MHz/24.576MHz)
33	DGND		デジタル GND
34	DV _{DD}		デジタル電源(3.3V)
35	XMODE	I	システムリセット入力端子(パワーオンリセット使用時: H 固定)
36	CSB	I	SPI マイコンインタフェース・チップイネーブル入力端子
37	SCK	I	SPI マイコンインタフェース・シフトクロック入力端子
38	SI	I	SPI マイコンインタフェース・書込みデータ入力端子
39	SO	0	SPI マイコンインタフェース・読出しデータ出力端子
40	INTB	0	SPI マイコンインタフェース・割込み信号出力端子
41	DSTATE	0	アナログデータ、デジタルデータ有無音検出フラグ出力端子
42	DV _{DD}		デジタル電源(3.3V)
43	DGND		デジタル GND

次ページへ続く。

LC89075WA

前ページより続く。

No	名称	I/O	説明
44	ADINR	I ₅	ADC : アナログ Rch データ入力端子
45	ADINL	I ₅	ADC : アナログ Lch データ入力端子
46	AV _{DD}		ADC : アナログ電源 (5V, ADC 未使用時 3.3V 可能)
47	AGND		ADC : アナログ GND
48	VREF	0	ADC : コモン電圧出力端子
49	RXIN3A	I	3.3V 耐圧 TTL 入力レベル対応 S/PDIF 入力端子
			コアキシャル入力レベル対応 S/PDIF 入力端子
50	RXIN2A	I	3.3V 耐圧 TTL 入力レベル対応 S/PDIF 入力端子
			コアキシャル入力レベル対応 S/PDIF 入力端子
51	RXIN1A	I	3.3V 耐圧 TTL 入力レベル対応 S/PDIF 入力端子
			コアキシャル入力レベル対応 S/PDIF 入力端子
52	DGND		デジタル GND
53	RXOUT	0	入力 S/PDIF スルー出力端子
54	DV _{DD}		デジタル電源 (3.3V)
55	DGND		デジタル GND
56	RXIN8	I ₅	5V 耐圧 TTL 入力レベル対応 S/PDIF 入力端子
			グループ D : マスタクロック入力端子 to [MCKOUT], [MPOUT1]
57	RXIN7	I ₅	5V 耐圧 TTL 入力レベル対応 S/PDIF 入力端子
			グループ D : ビットクロック入力端子 to [BCKOUT], [MPOUT2]
58	RXIN6	I ₅	5V 耐圧 TTL 入力レベル対応 S/PDIF 入力端子
			グループ D : LR クロック入力端子 to [LRCKOUT], [MPOUT3]
			グループ D : DSD データ入力端子 to [LRCKOUT], [MPOUT3]
59	RXIN5	I ₅	5V 耐圧 TTL 入力レベル対応 S/PDIF 入力端子
			グループ D : 2ch オーディオデータ入力端子 to [DATAOUT], [MPOUT4]
			グループ D : DSD データ入力端子 to [DATAOUT], [MPOUT4]
60	RXIN4	I ₅	5V 耐圧 TTL 入力レベル対応 S/PDIF 入力端子
61	RXIN3	I ₅	5V 耐圧 TTL 入力レベル対応 S/PDIF 入力端子
62	RXIN2	I ₅	5V 耐圧 TTL 入力レベル対応 S/PDIF 入力端子
63	RXIN1	I ₅	5V 耐圧 TTL 入力レベル対応 S/PDIF 入力端子
64	PV _{DD}		PLL : アナログ電源 (3.3V)

* 入力耐圧 : I=-0.3~3.6V, I₅=-0.3~5.5V、出力耐圧 : 0=-0.3~3.6V

* Pin. 35 はパワーオンリセット回路を内蔵。

* Pin. 32 の電源 OFF 時逆バイアス対策は振動子接続時のみ対応する。

* Pin. 26, 27, 28, 29 の電源 OFF 時逆バイアス対策は電源 OFF 時 L レベル入力時のみ対応する。

* Pin. 46 の AV_{DD} は ADC を使用しない場合 3.3V 供給可能。パワーダウン設定を推奨する。

* ラッチアップ対策のため AV_{DD}, PV_{DD}, DV_{DD} 各電源の ON/OFF は同タイミングで行うこと。

LC89075WA

6 ブロック図

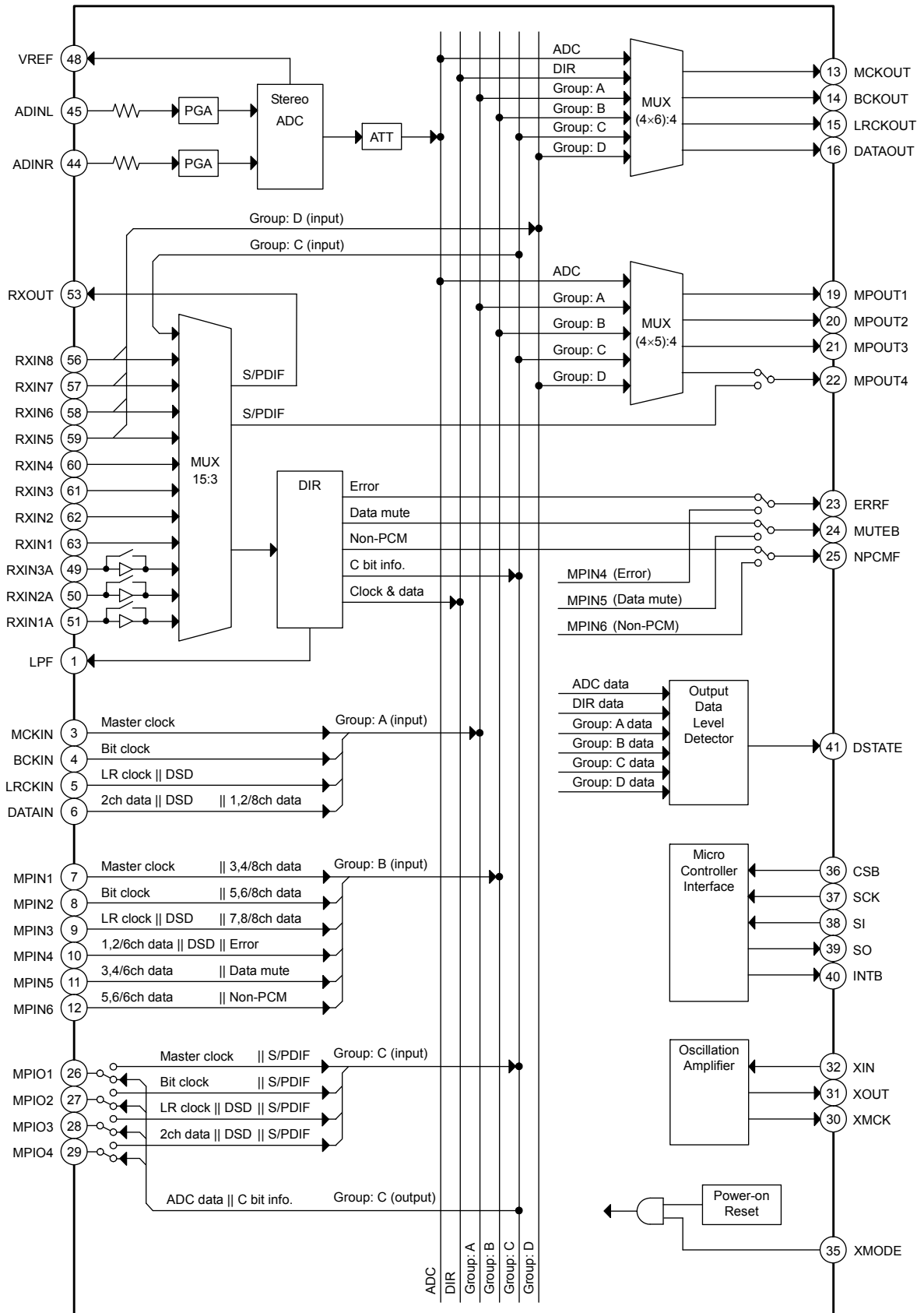


図 6.1 : LC89075WA ブロック図

7 電気的特性

7.1 絶対最大定格

表 7.1 : 絶対最大定格/AGND=PGND=DGND=0V

項目	記号	条件	定格値	unit
最大電源電圧	AV _{DD} max	7-1-1	-0.3~6.0	V
最大電源電圧	DV _{DD} max	7-1-2	-0.3~4.6	V
入力電圧 1	V _{IN1}	7-1-3	-0.3~AV _{DD} max + 0.3 (max. 6.0Vp-p)	V
入力電圧 2	V _{IN2}	7-1-4	-0.3~DV _{DD} max + 0.3 (max. 4.6Vp-p)	V
出力電圧	V _{OUT}	7-1-5	-0.3~DV _{DD} max + 0.3 (max. 4.6Vp-p)	V
保存周囲温度	T _{stg}		-55~125	°C
動作周囲温度	T _{opr}		-30~85	°C
許容消費電力	P _d max	7-1-6	559	mW
最大入出力電流	I _{IN} , I _{OUT}	7-1-7	±20	mA

7-1-1 : AV_{DD} 端子

7-1-2 : PV_{DD}, DV_{DD} 端子

7-1-3 : ADINL, ADINR, RXIN1, RXIN2, RXIN3, RXIN4, RXIN5, RXIN6, RXIN7, RXIN8 端子

7-1-4 : MCKIN, BCKIN, LRCKIN, DATAIN, MPIN1, MPIN2, MPIN3, MPIN4, MPIN5, MPIN6 端子

XIN, MPIO1, MPIO2, MPIO3, MPIO4, XMODE, CSB, SCK, SI, RXIN1A, RXIN2A, RXIN3A 端子

7-1-5 : MCKOUT, BCKOUT, LRCKOUT, DATAOUT, MPOUT1, MPOUT2, MPOUT3, MPOUT4, ERRF 端子

MUTE_B, NPCMF, XMCK, XOUT, MPIO1, MPIO2, MPIO3, MPIO4, SO, INTB, DSTATE, RXOUT 端子

7-1-6 : Ta ≤ 85°C

7-1-7 : 入出力端子 1 端子当り

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能的動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

7.2 許容動作範囲

表 7.2 : 推奨動作条件/AGND=PGND=DGND=0V

項目	記号	条件	min	typ	max	unit
電源電圧 1	AV _{DD1}	7-2-1	4.5	5.0	5.5	V
電源電圧 2	AV _{DD2}	7-2-2	3.0	3.3	3.6	V
電源電圧 3	DV _{DD}	7-2-3	3.0	3.3	3.6	V
入力電圧範囲 1	V _{IN1}	7-2-4	0		5.5	V
入力電圧範囲 2	V _{IN2}	7-2-5	0		3.6	V
出力負荷容量 1	C _{L1}	7-2-6			20	pF
出力負荷容量 2	C _{L2}	7-2-7			30	pF
動作温度	V _{opr}		-30	25	85	°C

7-2-1 : AV_{DD} 端子 (ADC を使用する場合)

7-2-2 : AV_{DD} 端子 (ADC は常時パワーダウンモード設定)

7-2-3 : PV_{DD}, DV_{DD} 端子

AV_{DD}, PV_{DD}, DV_{DD} の ON/OFF は同タイミングが望ましいができない場合は PV_{DD}, DV_{DD} を AV_{DD} より先に ON すること。OFF 時も PV_{DD}, DV_{DD} の後に AV_{DD} を OFF すること。

7-2-4 : ADINL, ADINR, RXIN1, RXIN2, RXIN3, RXIN4, RXIN5, RXIN6, RXIN7, RXIN8 端子

7-2-5 : MCKIN, BCKIN, LRCKIN, DATAIN, MPIN1, MPIN2, MPIN3, MPIN4, MPIN5, MPIN6 端子

XIN, MPIO1, MPIO2, MPIO3, MPIO4, XMODE, CSB, SCK, SI, RXIN1A, RXIN2A, RXIN3A 端子

7-2-6 : MCKOUT 端子

7-2-7 : MCKOUT 以外の出力端子

LC89075WA

7.3 AD コンバータ特性

表 7.3 : ADC 特性/ $T_a=25^{\circ}\text{C}$, $AV_{DD}=5.0\text{V}$, $PV_{DD}=DV_{DD}=3.3\text{V}$, $AGND=PGND=DGND=0\text{V}$
 $f_s=48\text{k}:96\text{kHz}$, 入力=1kHz:24bit-data, 測定=20Hz~20kHz

項目	条件	min	typ	max	unit
分解能				24	Bits
サンプリング周波数	7-3-1	8	48	96	kHz
システムクロック周波数		2.048	12.288	24.576	MHz
入力電圧	7-3-2		3.0		V _{p-p}
PGA レンジ	7-3-3	-4.5	0	6	dB
PGA ステップ	7-3-3		1.5		dB
THD+N	7-3-4 (48kHz)		-92	-80	dB
	7-3-5 (96kHz)		-88		dB
S/N	7-3-6 (48kHz)	94	101		dB
	7-3-7 (96kHz)		103		dB
Dynamic Range	7-3-8 (48kHz)	94	101		dB
	7-3-9 (96kHz)		103		dB
入力インピーダンス			27		k Ω
チャンネル間クロストーク		90	100		dB
チャンネルゲイン誤差			0.2	0.5	dB
Pass band				0.45f _s	Hz
Stop band		0.545f _s			Hz
Pass band リップル				± 0.041	dB
Stop band アテネーション		-58.5			dB
群遅延	7-3-10		24.5		1/f _s
HPF 周波数レスポンス	7-3-11		0.0385f _s /1000		

7-3-1 : 「ADCOPR[1:0]=10」, 「SDMODE=1」設定時のサンプリング周波数は 6kHz となる。

7-3-2 : アナログ入力電圧のフルスケール値 (0dB) で AV_{DD} 電圧に比例する。 ($V_{IN}=0.6 \times AV_{DD}$)

7-3-3 : -4.5dB~6dB の間で 1.5dB ステップ

7-3-4 : $f_s=48\text{kHz}$, -1dBFS, 「ADCOPR[1:0]=10」除く

7-3-5 : $f_s=96\text{kHz}$, -1dBFS, 「ADCOPR[1:0]=10」除く

7-3-6 : $f_s=48\text{kHz}$, A-weighted, 「ADCOPR[1:0]=10」除く

7-3-7 : $f_s=96\text{kHz}$, A-weighted, 「ADCOPR[1:0]=10」除く

7-3-8 : $f_s=48\text{kHz}$, -60dBFS, A-weighted

7-3-9 : $f_s=96\text{kHz}$, -60dBFS, A-weighted

7-3-10 : デジタルフィルタの遅延演算

7-3-11 : -3dB

LC89075WA

7.4 DC 特性

表 7.4 : DC 特性/ $T_a=-30\sim 85^{\circ}\text{C}$, $AV_{DD}=4.5\sim 5.5\text{V}$, $PV_{DD}=DV_{DD}=3.0\sim 3.6\text{V}$, $AGND=PGND=DGND=0\text{V}$

項目	記号	条件	min	typ	max	unit
入力高電圧	V_{IH}	7-4-1	0.7 DV_{DD}			V
入力低電圧	V_{IL}					
入力高電圧	V_{IH}	7-4-2	2.0			V
入力低電圧	V_{IL}					
出力高電圧	V_{OH}	7-4-3	$V_{DD}-0.8$			V
出力低電圧	V_{OL}					
入力振幅	V_{p-p}	7-4-4	200			mV
入力抵抗	Z_{IN}	7-4-4	40		65	k Ω

7-4-1 : CMOS 対応 : XIN 入力端子

7-4-2 : TTL 対応 : XIN, ADINL, ADINR 以外の入力端子

7-4-3 : $I_{OH}=-6\text{mA}$, $I_{OL}=6\text{mA}$: MCKOUT, MPOUT1 出力端子

$I_{OH}=-4\text{mA}$, $I_{OL}=4\text{mA}$: BCKOUT, LRCKOUT, DATAOUT, MPOUT[4:2], XMCK, RXOUT 出力端子

$I_{OH}=-2\text{mA}$, $I_{OL}=2\text{mA}$: ERRF, MUTEb, NPCMF, MPIO[4:1], SO, INTB, DSTATE 出力端子

7-4-4 : RXIN1A, RXIN2A, RXIN3A 端子の容量前 (RXIN1A, RXIN2A, RXIN3A コアキシャル入力設定時)

7.5 電流特性

表 7.5 : 電流特性/ $T_a=25^{\circ}\text{C}$, $AV_{DD}=5.0\text{V}$, $PV_{DD}=DV_{DD}=3.3\text{V}$, $AGND=PGND=DGND=0\text{V}$, 出力無負荷

項目	記号	条件	min	typ	max	unit
AV_{DD} 消費電流	I_{ADD}	7-5-1		0.1	4	μA
PV_{DD} , DV_{DD} 消費電流	I_{DDD}					
AV_{DD} 消費電流	I_{ADD}	7-5-2		28	36	mA
PV_{DD} , DV_{DD} 消費電流	I_{DDD}					
AV_{DD} 消費電流	I_{ADD}	7-5-3		28	36	mA
PV_{DD} , DV_{DD} 消費電流	I_{DDD}					
AV_{DD} 消費電流	I_{ADD}	7-5-4		28	36	mA
PV_{DD} , DV_{DD} 消費電流	I_{DDD}					
AV_{DD} 消費電流	I_{ADD}	7-5-5		3	4	mA
PV_{DD} , DV_{DD} 消費電流	I_{DDD}					
AV_{DD} 消費電流	I_{ADD}	7-5-6		3	4	mA
PV_{DD} , DV_{DD} 消費電流	I_{DDD}					

7-5-1 : XMODE=L, XIN=12.288MHz

7-5-2 : XIN=24.576MHz, MCKOUT=512fs, $f_s=44.1\text{kHz}/\text{DIR}$, ADC リセット状態

7-5-3 : XIN=24.576MHz, MCKOUT=256fs, $f_s=96\text{kHz}/\text{DIR}$, $f_s=48\text{kHz}/\text{ADC}$, ADINL=ADINR=1kHz/Sine, 「SW2SEL[2:0]=001」, 「SW1SEL[2:0]=000」, 「RXDSEL[3:0]=0000」

7-5-4 : XIN=24.576MHz, MCKOUT=128fs, $f_s=192\text{kHz}/\text{DIR}$, $f_s=96\text{kHz}/\text{ADC}$, ADINL=ADINR=1kHz/Sine, 「SW2SEL[2:0]=001」, 「SW1SEL[2:0]=000」, 「RXDSEL[3:0]=0000」

7-5-5 : 低消費電力動作アナログオーディオデータ有音検出設定待機消費電流, 「ADCOPR[1:0]=10」, 「SDMODE=1」, ADINL=ADINR=無信号入力, XIN=24.576MHz, $f_s=6\text{kHz}/\text{ADC}$, 表 9.6 設定時

7-5-6 : 低消費電力動作アナログ/デジタルオーディオデータ有音検出設定待機消費電流, 「ADCOPR[1:0]=10」, 「SDMODE=1」, 「DSTASEL=1」, ADINL=ADINR=無信号入力, XIN=24.576MHz, $f_s=6\text{kHz}/\text{ADC}$, 表 9.6 設定時 (但し「DIROPR=0」, 「RXDSEL[3:0]=0000」)

LC89075WA

7.6 AC 特性 1

表 7.6 : AC 特性/ $T_a = -30 \sim 85^\circ\text{C}$, $AV_{DD} = 4.5 \sim 5.5\text{V}$, $PV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AGND = PGND = DGND = 0\text{V}$

項目	記号	条件	min	typ	max	unit
RXIN1~8, RXIN1A~3A MPIO[4:1] 入力受信周波数	f_{RFS}		28		195	kHz
RXIN1~8, RXIN1A~3A MPIO[4:1] 入力デューティ比	t_{RXDUY}		40	50	60	%
XIN クロック入力周波数	f_{XF}	7-6-1		12.288		MHz
		7-6-2		24.576		MHz
XIN クロック入力デューティ比	f_{XDUY}		40	50	60	%
MCKOUT クロック出力周波数	f_{MCK1}		4		50	MHz
MCKOUT クロック出力デューティ比	f_{MCKDUY}		40	50	60	%
MCKOUT クロックジッタ	T_j	7-6-3		50		ps RMS
MPOUT1 クロック出力周波数	f_{MCK2}		2		25	MHz
BCKOUT, MPOUT2 クロック出力周波数	f_{BCK}		0.5		12.5	MHz
LRCKOUT, MPOUT3 クロック出力周波数	f_{LRCK}		8		195	kHz
MCKOUT-BCKOUT 出力遅延	t_{MBO}		-10		10	ns
BCKOUT-LRCKOUT 出力遅延	t_{BLO}	7-6-4	-10		10	ns
BCKOUT-DATAOUT 出力遅延	t_{BDO}	7-6-4	-10		10	ns
BCKOUT-MPOUT[3:1] (6ch, 8ch) 出力遅延		7-6-5	-10		10	ns
LRCKOUT-DATAOUT 出力遅延	t_{LDO}		-10		10	ns
LRCKOUT-MPOUT[3:1] (6ch, 8ch) 出力遅延		7-6-5	-10		10	ns

7-6-1 : 「XINSEL[1:0]=00」

7-6-2 : 「XINSEL[1:0]=00 以外」

7-6-3 : Period jitter, $f_s = 48\text{kHz}$, $MCKOUT = 512\text{fs}$, 無負荷

7-6-4 : DSD データを入力時の出力も同様

7-6-5 : 「SW1SEL[1:0]=010 または 011」, 「SW2SEL[1:0]=110 または 111」

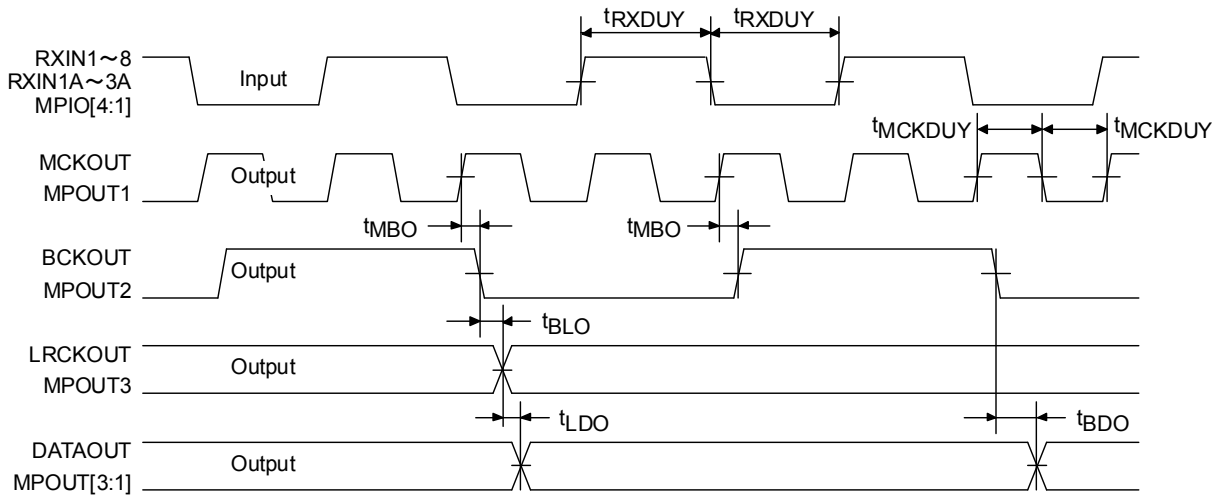


図 7.1 : AC 特性 1

LC89075WA

7.7 AC 特性 2

表 7.7 : AC 特性/ $T_a = -30 \sim 85^\circ\text{C}$, $V_{DD} = 4.5 \sim 5.5\text{V}$, $V_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AGND = PGND = DGND = 0\text{V}$

項目	記号	条件	min	typ	max	unit
マスタクロック入出力周波数	f_{MCKIN1}	7-7-1	2		25	MHz
ビットクロック入出力周波数	f_{BCKIN}	7-7-2	0.5		12.5	MHz
LR クロック入出力周波数	f_{LRCKIN}	7-7-3	8		195	kHz
入力遅延	t_{IDLY}	7-7-4	0		40	ns
セットアップ/ホールド	t_{BDSH}	7-7-5	25			ns
マスタクロック入出力遅延	t_{MMO}	7-7-6			25	ns
ビットクロック入出力遅延	t_{BBO}	7-7-7			25	ns
LR クロック入出力遅延	t_{LLO}	7-7-8			25	ns
データ入出力遅延	t_{DDO}	7-7-9			25	ns

7-7-1 : MCKIN, MPIN1, MPIO1, RXIN8 入力端子、MCKOUT, MPOUT1 出力端子

7-7-2 : BCKIN, MPIN2, MPIO2, RXIN7 入力端子、BCKOUT, MPOUT2 出力端子

7-7-3 : LRCKIN, MPIN3, MPIO3, RXIN6 入力端子、LRCKOUT, MPOUT3 出力端子

7-7-4 : ADC スレーブ動作時の MPIO2-MPIO3 入力端子間遅延

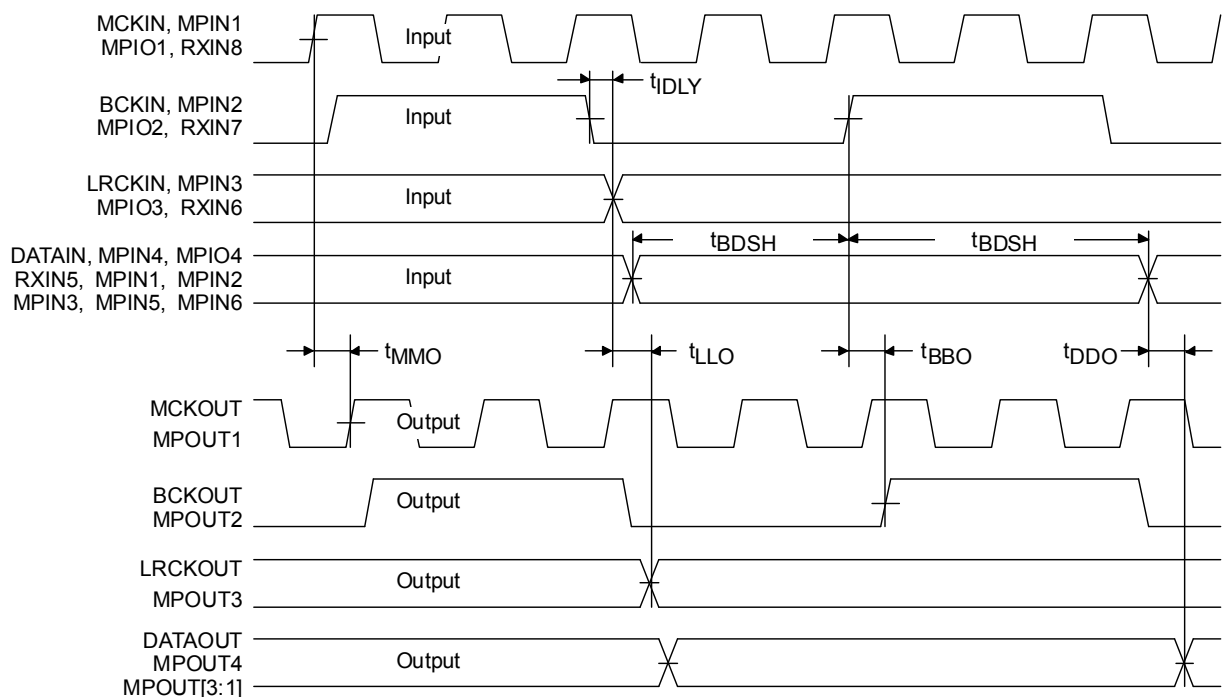
7-7-5 : DATAIN, MPIN1, MPIN2, MPIN3, MPIN4, MPIN5, MPIN6, MPIO4, RXIN5 入力端子

7-7-6 : MCKIN-MCKOUT, MPIN1-MCKOUT, MPIO1-MCKOUT, RXIN8-MCKOUT 入出力端子間遅延
MCKIN-MPOUT1, MPIN1-MPOUT1, MPIO1-MPOUT1, RXIN8-MPOUT1 入出力端子間遅延

7-7-7 : BCKIN-BCKOUT, MPIN2-BCKOUT, MPIO2-BCKOUT, RXIN7-BCKOUT 入出力端子間遅延
BCKIN-MPOUT2, MPIN2-MPOUT2, MPIO2-MPOUT2, RXIN7-MPOUT2 入出力端子間遅延

7-7-8 : LRCKIN-LRCKOUT, MPIN3-LRCKOUT, MPIO3-LRCKOUT, RXIN6-LRCKOUT 入出力端子間遅延
LRCKIN-MPOUT3, MPIN3-MPOUT3, MPIO3-MPOUT3, RXIN6-MPOUT3 入出力端子間遅延

7-7-9 : DATAIN-DATAOUT, MPIN4-DATAOUT, MPIO4-DATAOUT, RXIN5-DATAOUT 入出力端子間遅延
DATAIN-MPOUT4, MPIN4-MPOUT4, MPIO4-MPOUT4, RXIN5-MPOUT4 入出力端子間遅延
MPIN1-MPOUT1, MPIN2-MPOUT2, MPIN3-MPOUT3 入出力端子間遅延
MPIN5-MPOUT1, MPIN6-MPOUT2 入出力端子間遅延



7.2 : AC 特性 2

図

LC89075WA

7.8 SPI マイコンインタフェース AC 特性

表 7.8 : AC 特性/ $T_a = -30 \sim 85^\circ\text{C}$, $AV_{DD} = 4.5 \sim 5.5\text{V}$, $PV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$, $AGND = PGND = DGND = 0\text{V}$

項目	記号	条件	min	typ	max	unit
パワーオンリセット DV_{DD} スロープ	t_{PORSL}	7-8-1			100	ms
XMODE 入力パルス幅 (L)	t_{RSTdw}	7-8-2	200			μs
SCK 入力周波数	f_{SCK}				10	MHz
SCK 入力パルス幅 (L)	t_{SCKdw}		40			ns
SCK 入力パルス幅 (H)	t_{SCKuw}		40			ns
CSB 入力パルス幅 (H)	t_{CSBuw}		80			ns
CSB-SCK 入力遅延	$t_{CSBtoSCK}$		20			ns
CSB-SCK ホールド	$t_{CSBhold}$		20			ns
SCK-SI セットアップ	$t_{SIsetup}$		15			ns
SCK-SI ホールド	t_{SIhold}		15			ns
SCK-SO 出力遅延	$t_{SCKtoSO}$				25	ns
CSB-SO 出力遅延	$t_{CSBtoSO}$				20	ns

7-8-1 : AV_{DD} , PV_{DD} , DV_{DD} 各電源の ON/OFF は同タイミングで行うこと。

7-8-2 : パワーオンリセットを使用する場合の XMODE は電源立ち上げ以前に H 固定すること。

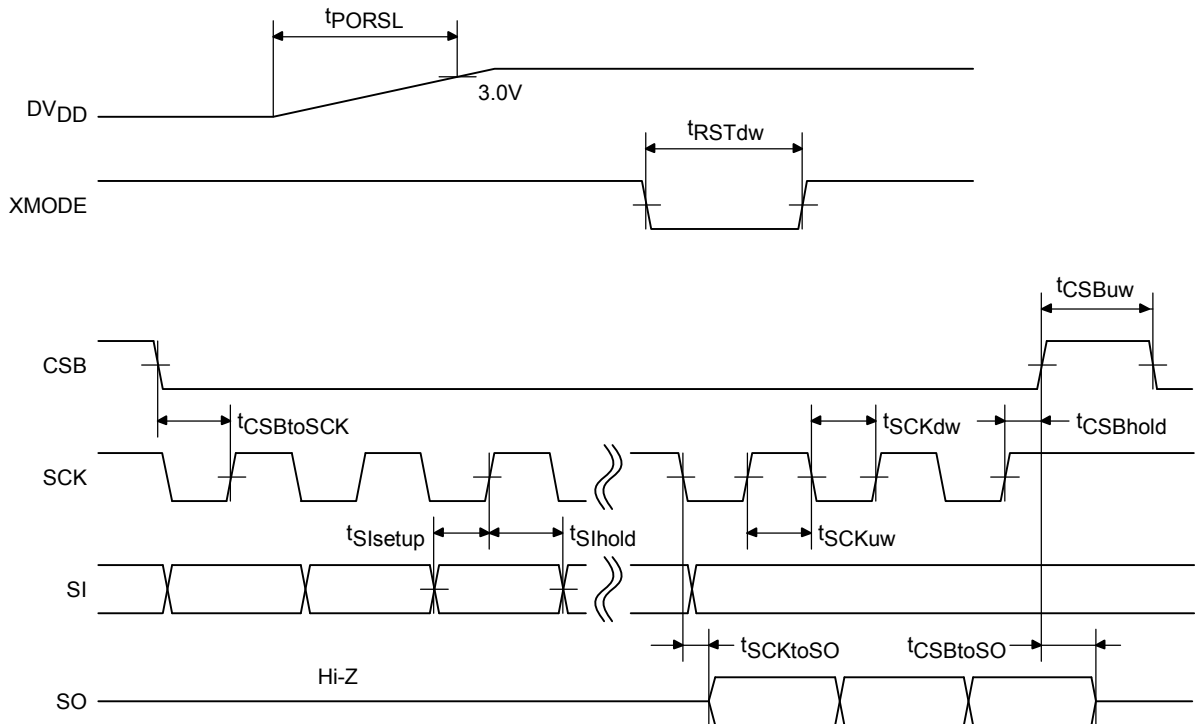


図 7.3 : SPI マイコンインタフェース AC 特性

8 システム設定 (共通設定)

8.1 発振アンプ端子設定 (XIN, XOUT, XMCK)

- LC89075WA は発振アンプを内蔵している。水晶振動子、抵抗、負荷容量を XIN, XOUT へ接続して発振回路を構成する。下図に接続図を示す。なお、水晶振動子は基本波のものを使用し負荷容量は水晶振動子の特性に依存するため十分検討すること。
- クロック源に発振モジュール等を使用して内蔵の発振アンプを使用しない場合は XIN に外部クロック供給源の出力を接続する。この時 XIN, XOUT の間に帰還抵抗を接続する必要はない。
- XIN へは 12.288MHz または 24.576MHz のクロックを常に供給する。
- クロック周波数は XINSEL[1:0] レジスタで設定する。XINSEL[1:0] レジスタで設定したクロック周波数と XIN へ入力するクロック周波数は必ず合わせる。
- XINSEL[1:0] レジスタで設定されたクロックは ADC の動作クロックおよび ADC データ出力選択時の MCKOUT, BCKOUT, LRCKOUT 出力クロックとして定義される。なお、XINSEL[1:0] レジスタの設定はバイフェーズデータ入力前に完了すること。
- XMCK は XIN クロックを出力する。XMCK の出力設定は XMSEL[1:0] レジスタで行う。XIN クロックの 1/1、1/2、1/4、L 出力設定が可能である。

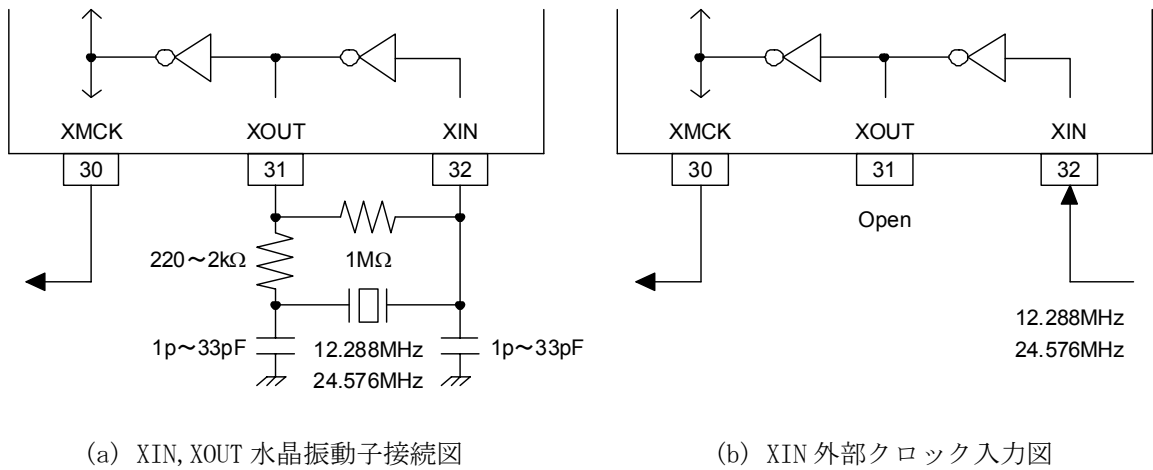


図 8.1 : XIN, XOUT 外付回路接続図

8.2 ADC コモン電圧出力端子設定 (VREF)

- VREF は ADC アナログ信号のコモン電圧として使用され $1/2AV_{DD}$ 電圧を出力する。
- VREF には $10\mu\text{F}$ と $0.1\mu\text{F}$ のコンデンサを AGND との間に近接して接続する。また、変換器へのカップリングを避けるためこれらのコンデンサにはクロックやデジタル信号の配線を近づけない。

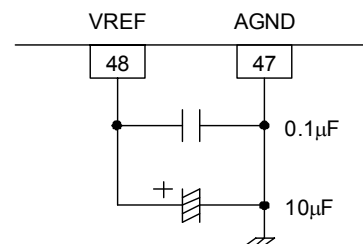


図 8.2 : VREF 外付回路接続図

8.3 DIR ループ・フィルタ端子設定 (LPF)

- DIR は VCO (Voltage Controlled Oscillator) を内蔵し サンプリング周波数 32kHz~192kHz、伝送レート 4MHz~25MHz のデータに同期する。
- PLL は 512fs でロックする。
- LPF は PLL のループ・フィルタ用端子で右図の抵抗、容量を近接して接続する。

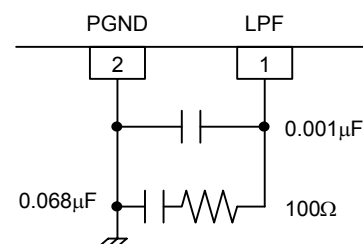


図 8.3 : LPF 外付回路接続図

8.4 システムリセット (XMODE)

- LC89075WA はパワーオンリセット回路を内蔵し電源状態を常時監視している。
- XMODE=H にして電源投入するとパワーオンリセット回路によりシステムはリセットされる。
- パワーオンリセット回路を使用しない場合は電源投入時に必ず XMODE=L にしてシステムをリセットすること。リセット処理後 XMODE=H にするとシステムは正常に動作する。再び XMODE=L にするとシステムはリセットされる。

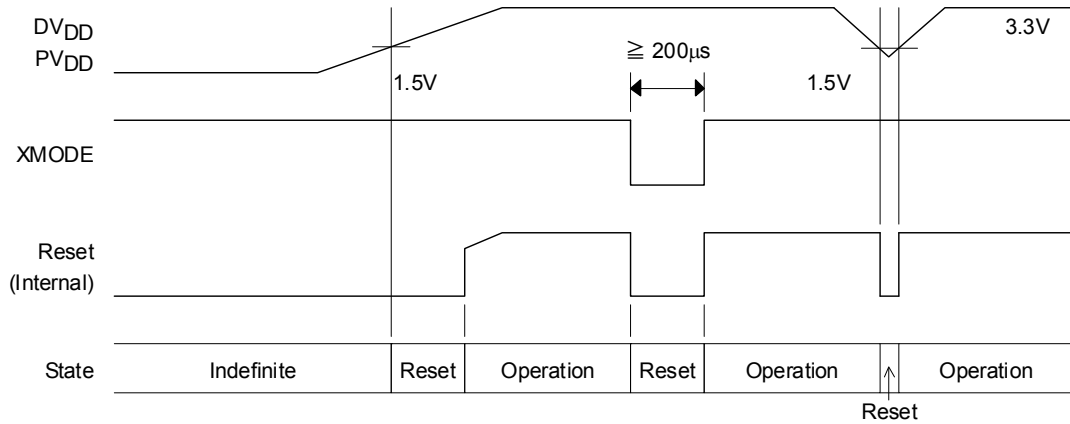


図 8.4 : パワーオンリセットと XMODE リセットタイミング図

表 8.1 : XMODE リセット (XMODE=L) 時の各機能の状態

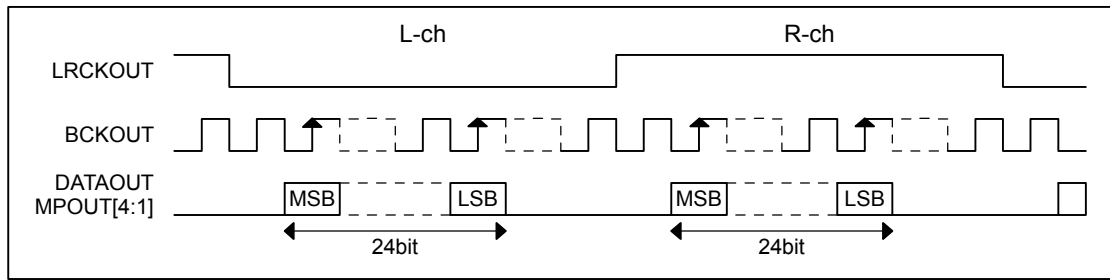
機能	状態
ADC	停止、パワーダウンモード
DIR	停止、パワーダウンモード (PLL 動作停止)
発振アンプ	動作
マイコンレジスタ	初期設定

表 8.2 : XMODE リセット (XMODE=L) 時の出力端子状態

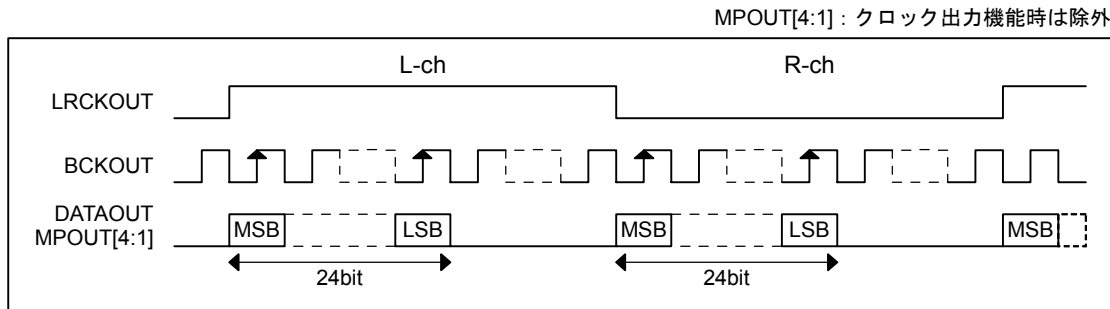
Pin No.	端子名	出力状態	Pin No.	端子名	出力状態
13	MCKOUT	出力 (XIN)	26	MPIO1	Hi-Z
14	BCKOUT	L	27	MPIO2	Hi-Z
15	LRCKOUT	L	28	MPIO3	Hi-Z
16	DATAOUT	L	29	MPIO4	Hi-Z
19	MPOUT1	L	30	XMCK	出力
20	MPOUT2	L	31	XOUT	出力
21	MPOUT3	L	39	SO	Hi-Z
22	MPOUT4	L	40	INTB	H
23	ERRF	H	41	DSTATE	L
24	MUTEb	L	53	RXOUT	L
25	NPCMF	L			

8.5 出力データフォーマット (ADC, DIR ブロック共通)

- DATAOUT, MPOUT[4:1]出力データフォーマットはDAFORMレジスタで設定する。
- 出力フォーマットの初期値はI²Sである。データはBCKOUTの立下りに同期して出力される。



「DAFORM=0」: I²S データ出力



「DAFORM=1」: MSB ファースト前詰めデータ出力

図 8.5 : ADC および DIR データ出力タイミング図

8.6 未使用端子対応

- 未使用の出力端子はオープンにする。また未使用の入力端子は下記の設定を行う。
- 下記に記載されていない入力端子は本仕様に準じた設定を必ず実施する。

表 8.3 : 未使用時の入力端子設定

Pin No.	端子名	入力設定	Pin No.	端子名	入力設定
3	MCKIN	DGND (Pin No. 14)へ接続	44	ADINR	オープン
4	BCKIN	DGND (Pin No. 14)へ接続	45	ADINL	オープン
5	LRCKIN	DGND (Pin No. 14)へ接続	49	RXIN3A	DGND (Pin No. 52)へ接続
6	DATAIN	DGND (Pin No. 14)へ接続	50	RXIN2A	DGND (Pin No. 52)へ接続
7	MPIN1	DGND (Pin No. 14)へ接続	51	RXIN1A	DGND (Pin No. 52)へ接続
8	MPIN2	DGND (Pin No. 14)へ接続	56	RXIN8	DGND (Pin No. 55)へ接続
9	MPIN3	DGND (Pin No. 14)へ接続	57	RXIN7	DGND (Pin No. 55)へ接続
10	MPIN4	DGND (Pin No. 14)へ接続	58	RXIN6	DGND (Pin No. 55)へ接続
11	MPIN5	DGND (Pin No. 14)へ接続	59	RXIN5	DGND (Pin No. 55)へ接続
12	MPIN6	DGND (Pin No. 14)へ接続	60	RXIN4	DGND (Pin No. 55)へ接続
37	CSB	DGND (Pin No. 43)へ接続	61	RXIN3	DGND (Pin No. 55)へ接続
38	SCK	DGND (Pin No. 43)へ接続	62	RXIN2	DGND (Pin No. 55)へ接続
39	SI	DGND (Pin No. 43)へ接続	63	RXIN1	DGND (Pin No. 55)へ接続

- MPIO[4:1]は入出力設定可能な端子である。初期状態はHi-Z出力に設定されている。未使用時は初期設定のままオープンにする。

9 AD コンバータ (ADC) の説明

9.1 動作設定

- ADC 動作は DIR 動作に追従する自動停止モード、連続動作モード、低サンプリングレート動作モード、パワーダウンモードから選択する。初期値は DIR 動作に追従する自動停止モードに設定される。

表 9.1 : ADC 動作モード比較

モード設定	ADC 状態
自動停止モード(初期値)	PLL アンロック時：動作 PLL ロック時： リセット停止 (ERRF 端子 H 出力でも PLL ロック状態では停止)
連続動作モード	常時動作
低サンプリングレート動作モード	動作(AD 変換サンプリング周波数 6kHz 固定)
パワーダウンモード	完全停止

9.1.1 自動停止モード

- 自動停止モードは DIR の状態を優先に ADC の動作を設定する機能で PLL のロック状態と ERRF 端子の出力状態に従い ADC の動作を制御する。(「ADCOPR[1:0]=00」)
- ADC は PLL がロック状態のとき自動でリセット状態に設定され PLL がアンロック状態になるとリセットを解除して AD 変換を再開する。但し、ERRF 端子が H 出力でも PLL がロック状態のとき ADC はリセット停止状態になる。(「RXRESEL=1」設定で非 PCM データ受信時, 「RXRESTA=1」設定時)
- ADC を自動停止モードに設定する際に発振アンプの同時停止設定を推奨する。「AMPOPR[1:0]=01」の設定で PLL ロック中に発振アンプを自動停止することができる。これにより XIN クロックと PLL クロックの共存が無くなりクロック間干渉を低減できる。ただし発振アンプのクロック出力 XMCK を常時 DSP などへ供給しているときなど XIN クロックを停止できない場合を除く。

9.1.2 連続動作モード

- ADC は DIR の状態に関わらず常時 AD 変換動作を続ける連続動作モードに設定することができる。
- 連続動作モードは以下の状態時に設定される。この設定は自動停止モードより優先する。
 - ADC クロック、データ常時出力設定：「SW1SEL[2:0]=001」または「SW2SEL[2:0]=001」
 - ADC スレーブ動作設定：「MPSEL[1:0]=10 または 11」

9.1.3 低サンプリングレート動作モード(低消費電力動作のアナログオーディオデータ有音検出)

- 低サンプリングレート動作モードはアナログオーディオデータの有音検出を低消費電力で行う。
- このモードは「ADCOPR[1:0]=10」と「SDMODE=1」の両設定が必要である。これらのレジスタは低消費電力動作でアナログオーディオデータの有音状態を検出するために必要である。ADCOPR[1:0] レジスタのみまたは SDMODE レジスタのみの設定では機能しない。
- 低サンプリングレート動作モードはマスタモード設定時のみ動作する。ADC をスレーブモードで動作させる場合は低サンプリングレート動作の設定はできない。
- モード設定後 ADC は 6kHz サンプリング周波数で AD 変換される。
- ADC 以外の消費電流を抑えるため DIR 機能の停止や出力クロック端子の出力固定などを同時設定すると更に消費電流を抑えることができる。詳細は「アナログオーディオデータ有無音検出」を参照すること。

9.1.4 パワーダウンモード

- ・「ADCOPR[1:0]=11」で ADC はパワーダウンモードに設定される。パワーダウンモード時の VREF は AGND の電圧に設定される。
- ・電源投入時のパワーオンリセットおよびパワーダウンモードからのシステム立ち上げは ADC の初期化サイクルを経由して実行される。パワーオンリセットによるリセットまたはパワーダウンモードが解除されてから ADC の初期化に必要な期間は 85ms である。
- ・初期化が完了すると ADC はリセット解除を行う。通常リセットの解除には 16384/fs 期間必要である。この期間に ADC の初期のデータに発生するオフセットを回避する。尚、リセット解除期間が不要な場合は ADBMOD レジスタで設定する。（「ADBMOD=1」）
- ・パワーダウンモードおよびリセット解除期間中の DATAOUT は 0 データが出力される。
- ・リセット解除後 ADC は AD 変換を開始する。デジタルデータはデジタルボリュームによるフェードイン処理後出力される。また、通常動作からパワーダウンモードへの切り換えはフェードアウト処理後に実行される。
- ・スレーブ動作や発振モジュールを使用せずに外部からクロックを供給している場合などでパワーダウンモード切り換え時にクロックが乱れるようなことがあるとノイズが発生する。このような場合はソフトミュート処理を施した後にパワーダウンを設定する。ソフトミュートについては「ソフトミュート/アッテネータ」を参照する。

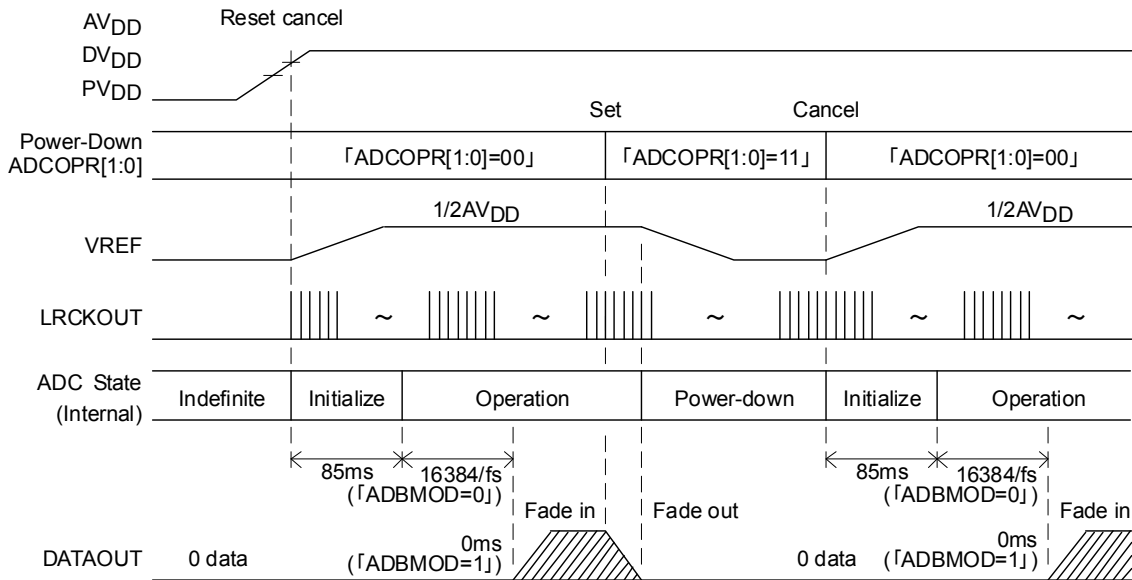


図 9.1 : パワーダウンモードおよび解除時タイミング図

9.1.5 ADC 未使用

- ・内蔵の ADC を使用しない場合、通常 5V 供給が必要な AVDD 端子へは 3.3V 供給が可能である。
- ・3.3V 供給でも ADC は動作するが特性は保証されない。このため ADC を使わない場合はパワーダウンモードの設定を推奨する。

9.2 クロック入力設定 (XIN, XOUT, XMCK)

- ADC は通常マスタモードで動作しレジスタ設定でスレーブモードに切換えることができる。

9.2.1 マスタモード1(連続動作モード、自動停止モード)

- マスタモード時のサンプリング周波数は 48kHz または 96kHz で動作する。
- マスタモードは XIN 端子へ入力される 12.288MHz または 24.576MHz クロックで動作する。
- ADC へは XINSEL[1:0] レジスタで設定されたクロックが供給される。
- ADC へ供給されたクロックは ADC データ出力選択時に MCKOUT, BCKOUT, LRCKOUT, MPOUT[3:1] から出力される。

表 9.2 : マスタモード時の ADC 供給クロックおよび出力クロック (初期値 : 「XINSEL[1:0]=00」)

XINSEL[1:0]		XIN 端子 入力クロック 周波数 (Hz)	ADC サンプリング 周波数 (Hz)	出力端子クロック周波数 (Hz)		
				MCKOUT MPOUT1	BCKOUT MPOUT2	LRCKOUT MPOUT3
0	0	12.288M	48k	12.288M	3.072M	48k
0	1	24.576M	48k	12.288M	3.072M	48k
1	0	24.576M	48k	24.576M	3.072M	48k
1	1	24.576M	96k	24.576M	6.144M	96k

9.2.2 マスタモード2(低サンプリングレート動作モード)

- XIN 端子へ入力される 12.288MHz または 24.576MHz クロックで動作するがサンプリング周波数は 6kHz で AD 変換される。詳細は後述の「アナログオーディオデータ有無音検出」を参照すること。

9.2.3 スレーブモード

- スレーブモードは ADC 専用のクロック入力およびデータ出力端子を設定し他の機能に影響されずに AD 変換するモードである。ただし、スレーブモード設定時も XIN へのクロック供給(振動子または外部入力)は必要である。
- スレーブモード時のサンプリング周波数は 8kHz~96kHz で動作する。
- マスタクロックは 512fs または 256fs で動作する。
- スレーブモードおよびマスタクロックは MPSEL[1:0] レジスタで設定する。
- スレーブモードでは MPIO[4:1] に以下の機能が割り当てられる。

MPIO1 : ADC マスタクロック (512fs または 256fs) 入力端子
MPIO2 : ADC ビットクロック (64fs) 入力端子
MPIO3 : ADC チャンネルクロック (fs) 入力端子
MPIO4 : ADC オーディオデータ出力端子

表 9.3 : スレーブモード時の MPIO[3:1] へ入力可能なクロック

端子名	MPIO1	MPIO2	MPIO3
用途	マスタクロック	ビットクロック	LR クロック
入力クロック	512fs または 256fs	64fs	fs
入力クロック範囲	2.048M~24.576MHz	512k~6.144MHz	8k~96kHz

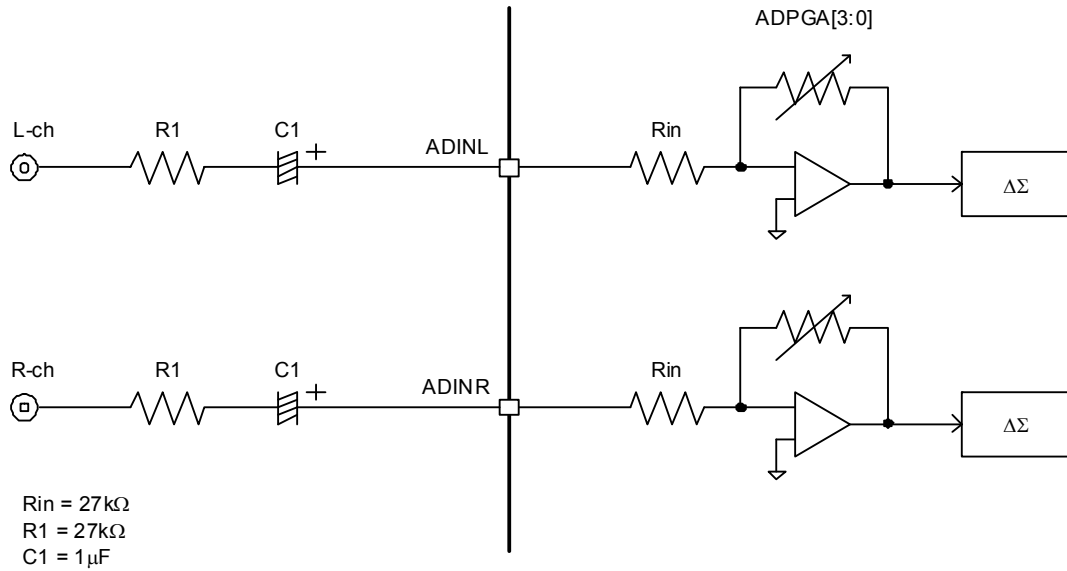
- スレーブモード時に MCKOUT, BCKOUT, LRCKOUT, MPOUT[3:1] から出力される ADC クロックは MPIO[3:1] へ入力された信号が出力される。MPIO[3:1] へのクロック入力が無いとシステムが正常に動作しないためスレーブモード設定時は MPIO[3:1] に常時クロックを供給すること。
- MPIO4, MPOUT4 からは DAFORM レジスタの設定に従い AD 変換されたデータが出力される。これらの出力データは MUTEB には影響されない。

9.3 デジタル HPF

- ADC は DC オフセットキャンセルのためにデジタル HPF を内蔵する。
- HPF のカットオフ周波数は $f_s=48\text{kHz}$ 時 1.85Hz である。周波数応答は f_s に比例する。

9.4 PGA

- LC89075WA はアナログ PGA (Programmable Gain Amplifier) を内蔵する。
- PGA は ADPGA[2:0] レジスタで $-4.5\sim+6\text{dB}/1.5\text{dB}$ ステップを設定できる。
- 入力インピーダンスは $27\text{k}\Omega$ で ADC のフルスケール入力は AV_{DD} 電圧に比例する。 $V_{IN}=0.6\times AV_{DD}$



$$f_c = 1/(2\pi(R_{in}+R1)C1) = 1/(2\pi\times(27\text{k}+27\text{k})\times 1\mu) = 2.947\text{Hz}$$

$$Z_i = R_{in}+R1 = 27\text{k}+27\text{k} = 54\text{k}\Omega$$

図 9.2 : PGA 内蔵アナログ入力構成図

9.5 ソフトミュート/アッテネータ

- LC89075WA は 0dB ~ -63.5dB、 $-\infty$ dB のデジタルボリュームを内蔵する。
- デジタルボリュームは ADVOL[7:0] レジスタで設定する。ADVOL[7:0] レジスタの設定を変更すると ADFDSP[2:0] レジスタの設定に従ってボリュームが変化する。ボリュームのゲイン変化は 0.25dB ステップである。
- ソフトミュートは「ADSMUTE=1」にすると ADVOL[7:0] レジスタの設定値から -63.5dB まで ADFDSP[2:0] レジスタの設定に従って減衰させた後に $-\infty$ dB (0 データ) になる。ソフトミュート動作中のゲイン変化は 0.25dB ステップである。
- ミュート実行中にミュートが解除されると処理が中断され 0.25dB ステップで 0dB まで復帰する。
- ミュート解除中に再度ミュート設定されると処理が中断され $-\infty$ dB までミュート処理される。

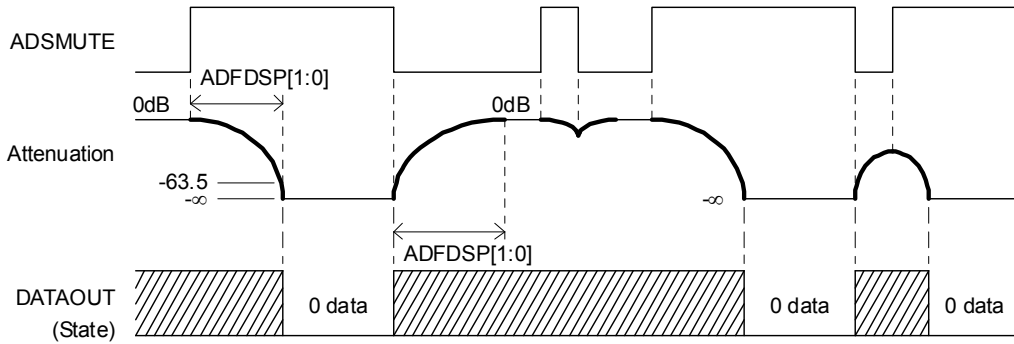


図 9.3 : ソフトミュートタイミング図

表 9.4 : ADC 出力ボリューム・ゲイン設定

ADVOL[7:0]	ゲイン[dB]
00h	0 (初期値)
01h	-0.25
02h	-0.50
03h-FDh	...
FEh	-63.5
FFh	$-\infty$

表 9.5 : ADC 出力ボリューム・フェードスロープ設定

ADFDSP[2:0]	フェードスロープ	0dB ~ $-\infty$ dB 遷移期間 (参考)*1
000	1/fs (初期値)	256/fs
001	2/fs	512/fs
010	4/fs	1024/fs
011	8/fs	2048/fs
100	16/fs	4096/fs
101	Reserved	-
110	Reserved	-
111	ダイレクト	1/fs

*1: 「ADVOL[7:0]=00h」設定時 0dB から $-\infty$ dB までに要する時間

9.6 アナログオーディオデータ有無音検出 (DSTATE)

- ・LC89075WA はアナログオーディオデータの有無音状態を検出することができる。
- ・有音検出は通常動作または低サンプリングレート動作モードによる検出が可能である。
- ・無音検出は通常動作モードによる検出が可能である。
- ・アナログオーディオデータの有無音検出は ADC が動作状態のとき可能である。ADC がリセットまたはパワーダウン状態のときは検出されない。

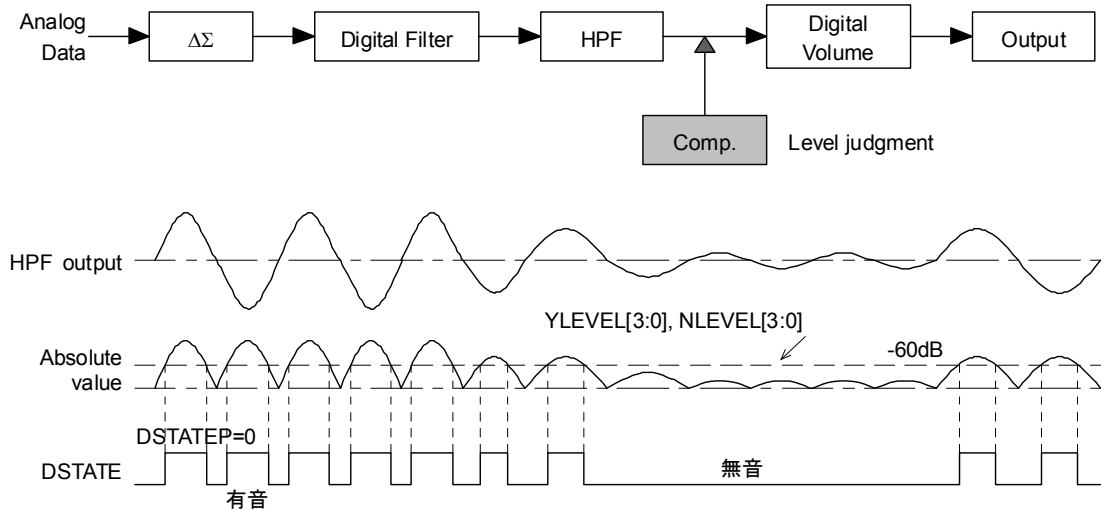


図 9.4 : アナログオーディオデータ有無音検出タイミング

9.6.1 有音検出

9.6.1.1 通常動作モード検出

- ・通常動作モードで行うには SDMODE レジスタを「SDMODE=1」に設定する。
- ・マスタモードでは 48kHz または 96kHz サンプリング周波数、スレーブモードでは MPIO[3:1] に入力されたクロック周波数で AD 変換される。

9.6.1.2 低サンプリングレート動作モード検出

- ・低サンプリングレート動作モードはマスタモード設定時のみ可能である。(9.1.3 参照)
- ・低サンプリングレート動作モード時の有音検出は「SDMODE=1」設定に加え「ADCOPR[1:0]=10」に設定する。
- ・このモードは 6kHz サンプリング周波数で AD 変換される。
- ・この動作モードでは ADC 以外の消費電流を抑えるために更に以下のレジスタ設定を推奨する。

表 9.6:ADC 低消費電力動作推奨レジスタ設定

Adr	レジスタ名	レジスタ内容	推奨設定値	設定内容
00h	ADCOPR[1:0]	ADC 動作設定	10	低消費電力動作
00h	DIROPR	DIR 動作設定	1	停止
01h	SDMODE	入出力データ有無音検出設定	1	有音検出
02h	XMSEL[1:0]	XMCK 端子出力設定	11	L 出力
05h	OUTMUT	クロック/データ出力端子設定	1	L 出力
06h	SW2SEL[2:0]	MPOUT[4:1]端子出力設定	000	L 出力
0Bh	RXTHR1[3:0]	RXOUT 出力データ設定	1111	L 出力
0Bh	RXDSEL[3:0]	DIR データ復調入力設定	1111	GND 接続
0Ch	RXTHR2[3:0]	MPOUT4 出力データ設定	1111	L 出力

9.6.1.3 判定および出力

- ・有音状態の判定レベルは YLEVEL[3:0] レジスタで設定する。
- ・YLEVEL[3:0] レジスタは-60dBFS~-30dBFS のレベルを 2dBFS ステップで調整可能である。
- ・YLEVEL[3:0] レジスタの初期値は-60dBFS より大きな信号を有音と判定する。
- ・HPF 通過後のデータを判定し結果は DSTATE 端子および ODATAM レジスタから出力される。
- ・YLEVEL[3:0] レジスタで定めた判定レベルより大きな信号が検出された時 DSTATE=H を出力する。

9.6.2 無音検出

- ・無音検出は通常動作モードで動作し SDMODE レジスタを「SDMODE=0」に設定する。
- ・無音状態の判定レベルは NLEVEL[3:0] レジスタで設定する。
- ・NLEVEL[3:0] レジスタは-60dBFS~-30dBFS のレベルを 2dBFS ステップで調整可能である。
- ・NLEVEL[3:0] レジスタの初期値は-60dBFS より小さな信号を無音と判定する。
- ・HPF 通過後のデータを判定し結果は DSTATE 端子および ODATAM レジスタから出力される。
- ・NLEVEL[3:0] レジスタで定めた判定レベルより小さな信号が検出された時 DSTATE=L を出力する。

9.6.3 DSTATE 出力

- ・DSTATE の出力極性は DSTATEP で変更できる。
- ・DSTATE 端子の状態は ODATAM レジスタからも読み出すことができる。
- ・ADC が停止動作状態のとき DSTATE は L が出力される。

表 9.7 : アナログデータに対する DSTATE 端子出力条件(「DSTATEP=0」設定時)

DSTATE 出力	「SDMODE=0」(無音状態検出)	「SDMODE=1」(有音状態検出)
L	NLEVEL レジスタ設定より以下(無音) または ADC リセット状態	YLEVEL レジスタ設定より以下(無音) または ADC リセット状態
H	NLEVEL レジスタ設定より以上(有音)	YLEVEL レジスタ設定より以上(有音)

- ・アナログオーディオデータに加えデジタルオーディオデータについても有無音レベル検出が可能である。詳細は「デジタルオーディオデータ有無音検出」を参照すること。

9.7 リセット処理

- ・「SYSRST=1」設定時または「ADCPDR[1:0]=00」設定で PLL がロックしているとき ADC はリセット状態になる。「ADBMOD=0」設定時、ADC のリセット解除には 16384/fs 期間必要である。「ADBMOD=1」ではこの期間は発生しない。データはリセット解除後フェードイン処理された後に出力される。
- ・ADC リセット解除後の有無音検出フラグ DSTATE は 32768/fs 後に出力される。

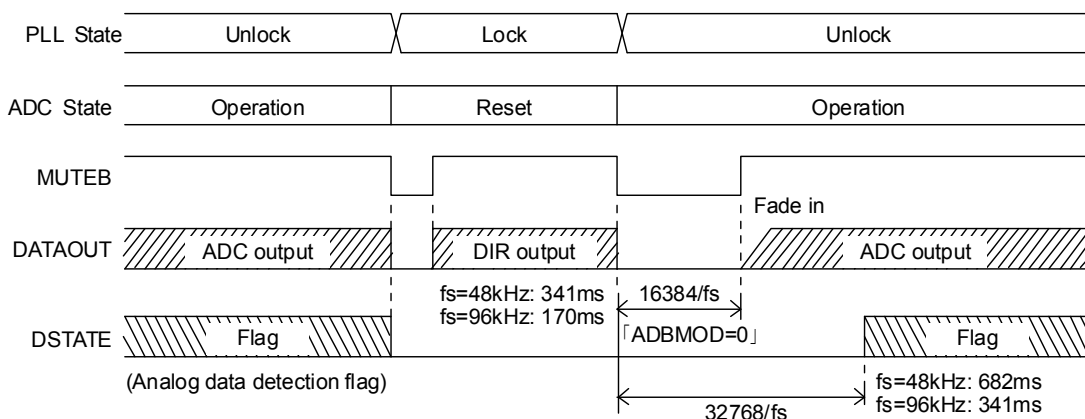


図 9.5 : ADC リセット処理タイミング(「ADBMOD=0」の場合)

10 デジタルオーディオインタフェースレシーバ(DIR)の説明

10.1 クロック

- DIRはPLLがアンロック状態ではXINへ入力されたクロックで動作しPLLがロック状態では内蔵のVCO(PLL)クロックで動作する。

10.1.1 PLL ソースマスタクロック

- PLLは入力S/PDIFと同期して512fsのクロックを出力する。
- PLLクロックはRXCKAT, RXCKDV[1:0], RXMCK[1:0]レジスタの設定で制御される。
- 通常「RXCKAT=0」に設定されたPLLクロックは入力サンプリング周波数の帯域ごとに出力される。この設定はfs=32k~48kHzでは512fs出力、fs=64k~96kHzでは256fs出力、fs=128k~192kHzでは128fs出力などサンプリング周波数の変化による出力クロック周波数の変動を狭帯域に抑える。
- 「RXCKAT=0」設定時のPLLクロックはRXCKDV[1:0]レジスタで設定する。
- S/PDIF入力サンプリング周波数に依存しない出力クロックの設定は「RXCKAT=1」にする。この設定はfs=32k~192kHzを全て256fsで出力するなどクロック周波数は常に定数倍されて出力される。
- 「RXCKAT=1」設定時のPLLクロックはRXMCK[1:0]レジスタで設定する。
- PLLがロック状態のときRXCKAT, RXCKDV[1:0], RXMCK[1:0]レジスタを設定変更しても切替らない。RXCKAT, RXCKDV[1:0], RXMCK[1:0]レジスタの切替はPLLがアンロック状態のときに実行する。この設定はPLL再ロック後に有効になる。尚、「RXCKAT=1」設定時に限り「RXCKMU=1」の設定でPLLロック状態でもRXMCK[1:0]レジスタの設定を切替えることができる。しかしこの切替はMUTEBには反映されない。
- 以下にPLL出力クロック設定のフローを示す。なおPLLはDIROPRレジスタで停止できる。

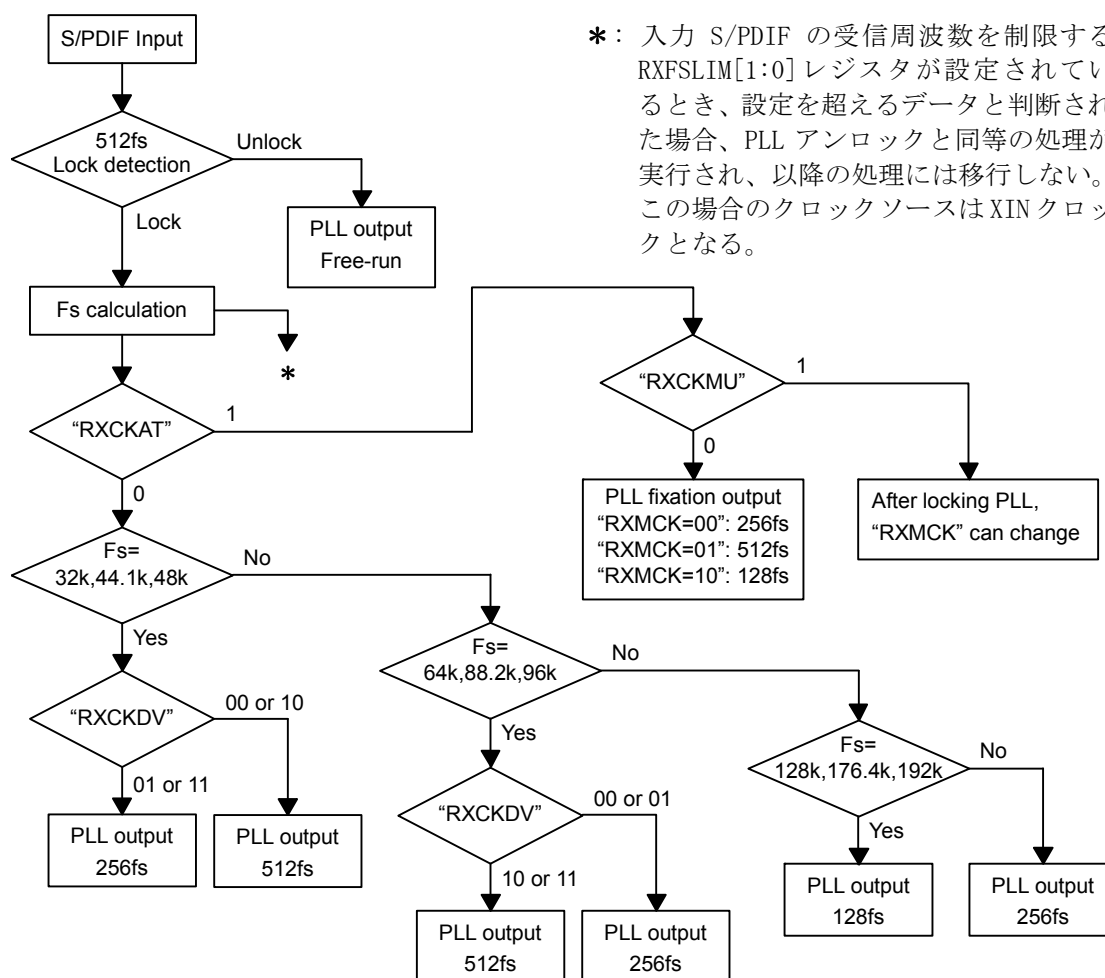


図 10.1 : PLL 出力クロックフロー

LC89075WA

- 以下に PLL クロックの出力周波数を示す。
- 「RXCKAT=1」, 「RXMCK[1:0]=01」設定 (512fs) で 128kHz, 176.4kHz, 192kHz の S/PDIF 受信は PLL 出力周波数が 50MHz を超えるため MCKOUT への直接出力は保証できない。

表 10.2 : PLL クロック出力周波数 (太字は初期値)

S/PDIF fs (kHz)	PLL 出力 (MHz)						
	「RXCKAT=0」 (入力 fs 帯域ごとに固定倍出力)				「RXCKAT=1」 (入力 fs の固定倍出力)		
	「RXCKDV =00」	「RXCKDV =01」	「RXCKDV =10」	「RXCKDV =11」	「RXMCK=00」 (256fs)	「RXMCK=01」 (512fs)	「RXMCK=10」 (128fs)
32	16.38	8.19	16.38	8.19	8.19	16.38	4.09
44.1	22.57	11.28	22.57	11.28	11.28	22.57	5.64
48	24.57	12.28	24.57	12.28	12.28	24.57	6.14
64	16.38	16.38	32.76	32.76	16.38	32.76	8.19
88.2	22.57	22.57	45.15	45.15	22.57	45.15	11.28
96	24.57	24.57	49.15	49.15	24.57	49.15	12.28
128	16.38	16.38	16.38	16.38	32.76	65.54 *	16.38
176.4	22.57	22.57	22.57	22.57	45.15	90.32 *	22.57
192	24.57	24.57	24.57	24.57	49.15	98.30 *	24.57

* : MCKOUT 端子への直接出力は保証されない。

10.1.2 XIN ソースマスタクロック (XIN, XOUT, XMCK)

- DIR では XIN へのクロック供給を以下の用途に使用する。

- 1) PLL アンロック時のクロックソース
- 2) PLL ロックインのサポート
- 3) 入力データのサンプリング周波数算出

- XIN へのクロック供給は必ず必要である。
- 通常、発振アンプは PLL の状態に関わらず常に動作するが PLL ロック中に発振アンプを自動停止する動作に設定することも可能である。これは AMPOPR[1:0] レジスタで設定する。AMPOPR[1:0] レジスタの設定は S/PDIF 入力前に行うかまたは PLL アンロック中に完了すること。また発振アンプを自動停止させると XMCK クロックは出力されなくなる。
- 「SW1SEL[2:0]=001」, 「SW2SEL[2:0]=001」または ADC がスレーブモード「MPSEL[1:0]=10 または 11」のとき発振アンプは連続動作モードに設定され AMPOPR[1:0] レジスタ設定より優先する。

10.1.3 DIR クロック系統図 (XIN, XOUT, XMCK)

- PLL ソース、XIN ソースの 2 種類のマスタクロックと切換え、分周機能の関係を以下に示す。
- スイッチ、機能ブロック近傍の “ ” は書き込みレジスタ名に対応する。
- Lock/Unlock は PLL のロック/アンロックにより自動的に切換る。

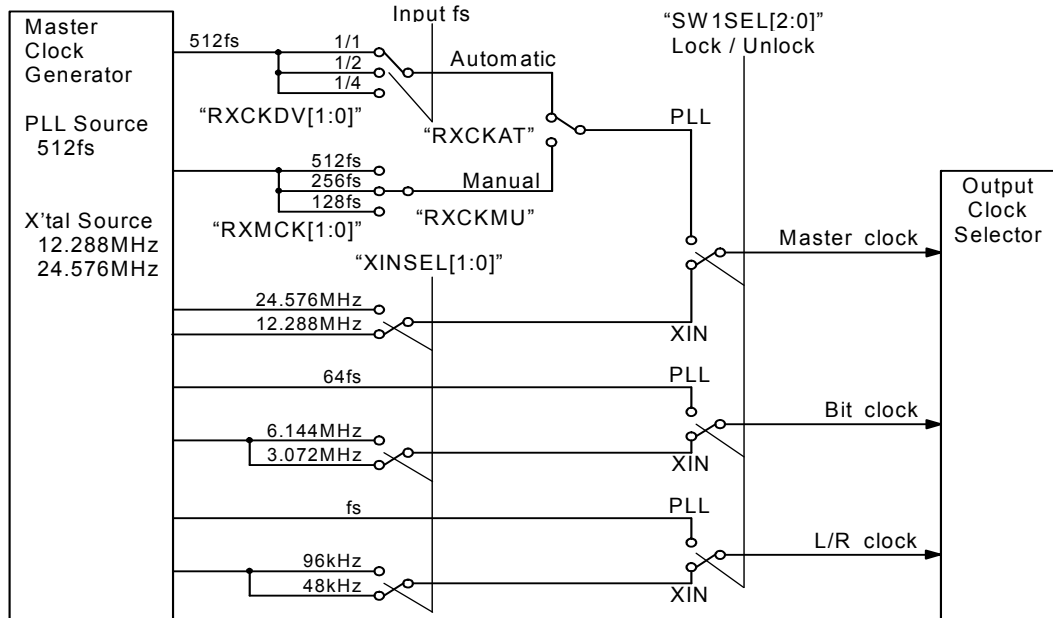


図 10.2 : クロック出力系統図

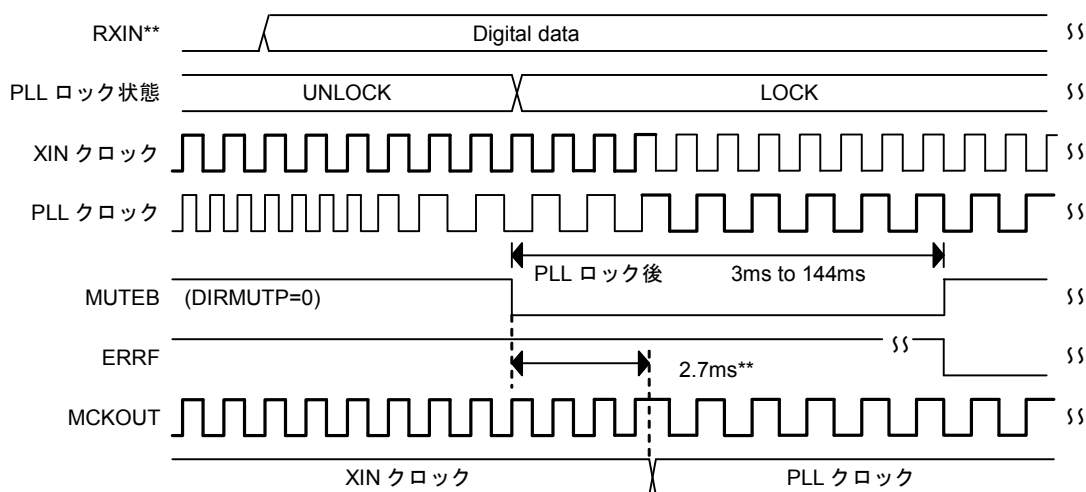
- DIR ブロックから出力されたクロックは出力セクタへ入力され MCKOUT, BCKOUT, LRCKOUT へ出力される。

表 10.3 : DIR 出力クロック周波数一覧表

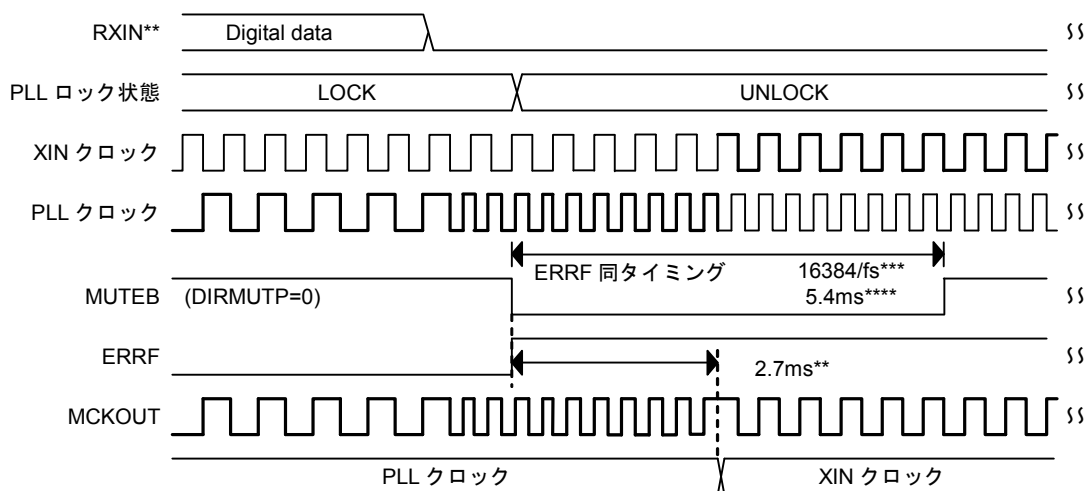
DIR 出力 ()は出力端子	PLL アンロック時 ソースクロック (XIN)		PLL ロック時 ソースクロック (PLL)
	12.288MHz	24.576MHz	512fs
Master clock (MCKOUT)	12.288MHz	24.576MHz 12.288MHz	512fs 256fs 128fs
Bit clock (BCKOUT)	6.144MHz 3.072MHz		64fs
L/R clock (LRCKOUT)	96kHz 48kHz		fs

10.1.4 クロック切換え期間ミュート信号出力 (MUTEB)

- MUTEB は PLL のロック/アンロックによる出力クロックの変化時にパルスを出力する。
- MUTEB パルス出力の極性は DIRMUTP レジスタで変更できる。以降「DIRMUTP=0」とする。
- ロックイン過程で MUTEB は入力データ検出後 PLL がロックした後の XIN クロックから生成されたワードクロックで立ち下がり一定期間を経過した後 ERRF と同タイミングで立ち上がる。
- アンロック過程で MUTEB は PLL ロック検出信号の ERRF と同タイミングで立ち下がり XIN クロックから生成されたワードクロックを一定カウントした後に立ち上がる。
- MUTEB のパルスや立ち上がりおよび立ち下がりエッジを検出することにより PLL のロック状態変化やクロック変化のタイミングを捕らえることができる。
- PLL のロック判定後にクロックが切換るが、この切換えタイミングは RXCKWT[1:0] レジスタで設定する。初期設定では MUTEB 立下り後およそ 2.7ms 後にクロックが切換る。ただし、この値は発振アンプが常時動作状態に設定されていることが条件となる。PLL ロック後に発振アンプを停止させる設定では PLL アンロック後に発振アンプが安定するまでの起動時間が加算される。
- PLL アンロック直後のクロック出力端子はフリーランクロックが出力される。
- アンロック過程の MUTEB 出力は ADBMOD レジスタ設定で異なる。詳細は「マイコンインタフェース」を参照すること。



(a) : ロックイン過程時



(b) : アンロック過程時

** : 「RXCKWT[1:0]=00」(最大)
 *** : 「ADBMOD=0」
 **** : 「ADBMOD=1」

図 10.3 : クロック切換えタイミング

10.1.5 入力 S/PDIF 受信制限時の出力クロック

- RXLIM[1:0]レジスタで入力 S/PDIF の受信範囲を設定することができる。
- 受信設定範囲を超えた S/PDIF が入力されてきた場合 PLL アンロック状態と同じ処理が実行され、超過時のクロックソースは XIN クロックに切り換え各クロック端子から出力される。

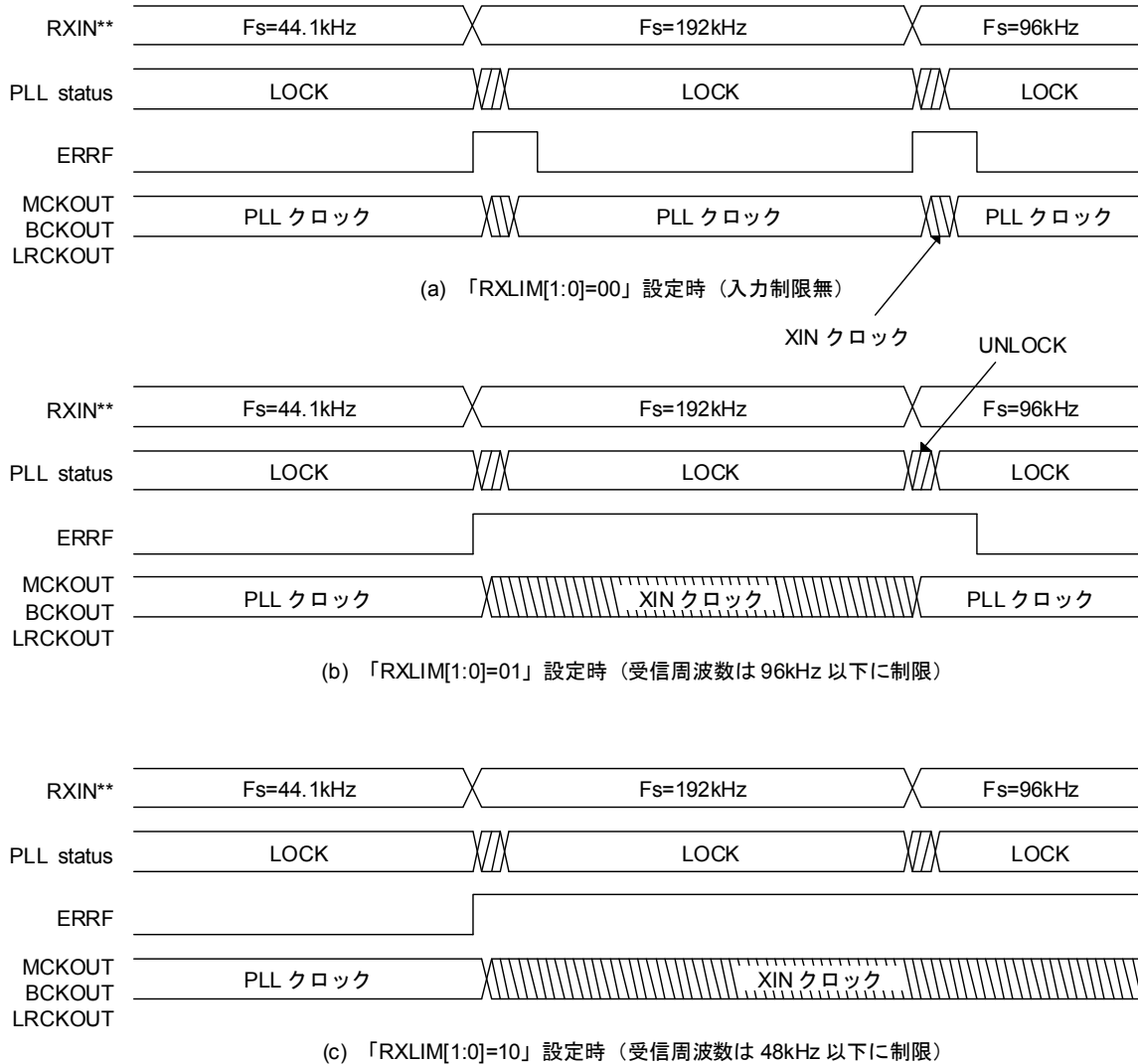


図 10.4 : 入力データ受信制限時の出力クロック

10.2 S/PDIF 入出力

10.2.1 S/PDIF 入力受信範囲

- ・入力データの受信範囲を以下に示す。

表 10.4 : S/PDIF 受信範囲(「RXLIM[1:0]=00」)

PLL 出力クロック設定	入力データ受信範囲
512fs	32kHz~192kHz

- ・PLL 出力クロックは RXCKAT, RXCKDV[1:0], RXMCK[1:0] レジスタの設定に従い各端子へ出力される。
- ・上記の PLL 出力クロックの設定範囲内で入力データの fs 受信範囲を制限することができる。この設定は RXLIM[1:0] レジスタで行う。この機能を使用した場合、設定範囲を超えた入力データはエラーと見なされクロックソースは XIN ソースに自動的に切替る。

10.2.2 S/PDIF 入出力端子 (RXIN1~RXIN8, RXIN1A~RXIN3A, MPIO[4:1], RXOUT, MPOUT4)

- ・デジタルデータ入力端子は最大 15 系統備える。また S/PDIF スルー出力端子は 2 系統備える。
- ・RXIN[8:1] は 5V 耐圧 TTL レベル対応入力端子である。
- ・MPIO[4:1] は 3.3V 耐圧 TTL レベル対応入力端子である。
- ・MPIO[4:1] は MPSEL[1:0] レジスタで入力設定にする必要がある。
- ・RXIN[3:1]A は 3.3V 耐圧 TTL レベルまたはコアキシャル対応入力端子である。
- ・RXIN[3:1]A は各々 RX1ASEL, RX2ASEL, RX3ASEL レジスタで機能を切替える。
- ・初期状態の RXIN[3:1]A は TTL レベル対応入力端子に設定されている。
- ・RXIN[3:1]A をコアキシャル入力で使用する場合は終端抵抗と DC カット容量を必ず接続する。
- ・全ての S/PDIF 入力端子は 32kHz~192kHz のデータを受信することができる。
- ・RXOUT, MPOUT4 は入力セレクタの出力端子で S/PDIF スルーデータを出力する。
- ・復調するデータとスルー出力するデータをそれぞれ独立して選択することができる。
- ・復調データは RXDSEL[3:0] レジスタで選択する。
- ・RXOUT 端子の出力データは RXTHR1[3:0] レジスタで選択する。
- ・MPOUT4 端子出力データは RXTHR2[3:0] レジスタで選択する。
- ・MPOUT4 端子からの S/PDIF スルーデータ出力は SW2SEL[2:0] レジスタで設定する。
- ・RXDSEL[3:0] レジスタは復調する入力デジタルデータを全く選択しない設定も可能である。この設定を利用して無信号入力状態を経由した入力データの切替えができる。
- ・RXTHR1[3:0], RXTHR2[3:0] レジスタは RXOUT, MPOUT4 を L 出力に初期設定されている。RXOUT, MPOUT4 未使用時はミュートすることを推奨する。

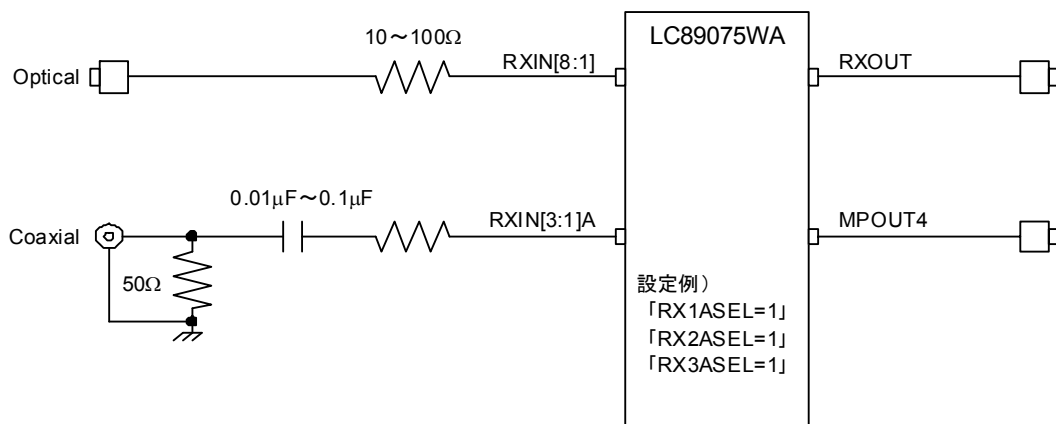
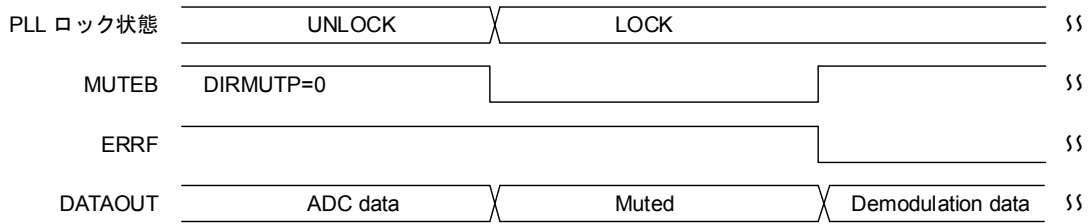


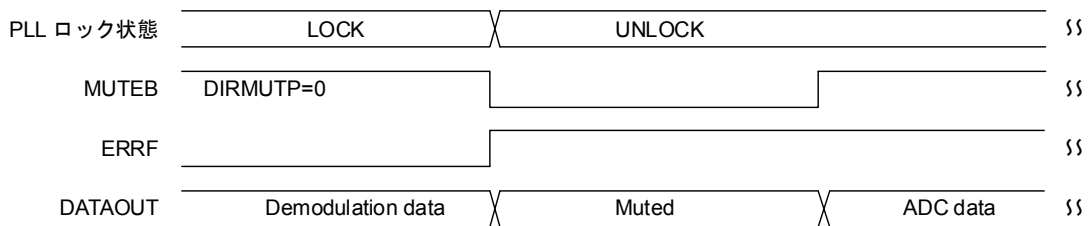
図 10.5 : S/PDIF 入力回路例

10.3 出力データの切換え (DATAOUT)

- ・初期設定状態では PLL ロック時に復調データ、PLL アンロック時に ADC データを DATAOUT へ出力する。この切換えは PLL のロック/アンロック状態に応じて自動的に行われる。



(a) : ロックイン過程時



(b) : アンロック過程時

図 10.6 : DATAOUT 出力データ切換えタイミング図

10.4 エラー出力・処理

10.4.1 ロックエラー、データエラー出力 (ERRF)

- ERRF は PLL がロックエラーした場合やデータエラーが生じた場合にエラーフラグを出力する。
- RXRESEL レジスタの設定で非 PCM データ受信時をエラーとすることも可能である。
- ERRF の出力条件は RXRESTA レジスタで設定する。

10.4.2 PLL ロックエラー

- バイフェーズ変調の規則性が失われた入力データ、またはプリアンブル B、M、W を検出できない入力データに対して PLL はアンロックする。
- ERRF は PLL がロックエラーの時 H となり、データ復調が正常に戻って 3m~144ms 程度 H を保持してから L になる。この保持時間は RXERWT[1:0] レジスタの設定で決まる。
- ERRF の出力極性は DIRERRP レジスタで変更することができる。但し、DIRERRP レジスタ設定は ERRF 出力へ反映されるがマイコン読み出しレジスタ OERROR へは反映されない。
- ERRF は LRCKOUT に同期して出力される。

10.4.3 入力データパリティエラー

- 入力データ中のパリティビットから奇数個のエラー、入力パリティエラーを検出する。
- 入力パリティエラーが 9 回以上連続して発生した場合、ERRF は H となり PLL がロック状態であることを検出して 3m~144ms 程度 H を保持してから L になる。
- RXREDER レジスタで入力パリティエラー 8 回以内の連続発生に対してエラーフラグの出力形式を選択することができる。

10.4.4 その他のエラー

- ERRF が L になってもチャンネルステータスのビット 24~27 (標準化周波数情報) を常時取り込んで 1 ブロック前のデータと現データを比較する。また、入力データから抽出された fs クロックから入力データのサンプリング周波数を算出して前述同様に fs 算出値を比較する。ここでこれらデータに相違が生じた場合、直ちに ERRF を H にして PLL ロックエラーと同等の処理を実行する。この時、クロックも XIN ソースへ切りロック判定動作から実行される。
- fs が変化するソース (例: バリアブルピッチ機能付き CD プレーヤ等) に対応するため ERRF 解除後に fs が変化しても PLL キャプチャーレンジ内の fs 変化ならば ERRF へ反映されない。
- ERRF 解除後も fs の変化を ERRF へ反映する場合は RXREFSJ レジスタを 1 に設定する。
- RXRESEL レジスタで非 PCM データ入力時をエラーとする設定を行った場合非 PCM データ入力検出時に ERRF は H 出力になる。この時の PLL ロック状態および各出力クロックは入力データに従うが出力データはミュートされる。なお、非 PCM データは NPCMF から出力される情報で NPSEL レジスタの設定に従う。
- 「SW1SEL[2:0]=001」で ADC クロック、データ出力が選択されているとき PLL はアンロック状態に設定され ERRF はエラーフラグを出力する。

10.4.6 エラー発生時のデータ処理(ロックエラー、パリティエラー)

- ・エラー発生時のデータ処理を以下に示す。8回連続以内で入力パリティエラーが発生した場合、伝送データがPCMオーディオデータの時は1フレーム前のL-ch、R-chおののおで保持されたデータに置き換えられる。しかし、伝送データが非PCMデータの時はエラーデータを直接出力する。
- ・非PCMデータとは入力パリティエラーが発生する前に検出されたデータに基づき、チャンネルステータスのビット1非PCMデータ検出ビットがHになっている時のデータとする。
- ・PLLロックエラーや9回以上連続のパリティエラー発生時の出力データはミュート処理される。
- ・8回連続以内のパリティエラーに対してチャンネルステータスデータは1ブロック前のビット単位で保持されたデータが出力される。

表 10.5 : エラー発生時のデータ処理

データ	PLL ロック エラー	入力パリティ エラー (a)	入力パリティ エラー (b)	入力パリティ エラー (c)
復調データ	L	L	前置データ	出力
fs 算出結果	Out of range	出力	出力	出力
チャンネルステータス	L	L	前置データ	前置データ

入力パリティエラー (a) : 9回以上連続した場合

入力パリティエラー (b) : 8回連続以内でオーディオデータの場合

入力パリティエラー (c) : 8回連続以内で非PCMバーストデータの場合

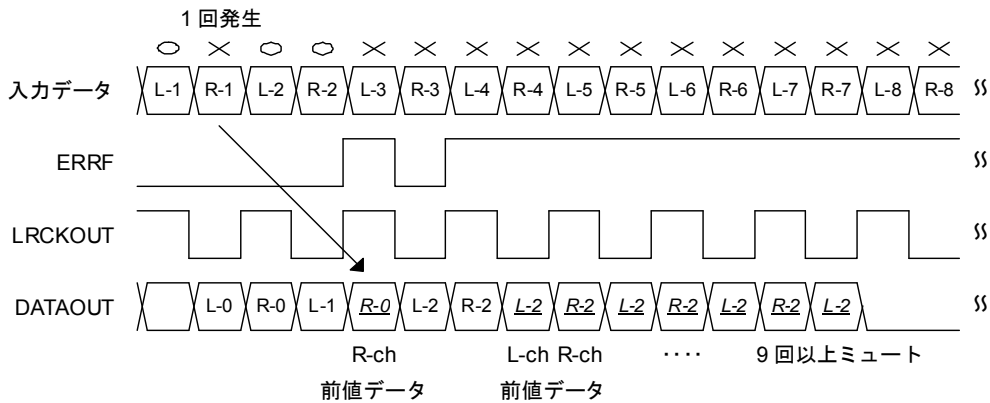
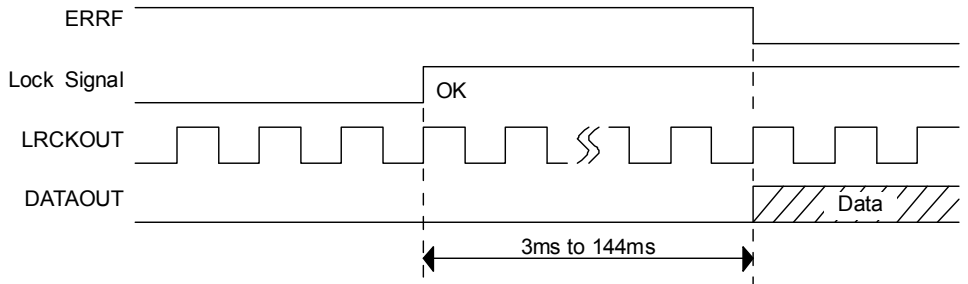


図 10.7 : パリティエラー時のデータ処理例

10.4.7 エラー回復時の処理

- ・プリアンプル B、M、W を検出すると PLL はロック状態になりデータ復調を開始する。
- ・復調データは ERRF が L になって LRCKOUT のエッジから出力される。



ERRF が立下がった直後の LRCKOUT エッジから出力開始

図 10.8 : 復調処理開始時のデータ処理

10.5 データ区分指定ビット1出力(NPCMF)

- NPCMF はチャンネルステータスのデータ区分ビットの情報が出力される。
- 入力バイフェーズデータが PCM オーディオデータか否かを示すチャンネルステータスのビット1を出力する。ERRF が H 出力期間でも検出されれば直ちに出力される。
- NPSEL レジスタで IEC61937 や DTS-CD 検出フラグを NPCMF へ出力することもできる。

表 10.6 : NPCMF 出力

NPCMF	出力条件
L	PCM オーディオデータ (ビット1 = L)
H	オーディオ以外のデータ (ビット1 = H)

10.6 IEC61937, DTS-CD 検出フラグ出力

- 非 PCM データに対して IEC61937、DTS-CD 検出フラグを出力する機能を有する。
- IEC61937 検出はチャンネルステータスの bit1 が非 PCM データの時に IEC61937 同期信号を検出して出力する。bit1 が PCM データの場合は出力されない。
- DTS-CD 検出は “14-bit format” に対応し同期パターンおよび規定周期から検出する。4096 フレームごとに同期パターンをチェックし同期パターンが確認されなくなるまで検出状態を保持する。
- IEC61937、DTS-CD 検出フラグは NPSEL レジスタで NPCMF に出力する他にマイコンインタフェースでも読み出すことができる。INTB 出力内容設定で非 PCM 信号出力設定 UNPCM レジスタを選択すると IEC61937 または DTS-CD 同期信号を検出して INTB から割り込み信号を出力する。この情報から出力レジスタを読み出すことで非 PCM 信号の詳細が判明する。
- 検出フラグは fs が変化した時や PLL ロックエラー、データエラーが発生した時にクリアされる。

10.7 入力データサンプリング周波数の算出

- XIN クロックを使用して入力データのサンプリング周波数を算出する。
- 発振アンプが連続動作モードでは常時算出処理を繰り返す。従って、チャンネルステータスの標本化情報に変化しない入力データが PLL のキャプチャーレンジ内でサンプリングが変わっても入力データに追従した算出結果を読み出すことができる。
- 発振アンプが PLL のロック状態に応じて自動停止するモードでは ERRF のエラー期間に算出処理され発振アンプの停止とともに算出を完了して値を保持する。従って、算出確定後は PLL がアンロックするまで値は変化しない。
- 算出結果はマイコンインタフェースで読み出すことができる。(RXFSC[3:0] レジスタ)
- 入力データサンプリング周波数算出値とチャンネルステータス fs 情報を比較してサンプリング周波数が同じ結果であれば RXFSFLG レジスタから 1 が読み出される。

11 入出力オーディオセレクタの説明

- LC89075WA は周辺回路のオーディオセレクタが盛り込まれている。
- オーディオセレクタは以下の構成から選択することができる。
 - 2チャンネルデータ対応 (4線入力×6、4線出力×2)
 - 6チャンネルと2チャンネルデータに対応 (6線入力×1、4線入力×5、6線出力×1)
 - 8チャンネルと2チャンネルデータに対応 (7線入力×1、4線入力×4、7線出力×1)

11.1 2チャンネルデータ対応

(入力端子 : MCKIN, BCKIN, LRCKIN, DATAIN, MPIN[4:1], MPIO[4:1], RXIN[8:5])

(出力端子 : MCKOUT, BCKOUT, LRCKOUT, DATAOUT, MPOUT[4:1], MUTE, NPCMF)

- この構成では2チャンネルデータを6系統処理できる。出力は独立した2系統が使用できる。
- セレクタ出力はMUXMOD, SW1SEL[2:0], SW2SEL[2:0]レジスタで設定する。
- 電源投入直後のMCKOUT, BCKOUT, LRCKOUT, DATAOUTはPLLの状態に従いADCまたはDIRブロックのクロックおよびデータが出力されMPOUT[4:1]はL出力に設定される。
- DATAOUT, MPOUT4はDATAMUT, MPO4MUTレジスタでミュートすることができる。
- FLGOUTレジスタでMUTE, NPCMFからMPIN5, MPIN6入力信号を出力することができる。
- DSDデータの入出力も可能である。ただし、DSD両チャンネルのミュート処理はできない。

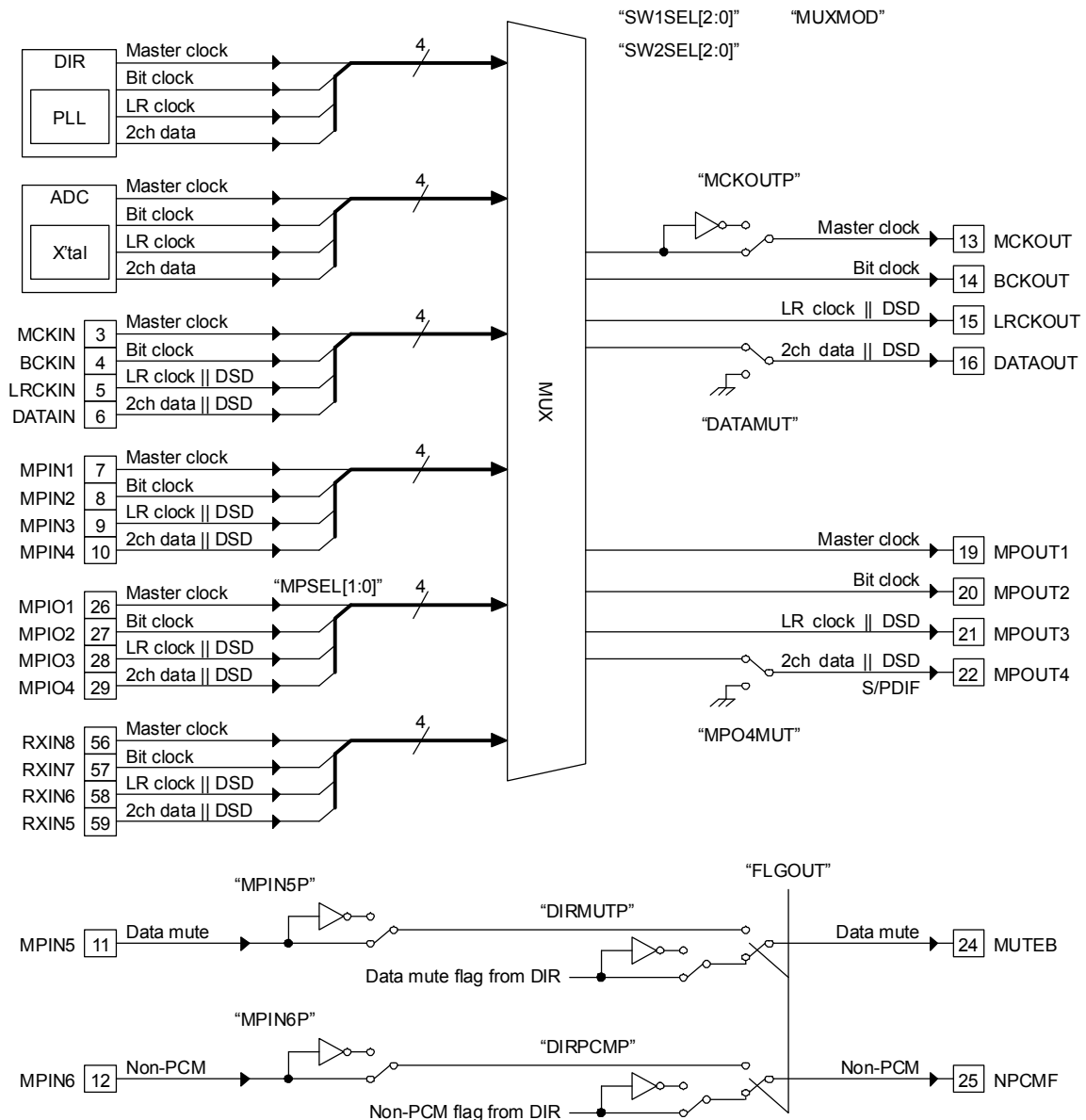


図 11.1 : 2チャンネルデータ対応オーディオセレクタ構成
(クロック&データ MUX : 4bit×6 入力、4bit×2 出力)

LC89075WA

表 11.1 : 2ch データセレクタ設定時のクロックおよびデータ入出力構成
(MCKOUT, BCKOUT, LRCKOUT, DATAOUT 出力端子)

SWISEL レジスタ	セレクタ入力	セレクタ出力	入出力内容
000	DIR-MCK →	MCKOUT (13)	マスタクロック出力
	DIR-BCK →	BCKOUT (14)	ビットクロック出力
	DIR-LRCK →	LRCKOUT (15)	LR クロック出力
	DIR-DATA →	DATAOUT (16)	2ch データ出力
000 001	ADC-MCK →	MCKOUT (13)	マスタクロック出力
	ADC-BCK →	BCKOUT (14)	ビットクロック出力
	ADC-LRCK →	LRCKOUT (15)	LR クロック出力
	ADC-DATA →	DATAOUT (16)	2ch データ出力
010	MCKIN (3) →	MCKOUT (13)	マスタクロック入出力
	BCKIN (4) →	BCKOUT (14)	ビットクロック入出力
	LRCKIN (5) →	LRCKOUT (15)	LR クロック // DSD データ入出力
	DATAIN (6) →	DATAOUT (16)	2ch データ // DSD データ入出力
011	MPIN1 (7) →	MCKOUT (13)	マスタクロック入出力
	MPIN2 (8) →	BCKOUT (14)	ビットクロック入出力
	MPIN3 (9) →	LRCKOUT (15)	LR クロック // DSD データ入出力
	MPIN4 (10) →	DATAOUT (16)	2ch データ // DSD データ入出力
100 (「MPSEL[1:0]=01」)	MPIO1 (26) →	MCKOUT (13)	マスタクロック入出力
	MPIO2 (27) →	BCKOUT (14)	ビットクロック入出力
	MPIO3 (28) →	LRCKOUT (15)	LR クロック // DSD データ入出力
	MPIO4 (29) →	DATAOUT (16)	2ch データ // DSD データ入出力
101	RXIN8 (56) →	MCKOUT (13)	マスタクロック入出力
	RXIN7 (57) →	BCKOUT (14)	ビットクロック入出力
	RXIN6 (58) →	LRCKOUT (15)	LR クロック // DSD データ入出力
	RXIN5 (59) →	DATAOUT (16)	2ch データ // DSD データ入出力
110 111 (ミュート出力)	-	MCKOUT (13)	“L” 出力
	-	BCKOUT (14)	“L” 出力
	-	LRCKOUT (15)	“L” 出力
	-	DATAOUT (16)	“L” 出力

- DATAIN, MPIN4, MPIO4, RXIN5 へ入力するオーディオデータフォーマットは ADC, DIR の出力データフォーマット (DAFORM レジスタ設定) に合わせる。

LC89075WA

表 11.2 : 2ch データセクタ設定時のクロックおよびデータ入出力構成
(MPOUT1, MPOUT2, MPOUT3, MPOUT4 出力端子)

SW2SEL レジスタ	セクタ入力	セクタ出力	入出力内容
000 (ミュート出力)	-	MPOUT1 (19)	“L” 出力
		MPOUT2 (20)	“L” 出力
		MPOUT3 (21)	“L” 出力
	S/PDIF 入力 →	MPOUT4 (22)	入力 S/PDIF 選択出力
001	ADC-MCK →	MPOUT1 (19)	マスタクロック出力
	ADC-BCK →	MPOUT2 (20)	ビットクロック出力
	ADC-LRCK →	MPOUT3 (21)	LR クロック出力
	ADC-DATA →	MPOUT4 (22)	2ch データ出力
010	MCKIN (3) →	MPOUT1 (19)	マスタクロック入出力
	BCKIN (4) →	MPOUT2 (20)	ビットクロック入出力
	LRCKIN (5) →	MPOUT3 (21)	LR クロック // DSD データ入出力
	DATAIN (6) →	MPOUT4 (22)	2ch データ // DSD データ入出力
011	MPIN1 (7) →	MPOUT1 (19)	マスタクロック入出力
	MPIN2 (8) →	MPOUT2 (20)	ビットクロック入出力
	MPIN3 (9) →	MPOUT3 (21)	LR クロック // DSD データ入出力
	MPIN4 (10) →	MPOUT4 (22)	2ch データ // DSD データ入出力
100 (「MPSEL[1:0]=01」)	MPIO1 (26) →	MPOUT1 (19)	マスタクロック入出力
	MPIO2 (27) →	MPOUT2 (20)	ビットクロック入出力
	MPIO3 (28) →	MPOUT3 (21)	LR クロック // DSD データ入出力
	MPIO4 (29) →	MPOUT4 (22)	2ch データ // DSD データ入出力
101	RXIN8 (56) →	MPOUT1 (19)	マスタクロック入出力
	RXIN7 (57) →	MPOUT2 (20)	ビットクロック入出力
	RXIN6 (58) →	MPOUT3 (21)	LR クロック // DSD データ入出力
	RXIN5 (59) →	MPOUT4 (22)	2ch データ // DSD データ入出力
110	For 6ch(5.1ch) data process (See 11.2)		
111	For 8ch(7.1ch) data process (See 11.3)		

- DATAIN, MPIN4, MPIO4, RXIN5 へ入力するオーディオデータフォーマットは ADC, DIR の出力データフォーマット (DAFORM レジスタ設定) に合わせる。
- MPOUT[4:1]出力からは DIR の復調データおよびクロックは出力されない。

表 11.3 : 2c データセクタ設定時の外部フラグ入出力構成 (MUTEB, NPCMF 出力端子)

FLGOUT レジスタ	セクタ入力	セクタ出力	入出力内容
1	MPIN5 (11) →	MUTEB (24)	ミュートフラグ
	MPIN6 (12) →	NPCMF (25)	非 PCM フラグ

11.2 6(5.1)チャンネルデータと2チャンネルデータに対応

(入力端子 : MCKIN, BCKIN, LRCKIN, DATAIN, MPIN[6:1], MPIO[4:1], RXIN[8:5])

(出力端子 : MCKOUT, BCKOUT, LRCKOUT, DATAOUT, MPOUT[2:1])

- この構成では6チャンネルデータを1系統と2チャンネルデータを5系統処理できる。
- セクタ出力はMUXMOD, SW1SEL[2:0], SW2SEL[2:0]レジスタで設定する。
- 2チャンネルデータはDATAOUT から出力される。DATAMUT レジスタでミュートできる。
- 6チャンネルデータはDATAOUT, MPOUT[2:1]から出力される。D6CHMUT レジスタでミュートできる。
- MPOUT4 からはS/PDIF 信号を出力することができる。RXTHR2[3:0]レジスタで設定する。
- DSD データの入出力も可能である。ただし、DSD 両チャンネルのミュート処理はできない。

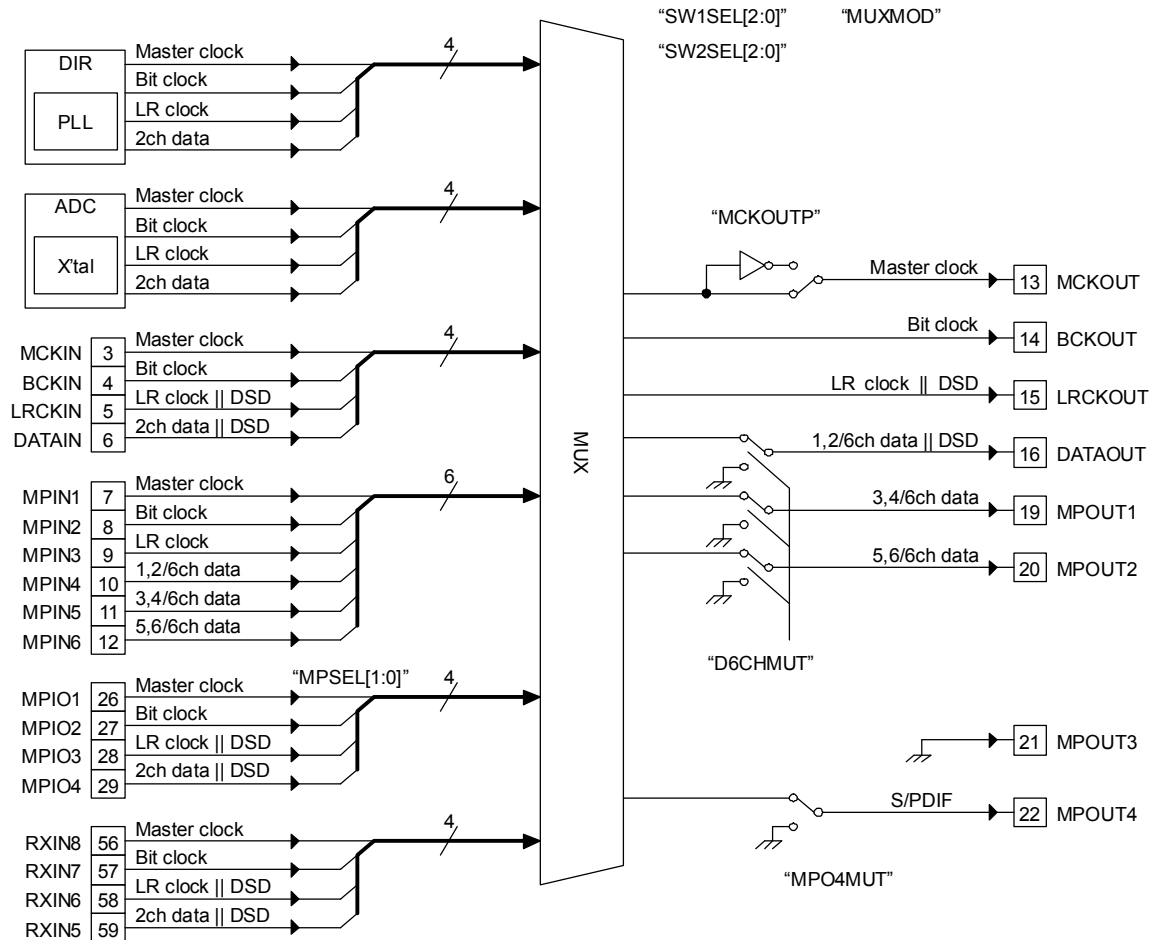


図 11.2 : 6チャンネルデータと2チャンネルデータ対応オーディオセクタ構成

(クロック&データ MUX : 6bit×1 入力, 4bit×5 入力, 6bit×1 出力)

表 11.4 : 6ch データセクタ設定時のクロックおよびデータ入出力構成

(MCKOUT, BCKOUT, LRCKOUT, DATAOUT, MPOUT[4:1]出力端子)

SW1SEL レジスタ	SW2SEL レジスタ	セクタ入力	セクタ出力	入出力内容
011	110	MPIN1 (7) →	MCKOUT (13)	マスタクロック入出力
		MPIN2 (8) →	BCKOUT (14)	ビットクロック入出力
		MPIN3 (9) →	LRCKOUT (15)	LRクロック入出力
		MPIN4 (10) →	DATAOUT (16)	1, 2/6ch データ入出力
		MPIN5 (11) →	MPOUT1 (19)	3, 4/6ch データ入出力
		MPIN6 (12) →	MPOUT2 (20)	5, 6/6ch データ入出力
		-	MPOUT3 (21)	“L” 出力
		S/PDIF 入力 →	MPOUT4 (22)	入力 S/PDIF 選択出力

LC89075WA

- MPIN4, MPIN5, MPIN6 へ入力するオーディオデータフォーマットは ADC, DIR の出力データフォーマット (DAFORM レジスタ設定) に合わせる。
- 6 チャンネルデータセクタ構成では MPOUT3 は L 出力に固定され MPOUT4 出力は RXTHR2 レジスタの設定に従う。

表 11.5 : 6ch から 2ch 切換え時のクロックおよびデータ入出力構成
(MCKOUT, BCKOUT, LRCKOUT, DATAOUT 出力端子)

SWISEL レジスタ	セクタ入力	セクタ出力	入出力内容
000	DIR-MCK →	MCKOUT (13)	マスタクロック出力
	DIR-BCK →	BCKOUT (14)	ビットクロック出力
	DIR-LRCK →	LRCKOUT (15)	LR クロック出力
	DIR-DATA →	DATAOUT (16)	2ch データ出力
000 001	ADC-MCK →	MCKOUT (13)	マスタクロック出力
	ADC-BCK →	BCKOUT (14)	ビットクロック出力
	ADC-LRCK →	LRCKOUT (15)	LR クロック出力
	ADC-DATA →	DATAOUT (16)	2ch データ出力
010	MCKIN (3) →	MCKOUT (13)	マスタクロック入出力
	BCKIN (4) →	BCKOUT (14)	ビットクロック入出力
	LRCKIN (5) →	LRCKOUT (15)	LR クロック // DSD データ入出力
	DATAIN (6) →	DATAOUT (16)	2ch データ // DSD データ入出力
100 (「MPSEL[1:0]=01」)	MPIO1 (26) →	MCKOUT (13)	マスタクロック入出力
	MPIO2 (27) →	BCKOUT (14)	ビットクロック入出力
	MPIO3 (28) →	LRCKOUT (15)	LR クロック // DSD データ入出力
	MPIO4 (29) →	DATAOUT (16)	2ch データ // DSD データ入出力
101	RXIN8 (56) →	MCKOUT (13)	マスタクロック入出力
	RXIN7 (57) →	BCKOUT (14)	ビットクロック入出力
	RXIN6 (58) →	LRCKOUT (15)	LR クロック // DSD データ入出力
	RXIN5 (59) →	DATAOUT (16)	2ch データ // DSD データ入出力
110 111 (ミュート出力)	-	MCKOUT (13)	“L” 出力
	-	BCKOUT (14)	“L” 出力
	-	LRCKOUT (15)	“L” 出力
	-	DATAOUT (16)	“L” 出力

- DATAIN, MPIO4, RXIN5 へ入力するオーディオデータフォーマットは ADC, DIR の出力データフォーマット (DAFORM レジスタ設定) に合わせる。

11.3 8(7.1)チャンネルデータと2チャンネルデータに対応

(入力端子 : MCKIN, BCKIN, LRCKIN, DATAIN, MPIN[3:1], MPIN[6:4], MPIN[4:1], RXIN[8:5])

(出力端子 : MCKOUT, BCKOUT, LRCKOUT, DATAOUT, MPOUT[4:1], ERRF, MUTEB, NPCMF)

- この構成では8チャンネルデータを1系統と2チャンネルデータを4系統処理できる。
- セレクタ出力はMUXMOD, SW1SEL[2:0], SW2SEL[2:0]レジスタで設定する。
- 2チャンネルデータはDATAOUT から出力される。DATAMUT レジスタでミュートできる。
- 8チャンネルデータはDATAOUT, MPOUT[3:1]から出力される。D8CHMUT レジスタでミュートできる。
- MPOUT4 からはS/PDIF 信号を出力することができる。RXTHR2[3:0]レジスタで設定する。
- ERRF, MUTEB, NPCMF はFLGERR, FLGOUT レジスタ設定でMPIN4, MPIN5, MPIN6 入力信号を出力できる。
- DSD データの入出力も可能である。ただし、DSD 両チャンネルのミュート処理はできない。

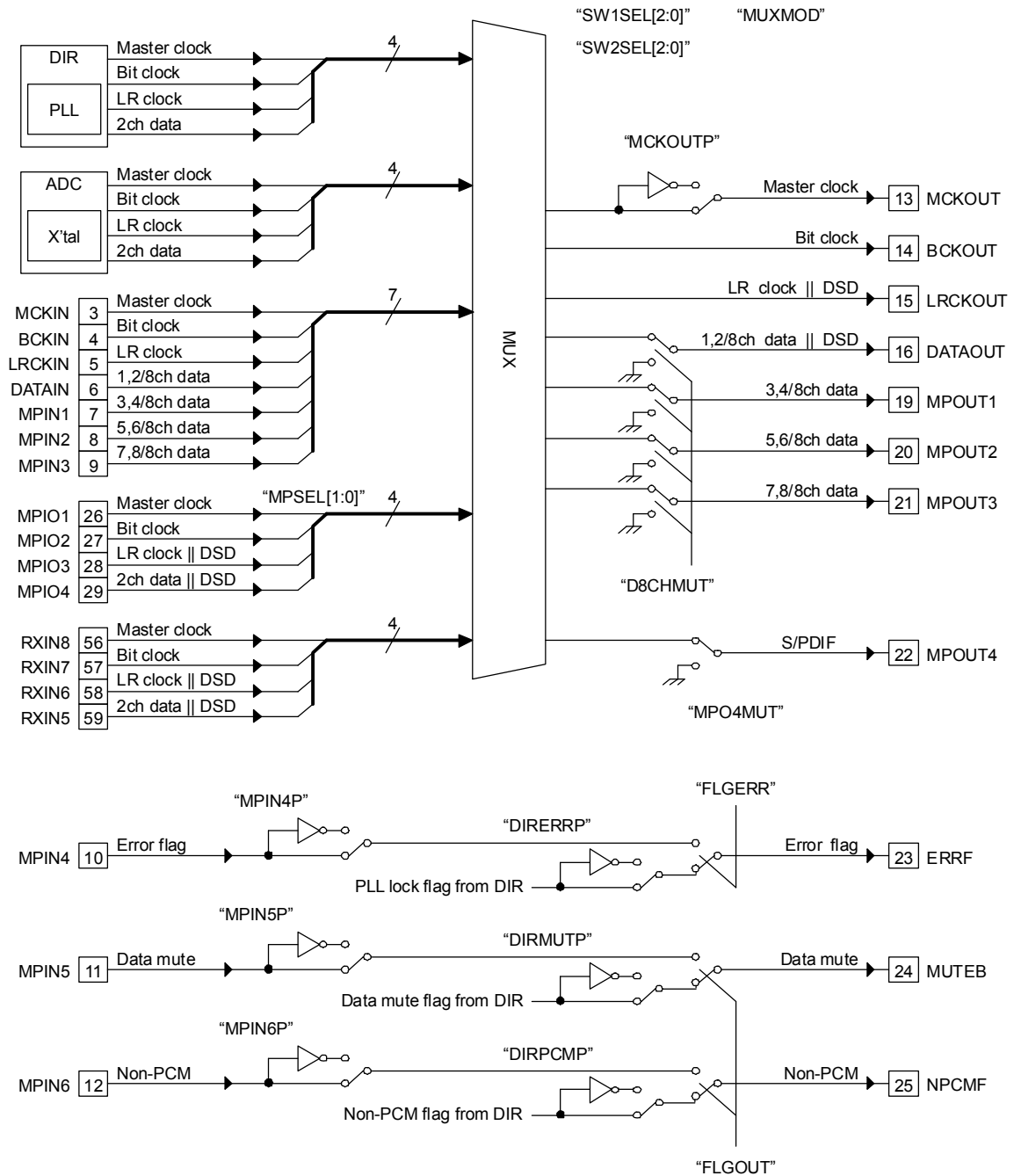


図 11.3 : 8チャンネルデータと2チャンネルデータ対応オーディオセレクタ構成
(クロック&データ MUX : 7bit×1 入力、4bit×4 入力、7bit×1 出力)

- 8チャンネルデータセレクタ構成ではMPOUT4 出力はRXTHR2 レジスタの設定に従う。

LC89075WA

表 11.6 : 8ch データセクタ設定時のクロックおよびデータ入出力構成
(MCKOUT, BCKOUT, LRCKOUT, DATAOUT, MPOUT[4:1] 出力端子)

SWISEL レジスタ	SW2SEL レジスタ	セクタ入力	セクタ出力	入出力内容
010	111	MCKIN (3) →	MCKOUT (13)	マスタクロック入出力
		BCKIN (4) →	BCKOUT (14)	ビットクロック入出力
		LRCKIN (5) →	LRCKOUT (15)	LR クロック入出力
		DATAIN (6) →	DATAOUT (16)	1, 2/8ch データ入出力
		MPIN1 (7) →	MPOUT1 (19)	3, 4/8ch データ入出力
		MPIN2 (8) →	MPOUT2 (20)	5, 6/8ch データ入出力
		MPIN3 (9) →	MPOUT3 (21)	7, 8/8ch データ入出力
		S/PDIF 入力 →	MPOUT4 (22)	入力 S/PDIF 選択出力

- DATAIN, MPIN1, MPIN2, MPIN3 へ入力するオーディオデータフォーマットは ADC, DIR の出力データフォーマット (DAFORM レジスタ設定) に合わせる。

表 11.7 : 8ch から 2ch 切換え時のクロックおよびデータ入出力構成
(MCKOUT, BCKOUT, LRCKOUT, DATAOUT 出力端子)

SWISEL レジスタ	セクタ入力	セクタ出力	入出力内容
000	DIR-MCK →	MCKOUT (13)	マスタクロック出力
	DIR-BCK →	BCKOUT (14)	ビットクロック出力
	DIR-LRCK →	LRCKOUT (15)	LR クロック出力
	DIR-DATA →	DATAOUT (16)	2ch データ出力
000 001	ADC-MCK →	MCKOUT (13)	マスタクロック出力
	ADC-BCK →	BCKOUT (14)	ビットクロック出力
	ADC-LRCK →	LRCKOUT (15)	LR クロック出力
	ADC-DATA →	DATAOUT (16)	2ch データ出力
100 (「MPSEL[1:0]=01」)	MPIO1 (26) →	MCKOUT (13)	マスタクロック入出力
	MPIO2 (27) →	BCKOUT (14)	ビットクロック入出力
	MPIO3 (28) →	LRCKOUT (15)	LR クロック // DSD データ入出力
	MPIO4 (29) →	DATAOUT (16)	2ch データ // DSD データ入出力
101	RXIN8 (56) →	MCKOUT (13)	マスタクロック入出力
	RXIN7 (57) →	BCKOUT (14)	ビットクロック入出力
	RXIN6 (58) →	LRCKOUT (15)	LR クロック // DSD データ入出力
	RXIN5 (59) →	DATAOUT (16)	2ch データ // DSD データ入出力
110 111 (ミュート出力)	-	MCKOUT (13)	“L” 出力
		BCKOUT (14)	“L” 出力
		LRCKOUT (15)	“L” 出力
		DATAOUT (16)	“L” 出力

表 11.8 : 8ch データセクタ設定時の外部フラグ入出力構成 (ERRF, MUTEb, NPCMF 出力端子)

FLGERR レジスタ	FLGOUT レジスタ	セクタ入力	セクタ出力	入出力内容
1	×	MPIN4 (10) →	ERRF (23)	エラーフラグ
×	1	MPIN5 (11) →	MUTEb (24)	ミュートフラグ
		MPIN6 (12) →	NPCMF (25)	非 PCM フラグ

- ERRF, MUTEb, NPCMF の出力初期状態を以下に示す。
- 外部供給信号と極性が異なる場合は MPIN4P, MPIN5P, MPIN6P レジスタまたは DIRERRP, DIRMUTP, DIRPCMP レジスタで変更する。

表 11.11 : ERRF, MUTEb, NPCMF 出力端子初期設定状態

出力	ERRF 端子「DIRERRP=0」	MUTEb 端子「DIRMUTP=0」	NPCMF 端子「DIRPCMP=0」
L	PLL ロックエラー解除	出力データミュート処理	PCM データ出力
H	PLL アンロック状態	データ出力	非 PCM データ出力

- DATAIN, MPIN[3:1], MPIN[6:4], MPIO4 への入力データフォーマットは DAFORM レジスタに従う。初期値は I²S 出力フォーマットである。

11.4 クロック・データ切換えおよびミュート処理

- 通常 SW1SEL[2:0], SW2SEL[2:0] レジスタによるセクタ切換えは設定直後に処理されるが MUXMOD レジスタで LRCKOUT に同期させることが可能である。ただし LRCKOUT が出力されない状態では切換え処理ができなくなるので注意すること。また DSD データが扱われるシステムでは LR クロックが入力されないため MUXMOD レジスタは使用しないこと。
- 出力データのミュートは DATAMUT, D6CHMUT, D8CHMUT レジスタで設定する。MUTREF レジスタはこれらミュート設定のレジスタが設定されると MUTEb をミュート状態にする。ただし、初期設定では DATAMUT, D6CHMUT, D8CHMUT レジスタの設定は反映されていない。また DSD データに対しては両チャンネルをミュートすることはできない。
- MUTEb は DIR や ADC の変化に応じて出力される。このためセクタを使用している場合も DIR や ADC の状態に応じて MUTEb は変化する。セクタ使用時に MUTEb を使用してミュート処理する場合は MPIN5 入力を MUTEb へ出力する設定に切換える。但し MPIN[6:1] をクロックと 6ch データの入力として使用する場合は MUTEb からミュート信号を出力することはできない。

12 デジタルオーディオデータ有無音検出

- LC89075WA はアナログオーディオデータの有無音検出に加え DATAOUT から出力されるデジタルオーディオデータ (2ch オーディオデータのみ) の有無音状態を検出することができる。これは DSTASEL レジスタで設定する。(「DSTASEL=1」)
- DATAOUT オーディオデータの有無音レベル検出は PCM データと非 PCM データで処理が異なる。データはチャンネルステータスのビット 1 情報と DTS-CD 非 PCM 検出フラグおよび「FLGOUT=1」設定時の MPIN6 入力信号で区分される。なお、有無音状態の検出は SDMODE レジスタで選択する。
- PCM データの有無音検出はアナログデータと同様である。判定レベルは YLEVEL[3:0]、NLEVEL[3:0] レジスタで設定する。出力データフォーマットは UDFORM レジスタに準じていること。検出結果は DSTATE 端子と ODATAM レジスタから出力される。
- 非 PCM データの有無音検出はミュート状態 (0 データ) か否かで判定される。24 ビットのチャンネルデータが全て 0 データのとき無音状態でそれ以外を有音状態として検出される。なお、非 PCM データの有無音検出では YLEVEL[3:0]、NLEVEL[3:0] レジスタ設定は反映されない。
- DSTATE 出力は DATAOUT 出力データに対して 1/2 フレーム遅れて出力される。また SW1SEL[2:0] で選択された出力クロックが停止していると有無音検出は動作しない。この時 DSTATE は以前の結果が継続して出力され誤った情報となる。このためクロック供給がないソースは選択しないこと。
- デジタルオーディオデータの有無音検出は DSD データには対応していない。「DSTASEL=1」で DSD データが出力されている時の DSTATE 出力は誤った結果が出力されるので注意すること。

13 マイコンレジスタ出力 (拡張出力)

- マイコンインタフェースより入力されたシリアルデータをパラレル変換して MPIO[4:1] 端子から出力する。これは「MPSEL[1:0]=00」かつ「MPSTA[1:0]=11」設定時に機能する。
- MPIO[4:1] 端子に出力するデータは PI[3:0] レジスタに設定する。(アドレス 03h)
- PI[3:0] レジスタへ書き込まれたデータは MPIO[4:1] 端子へ出力される。

14 マイコンインタフェース (CSB, SCK, SI, SO, INTB)

- LC89075WA は SPI (Serial Peripheral Interface, Mode0, Mode3) で制御される。
- このインタフェースは CSB : チップセレクト、SCK : シリアルクロック入力、SI : データ入力、SO : データ出力で構成する。
- SI は書き込み/読み出し (R/W)、0 データ (2bits)、レジスタアドレス (A[4:0])、制御データ (8bits×n, [MSB:LSB]) で構成される。R/W は 0 で書き込み、1 で読み出しである。

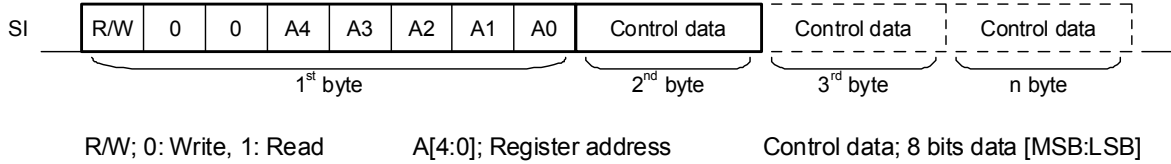


図 14.1 : SI 入力データ構成

- データの読出しは R/W=1、レジスタアドレス設定後に SO から出力される。
- SO は R/W=0 または CSB が H 期間は Hi-Z 出力になる。
- LC89075WA はアドレスカウンタを内蔵しておりアドレスを自動インクリメントして Read/Write するカレント・アドレス・アクセスモードまたは任意のアドレスのデータを Read/Write するランダム・アドレス・アクセスモードで制御される。

14.1 カレント・アドレス・アクセスモード

- Read/Write 共にアドレスカウンタには A[4:0] のアドレス値が保持され D0 がレジスタへ取り込まれるタイミングでアドレス値を+1 インクリメントする。そして、このタイミングと同時に D[7:0] データの書き込みが実行される。以降、データの書き込みは 1 バイトごとに行われる。(図 14.2 ↑)
- インクリメント機能は CSB が L 期間実行されるが Write アドレス 0Eh、Read アドレス 17h を超えた場合、書き込みは停止し読出しデータは 0 データが出力される。

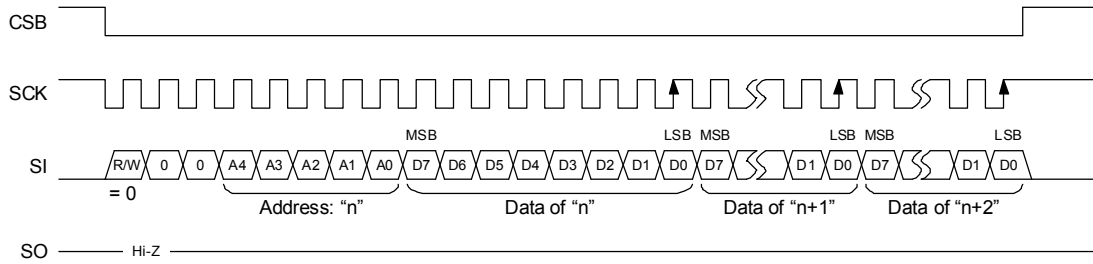


図 14.2 : カレント・アドレス・アクセスモード入力タイミング図

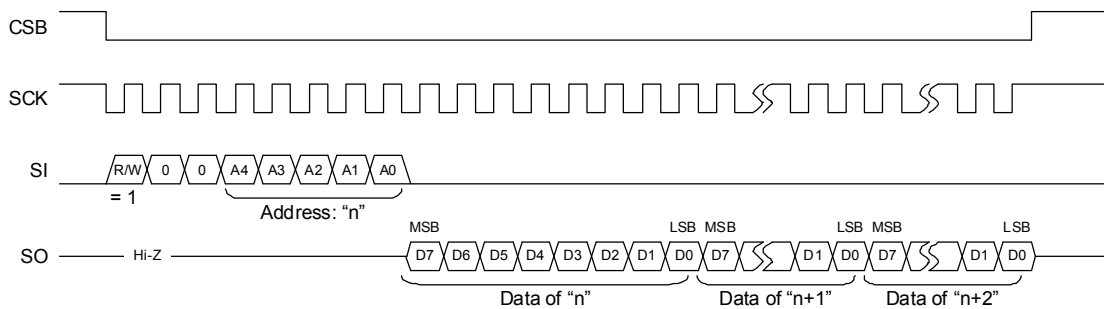


図 14.3 : カレント・アドレス・アクセスモード出力タイミング図

14.2 ランダム・アドレス・アクセスモード

- ・ランダム・アドレス・アクセスモードは任意のアドレスに対してデータの Read/Write を行う。
- ・1 命令 1 アドレスの処理である。
- ・Write データは CSB の立ち上がり直前の SCK ↑ で取り込まれる。
- ・入力の 1 命令はアドレスとデータの合計 2 バイトで実行されるが 3 バイト以上の SCK シリアルクロックが入力されると前述のカレント・アドレス・アクセスモードとして実行される。アドレスがインクリメントされデータが書き換わってしまうので注意すること。
- ・出力の 1 命令はアドレス設定後 8 ビットのデータが読み出される。入力命令と同様に CSB を立ち下げた状態で SCK を入力し続けるとカレント・アドレス・アクセスモードとして実行される。

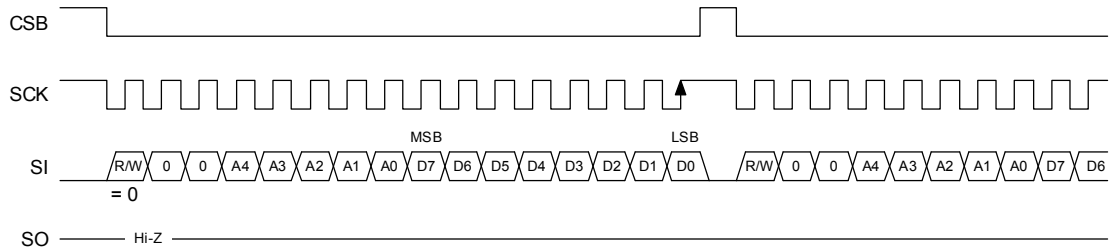


図 14.4 : ランダム・アドレス・アクセスモード入力タイミング図

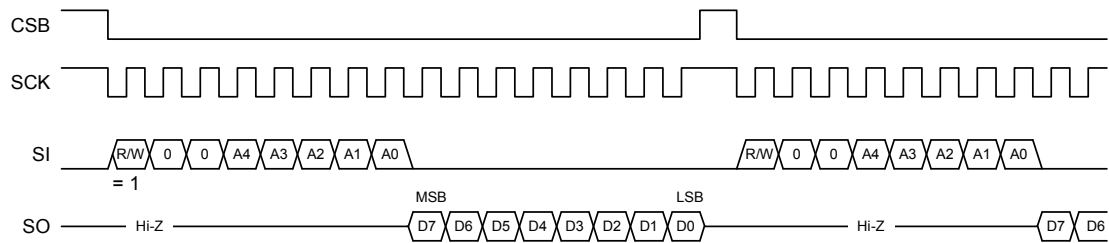


図 14.5 : ランダム・アドレス・アクセスモード出力タイミング図

14.3 割込み出力 (INTB)

- ・ 割込み出力は PLL のロック状態や出力データ情報などに変化が生じた時に出力する。
- ・ 割込み出力は割込み要因を選択するレジスタとその状態遷移を出力する INTB および割込みの要因データを格納するレジスタから構成される。
- ・ INTB は「INTBP=1」設定 (初期値) では H 出力状態から割込み要因の発生によって L を出力する。L 出力後は割込み要因出力レジスタの読み出しと同時にクリアされ H 出力に戻る。
- ・ 割込み要因は以下の項目から選択する。この項目はアドレス 0Eh の内容で同時に複数の要因項目を設定することができる。INTB は選択した割込み要因の OR 演算結果が出力される。

$$\text{INTB 出力} = (\text{選択要因 1}) + (\text{選択要因 2}) + \dots + (\text{選択要因 n})$$

表 14.1 : 割込み要因設定内容の説明

No.	アドレス 0Eh		内容
1	D0	ERROR	ERRF 端子の状態が変化した時に出力する
2	D1	FSCHG	入力 fs の算出結果が変化した時に出力する
3	D2	CSRNW	先頭 40 ビットチャンネルステータスデータが更新された時に出力する
4	D3	UNPCM	NPCMF 端子の状態が変化した時に出力する
5	D4	PCRNW	バーストプリアンプ Pc が更新された時に出力する
6	D5	EMPHA	エンファシス情報が変化した時に出力する
7	D7	DATAM	DSTATE 端子の状態が変化した時に出力する

- ・ 設定した割込み要因の内容は要因発生時にアドレス 0Fh に書き込まれる。ただし、要因項目 1、4、7 に対しては読み出し時の ERRF、NPCMF、DSTATE 端子の状態が出力される。
- ・ 要因項目 2 は発振アンプのクロックを使用するため PLL ロック中もモニタする場合は発振アンプを連続動作モードに設定する必要がある。
- ・ INTB は要因発生時に L を出力しアドレス 0Fh の読み出しが設定された直後にクリア (H) される。
- ・ INTB は XMODE によるリセット処理またはアドレス 0Fh の設定以外ではクリアされない。

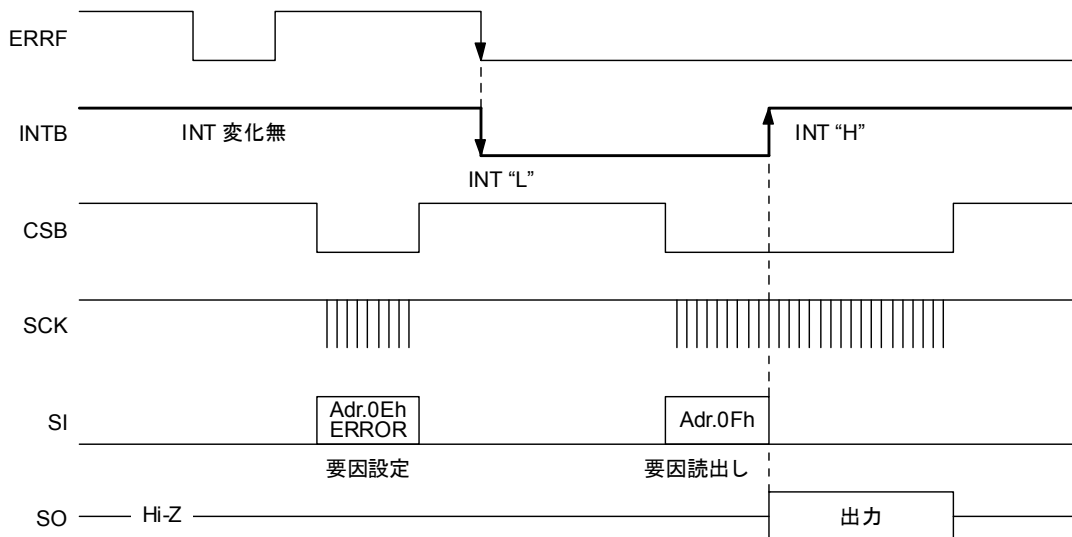


図 14.6 : INTB 出力タイミング例 (「INTBP=0」時)

LC89075WA

14.4 レジスタ

14.4.1 レジスタマップ

表 14.2 : レジスタマップ

設定項目	R/W	Adr	D7	D6	D5	D4	D3	D2	D1	D0
システム	R/W	00h	0	DIROPR	ADCOPR1	ADCOPR0	AMPOPR1	AMPOPR0	DAFORM	SYSRST
	R/W	01h	RXCKMU	INTBP	MCKOUTP	DSTATEP	0	0	DSTASEL	SDMODE
	R/W	02h	NPSEL	RX3ASEL	RX2ASEL	RX1ASEL	XMSEL1	XMSEL0	XINSEL1	XINSEL0
	R/W	03h	PI3	PI2	PI1	PI0	MPSTA1	MPSTA0	MPSEL1	MPSEL0
	R/W	04h	0	MPIN6P	MPIN5P	MPIN4P	0	DIRPCMP	DIRMUTP	DIRERRP
セレクト	R/W	05h	0	OUTMUT	MUXMOD	MUTREF	MPO4MUT	D8CHMUT	D6CHMUT	DATAMUT
	R/W	06h	FLGOUT	SW2SEL2	SW2SEL1	SW2SEL0	FLGERR	SW1SEL2	SW1SEL1	SW1SEL0
	R/W	07h	NLEVEL3	NLEVEL2	NLEVEL1	NLEVEL0	YLEVEL3	YLEVEL2	YLEVEL1	YLEVEL0
ADC	R/W	08h	ADBMOD	ADPGA2	ADPGA1	ADPGA0	ADSMUTE	ADFDSP2	ADFDSP1	ADFDSP0
	R/W	09h	ADVOL7	ADVOL6	ADVOL5	ADVOL4	ADVOL3	ADVOL2	ADVOL1	ADVOL0
DIR	R/W	0Ah	RXCKWT1	RXCKWT0	RXMCK1	RXMCK0	RXCKDV1	RXCKDV0	0	RXCKAT
	R/W	0Bh	RXDSEL3	RXDSEL2	RXDSEL1	RXDSEL0	RXTHR13	RXTHR12	RXTHR11	RXTHR10
	R/W	0Ch	0	0	0	0	RXTHR23	RXTHR22	RXTHR21	RXTHR20
	R/W	0Dh	RXERWT1	RXERWT0	RXLIM1	RXLIM0	RXREFSJ	RXRESTA	RXREDER	RXRESEL
	R/W	0Eh	DATAM	0	EMPHA	PCRNW	UNPCM	CSRNW	FSCHG	ERROR
	R	0Fh	ODATAM	0	OEMPHA	OPCRNW	OUNPCM	OCSRNW	OFSCHG	OERROR
	R	10h	RXDTS5	RXDTS51	RX61937	RXFSFLG	RXFSC3	RXFSC2	RXFSC1	RXFSC0
	R	11h	RXCS7	RXCS6	RXCS5	RXCS4	RXCS3	RXCS2	RXCS1	RXCS0
	R	12h	RXCS15	RXCS14	RXCS13	RXCS12	RXCS11	RXCS10	RXCS9	RXCS8
	R	13h	RXCS23	RXCS22	RXCS21	RXCS20	RXCS19	RXCS18	RXCS17	RXCS16
	R	14h	RXCS31	RXCS30	RXCS29	RXCS28	RXCS27	RXCS26	RXCS25	RXCS24
	R	15h	RXCS39	RXCS38	RXCS37	RXCS36	RXCS35	RXCS34	RXCS33	RXCS32
	R	16h	RXPC7	RXPC6	RXPC5	RXPC4	RXPC3	RXPC2	RXPC1	RXPC0
	R	17h	RXPC15	RXPC14	RXPC13	RXPC12	RXPC11	RXPC10	RXPC9	RXPC8

・0 は予約ビットである。0 を入力すること。

14.4.2 レジスタ詳細

アドレス：00h・システム設定(各機能動作設定)

00h	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	0	DIROPR	ADCOPR1	ADCOPR0	AMPOPR1	AMPOPR0	DAFORM	SYSRST
初期値	0	0	0	0	0	0	0	0
設定	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SYSRST システムリセット

- 0: リセットしない(初期値)
- 1: レジスタ以外の回路をリセットする

DAFORM ADC, DIR オーディオデータ出力フォーマット設定

- 0: I²S データ出力(初期値)
- 1: 24 ビット MSB ファースト前詰データ出力

AMPOPR[1:0] 発振アンプ動作設定

- 00: 連続動作(初期値)
- 01: PLL ロック時自動停止、PLL アンロック時動作
- 10: Reservd
- 11: 停止

ADCOPR[1:0] ADC 動作設定

- 00: PLL ロック時リセット停止、PLL アンロック時動作(初期値)
- 01: Reserved
- 10: 低サンプリングレート動作(「SDMODE=1」条件)
- 11: パワーダウン停止

DIROPR DIR 動作設定

- 0: 連続動作(初期値)
- 1: 停止

- ・「SYSRST=1」はレジスタの設定を保持した状態でレジスタ以外の回路がリセットされる。ただし、出力クロックは停止せず XIN 系のクロックが出力される。
- ・「SW1SEL[2:0]=001」または「SW2SEL[2:0]=001」での発振アンプは AMPOPR[1:0] の設定に関わらず連続動作に設定される。ただし「AMPOPR[1:0]=11」設定時は除く。
- ・「MPSEL[1:0]=10 または 11」または「SW1SEL[2:0]=001」, 「SW2SEL[2:0]=001」での ADC は PLL の状態や ADCOPR[1:0] の設定に関わらず連続動作に設定される。
- ・ADC の低サンプリングレート動作は 6kHz で AD 変換されるモードでアナログオーディオデータの有音検出時に設定する。「ADCOPR[1:0]=10」の設定は同時に「SDMODE=1」の設定が必要である。
- ・PLL ロック中の「DIROPR=1」設定はクロックソースが XIN 系に切換ってから実行される。

LC89075WA

アドレス：01h・システム設定(有無音検出設定)

01h	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	RXCKMU	INTBP	MCKOUTP	DSTATEP	0	0	DSTASEL	SDMODE
初期値	0	0	0	0	0	0	0	0
設定	R/W	R/W	R/W	R/W	R	R	R/W	R/W

SDMODE 入出力オーディオデータ有無音検出設定

- 0: 無音状態を検出する(初期値)
- 1: 有音状態を検出する

DSTASEL DSTATE 端子出力設定

- 0: アナログオーディオデータの有無音状態を出力する(初期値)
- 1: SW1SEL[2:0]レジスタで選択されたデータの有無音状態を出力する

DSTATEP DSTATE 端子出力極性設定

- 0: リセット時または無音状態時 L 出力、有音状態時 H 出力(初期値)
- 1: リセット時または無音状態時 H 出力、有音状態時 L 出力

MCKOUTP MCKOUT 端子出力極性設定

- 0: マスタクロックを MCKOUT へ出力する(初期値)
- 1: マスタクロックを反転して MCKOUT へ出力する

INTBP INTB 端子出力極性設定

- 0: H: 割込み要因発生無、L: 割込み要因発生有(初期値)
- 1: L: 割込み要因発生無、H: 割込み要因発生有

RXCKMU 「RXCKAT=1」設定時の RXMCK[1:0]レジスタ設定

- 0: PLL ロック後の RXMCK[1:0]レジスタは変更できない(初期値)
- 1: RXMCK[1:0]レジスタは常時変更可能

- SDMODE レジスタと有無音検出レベルを設定する YLEVEL[3:0], NLEVEL[3:0] レジスタで有無音状態の判定レベルを各々調整が可能である。
- 「DSTASEL=1」でアナログデータが選択されているとき(「SW1SEL[2:0]=000」で PLL アンロック時または「SW1SEL[2:0]=001」)有無音検出は ADC 出力ボリュームを通過する前のデータに対して実施される。また NPCMF から非 PCM データフラグが出力されているときは YLEVEL[2:0], NLEVEL[2:0] の判定レベルは無視され 0 データ検出が実行される。各チャンネルの 24 ビット全てのデータが 0 のとき無音状態として L が DSTATE より出力される。なお、デジタルオーディオデータの有無音検出は MPOUT[4:1]出力(SW2SEL[2:0]レジスタ設定)に対しては実施されない。
- 「DSTASEL=1」設定時 SW1SEL[2:0]レジスタで選択されたクロックが MCKOUT, BCKOUT, LRCKOUT 端子から出力されないと検出回路が動作しないため DSTATE 端子は以前の結果から変化しない。

LC89075WA

アドレス：02h・システム設定(入出力端子設定 1)

02h	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	NPSEL	RX3ASEL	RX2ASEL	RX1ASEL	XMSEL1	XMSEL0	XINSEL1	XINSEL0
初期値	0	0	0	0	0	0	0	0
設定	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

XINSEL[1:0] XIN 端子入力クロック周波数、ADC 制御クロック、ADC 選択時の出力クロック設定

- 00: XIN 端子入力クロック：12.288MHz(初期値)
 ADC マスタクロック：12.288MHz、MCKOUT 出力クロック：12.288MHz
 ADC ビットクロック：3.072MHz、BCKOUT 出力クロック：3.072MHz
 ADC チャネルクロック：48kHz、LRCKOUT 出力クロック：48kHz
- 01: XIN 端子入力クロック：24.576MHz
 ADC マスタクロック：12.288MHz、MCKOUT 出力クロック：12.288MHz
 ADC ビットクロック：3.072MHz、BCKOUT 出力クロック：3.072MHz
 ADC チャネルクロック：48kHz、LRCKOUT 出力クロック：48kHz
- 10: XIN 端子入力クロック：24.576MHz
 ADC マスタクロック：12.288MHz、MCKOUT 出力クロック：24.576MHz
 ADC ビットクロック：3.072MHz、BCKOUT 出力クロック：3.072MHz
 ADC チャネルクロック：48kHz、LRCKOUT 出力クロック：48kHz
- 11: XIN 端子入力クロック：24.576MHz
 ADC マスタクロック：24.576MHz、MCKOUT 出力クロック：24.576MHz
 ADC ビットクロック：6.144MHz、BCKOUT 出力クロック：6.144MHz
 ADC チャネルクロック：96kHz、LRCKOUT 出力クロック：96kHz

XMSEL[1:0] XMCK 端子出力設定

- 00: XIN 端子入力周波数の 1/1 出力(初期値)
- 01: XIN 端子入力周波数の 1/2 出力
- 10: XIN 端子入力周波数の 1/4 出力
- 11: L 出力

RX1ASEL RXIN1A 入力機能設定

- 0: TTL 入力レベル対応入力(初期値)
- 1: コアキシャル入力レベル対応入力

RX2ASEL RXIN2A 入力機能設定

- 0: TTL 入力レベル対応入力(初期値)
- 1: コアキシャル入力レベル対応入力

RX3ASEL RXIN3A 入力機能設定

- 0: TTL 入力レベル対応入力(初期値)
- 1: コアキシャル入力レベル対応入力

NPSEL NPCMF 端子出力内容設定

- 0: チャネルステータス・ビット 1 のみ出力(初期値)
- 1: チャネルステータス・ビット 1、IEC61937、DTS-CD 検出フラグ出力

LC89075WA

アドレス：03h・システム設定(入出力端子設定 2)

03h	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	PI3	PI2	PI1	PI0	MPSTA1	MPSTA0	MPSEL1	MPSEL0
初期値	0	0	0	0	0	0	0	0
設定	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MPSEL[1:0] MPIO[4:1]端子入出力設定

- 00: MPIO[4:1]端子全て MPSTA[1:0]レジスタに従う(初期値)
- 01: MPIO[4:1]端子全て入力
- 10: ADC スレーブモード 512fs クロック入力(9.2.3 スレーブモード参照)
- 11: ADC スレーブモード 256fs クロック入力(9.2.3 スレーブモード参照)

MPSTA[1:0] 「MPSEL[1:0]=00」設定時の MPIO[4:1]端子出力設定

- 00: MPIO1 : Hi-Z 出力(初期値)
MPIO2 : Hi-Z 出力
MPIO3 : Hi-Z 出力
MPIO4 : Hi-Z 出力
- 01: MPIO1 : チャネルステータス・ビット 1 出力
MPIO2 : チャネルステータス・コピービット出力
MPIO3 : チャネルステータス・プリエンファシス情報出力
MPIO4 : チャネルステータス・世代ビット出力
- 10: MPIO1 : PI0 出力
MPIO2 : PI1 出力
MPIO3 : PI2 出力
MPIO4 : PI3 出力
- 11: MPIO1 : L 出力
MPIO2 : L 出力
MPIO3 : L 出力
MPIO4 : L 出力

PI0 「MPSEL[1:0]=00」かつ「MPSTA[1:0]=10」設定時の MPIO1 出力設定

- 0: L 出力(初期値)
- 1: H 出力

PI1 「MPSEL[1:0]=00」かつ「MPSTA[1:0]=10」設定時の MPIO2 出力設定

- 0: L 出力(初期値)
- 1: H 出力

PI2 「MPSEL[1:0]=00」かつ「MPSTA[1:0]=10」設定時の MPIO3 出力設定

- 0: L 出力(初期値)
- 1: H 出力

PI3 「MPSEL[1:0]=00」かつ「MPSTA[1:0]=10」設定時の MPIO4 出力設定

- 0: L 出力(初期値)
- 1: H 出力

- ・ MPIO[4:1]の入力設定「MPSEL[1:0]=01」は MPIO[4:1]を Hi-Z 出力状態から切換えること
- ・ MPSTA[1:0]は「MPSEL[1:0]=00」設定時のみ可能である。

LC89075WA

アドレス：04h・システム設定(出力端子極性設定)

04h	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	0	MPIN6P	MPIN5P	MPIN4P	0	DIRPCMP	DIRMUTP	DIRERRP
初期値	0	0	0	0	0	0	0	0
設定	R	R/W	R/W	R/W	R	R/W	R/W	R/W

- DIRERRP DIR エラーフラグを ERRF 端子へ出力する時のエラー信号極性設定
0: H: PLL ロックエラー、L: PLL ロックエラー解除(初期値)
1: L: PLL ロックエラー、H: PLL ロックエラー解除
- DIRMUTP DIR/ADC ミュート信号を MUTEB 端子へ出力する時のミュート信号極性設定
0: H: データ出力状態、L: データミュート状態(初期値)
1: L: データ出力状態、H: データミュート状態
- DIRPCMP DIR データタイプ信号を NPCMF 端子へ出力する時のデータタイプ信号極性設定
0: L: PCM データ、H: 非 PCM データ(初期値)
1: H: PCM データ、L: 非 PCM データ
- MPIN4P MPIN4 端子入力信号の ERRF 端子出力時 MPIN4 極性設定(「FLGERR=1」設定時)
0: MPIN4 入力信号を直接出力する(初期値)
1: MPIN4 入力信号を反転して出力する
- MPIN5P MPIN5 端子入力信号の MUTEB 端子出力時 MPIN5 極性設定(「FLGOUT=1」設定時)
0: MPIN5 入力信号を直接出力する(初期値)
1: MPIN5 入力信号を反転して出力する
- MPIN6P MPIN6 端子入力信号の NPCMF 端子出力時 MPIN6 極性設定(「FLFOUT=1」設定時)
0: MPIN6 入力信号を直接出力する(初期値)
1: MPIN6 入力信号を反転して出力する

- ERRF, MUTEB, NPCMF から出力される信号が DIRERRP, DIRMUTP, DIRPCMP レジスタの条件と合致するように MPIN4, MPIN5, MPIN6 入力信号を MPIN4P, MPIN5P, MPIN6P レジスタで調整する。
- DIRERRP レジスタは ERRF 出力へ反映されるが読み出しレジスタ OERROR へは反映されない。
- DIRPCMP レジスタも NPCMF 出力へ反映されるが読み出しレジスタ OUNPCM へは反映されない。
- 非 PCM データとは NPSEL レジスタの設定に準じて検出されたデータとする。

LC89075WA

アドレス：05h・セクタ設定(出力ミュート設定)

05h	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	0	OUTMUT	MUXMOD	MUTREF	MPO4MUT	D8CHMUT	D6CHMUT	DATAMUT
初期値	0	0	0	0	0	0	0	0
設定	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DATAMUT DATAOUT 端子出力設定(2ch データ出力対応)
0: データ出力(初期値)
1: ミュート、L 出力

D6CHMUT DATAOUT, MPOUT1, MPOUT2 端子出力設定(2ch, 6ch データ出力対応)
0: データ出力(初期値)
1: ミュート、L 出力

D8CHMUT DATAOUT, MPOUT1, MPOUT2, MPOUT3 端子出力設定(2ch, 6ch, 8ch データ出力対応)
0: データ出力(初期値)
1: ミュート、L 出力

MPO4MUT MPOUT4 端子出力設定
0: データ出力(初期値)
1: ミュート、L 出力

MUTREF MUTEB 端子出力設定
0: DATAMUT レジスタを MUTEB へ反映しない(初期値)
1: 「DATAMUT=1」設定時 MUTEB をミュート状態にする

MUXMOD SW1SEL[2:0], FLGERR, SW2SEL[2:0], FLGOUT レジスタ切換えタイミング設定
0: レジスタ切換え直後に処理する(初期値)
1: LRCKOUT に同期して処理する

OUTMUT MCKOUT, BCKOUT, LRCKOUT, DATAOUT 端子出力設定(有音検出時の低消費電力対応)
0: クロック、データ出力(初期値)
1: ミュート、L 出力

- DATAMUT, D6CHMUT, D8CHMUT, MUTREF レジスタは LRCKOUT に同期して処理される。
- MPO4MUT レジスタは設定直後に処理される。
- MUTREF レジスタの設定は DIRMUTP レジスタの設定に従いデータミュート状態を出力する。
- D6CHMUT, D8CHMUT レジスタは MUTEB へは反映されない。
- 「MUXMOD=1」は LRCKOUT 出力の立ち上がりエッジで SW1SEL[2:0], FLGERR, SW2SEL[2:0], FLGOUT レジスタが切換えられるため LRCKOUT クロック出力が無いソースを選択する場合は MUXMOD レジスタを設定しないこと。更に DSD データ入力は LR クロック入力が無いことから誤動作する可能性があるため MUXMOD レジスタは使用しないこと。
- OUTMUT レジスタはアナログまたはデジタルオーディオデータの有音検出で消費電流を低減する場合に設定する。

LC89075WA

アドレス：06h・セレクト設定(出力信号設定)

06h	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	FLGOUT	SW2SEL2	SW2SEL1	SW2SEL0	FLGERR	SW1SEL2	SW1SEL1	SW1SEL0
初期値	0	0	0	0	0	0	0	0
設定	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SW1SEL[2:0] MCKOUT, BCKOUT, LRCKOUT, DATAOUT 出力設定

000: ADC/DIR 自動選択出力設定(初期値)

PLL アンロック時：ADC マスタモードクロック設定時

MCKOUT：ADC マスタクロック出力

BCKOUT：ADC ビットクロック出力

LRCKOUT：ADC チャンネルクロック出力

DATAOUT：ADC オーディオデータ出力

PLL アンロック時：ADC スレーブモードクロック設定時

MCKOUT：MPIO1 端子入力マスタクロック出力

BCKOUT：MPIO2 端子入力ビットクロック出力

LRCKOUT：MPIO3 端子入力チャンネルクロック出力

DATAOUT：ADC オーディオデータ出力

PLL ロック時：DIR 出力

MCKOUT：DIR マスタクロック出力

BCKOUT：DIR ビットクロック出力

LRCKOUT：DIR チャンネルクロック出力

DATAOUT：DIR オーディオデータ出力

001: ADC 出力(マスタモード/スレーブモード)

MCKOUT：ADC マスタ/MPIO1 端子入力クロック出力

BCKOUT：ADC ビット/MPIO2 端子入力クロック出力

LRCKOUT：ADC チャンネル/MPIO3 端子入力クロック出力

DATAOUT：ADC オーディオデータ出力

010: MCKIN, BCKIN, LRCKIN, DATAIN 端子入力信号出力(2ch/8ch データ対応)

MCKOUT：MCKIN 端子入力マスタクロック出力

BCKOUT：BCKIN 端子入力ビットクロック出力

LRCKOUT：LRCKIN 端子入力チャンネルクロック出力

DATAOUT：DATAIN 端子入力 2ch/8ch 対応オーディオデータ出力

011: MPIN[4:1]端子入力信号出力(2ch/6ch データ対応)

MCKOUT：MPIN1 端子入力マスタクロック出力

BCKOUT：MPIN2 端子入力ビットクロック出力

LRCKOUT：MPIN3 端子入力チャンネルクロック出力

DATAOUT：MPIN4 端子入力 2ch/6ch 対応オーディオデータ出力

100: MPIO[4:1]端子入力信号出力(「MPSEL[1:0]=01」設定)

MCKOUT：MPIO1 端子入力マスタクロック出力

BCKOUT：MPIO2 端子入力ビットクロック出力

LRCKOUT：MPIO3 端子入力チャンネルクロック出力

DATAOUT：MPIO4 端子入力 2ch 対応オーディオデータ出力

101: RXIN[8:5]端子入力信号出力

MCKOUT：RXIN8 端子入力マスタクロック出力

BCKOUT：RXIN7 端子入力ビットクロック出力

LRCKOUT：RXIN6 端子入力チャンネルクロック出力

DATAOUT：RXIN5 端子入力 2ch 対応オーディオデータ出力

次ページへ続く。

前ページより続く。

- SW1SEL[2:0]
- 110: L 出力(有音検出時消費電流低減設定は OUTMUT レジスタを使用)
 - MCKOUT : L 出力(「MCKOUTP=1」設定時は H 出力)
 - BCKOUT : L 出力
 - LRCKOUT : L 出力
 - DATAOUT : L 出力
 - 111: L 出力(有音検出時消費電流低減設定は OUTMUT レジスタを使用)
 - MCKOUT : L 出力(「MCKOUTP=1」設定時は H 出力)
 - BCKOUT : L 出力
 - LRCKOUT : L 出力
 - DATAOUT : L 出力

- FLGERR ERRF 出力設定
- 0: RXRESEL, RXREDER, RXRESTA レジスタに準じて出力(初期値)
 - 1: MPIN4 端子入力信号を出力(MPIN4P レジスタで極性反転可能)

- SW2SEL[2:0] MPOUT[4:1]出力設定
- 000: L 出力(初期値)
 - MPOUT1 : L 出力
 - MPOUT2 : L 出力
 - MPOUT3 : L 出力
 - MPOUT4 : S/PDIF 出力(RXTHR2[3:0]レジスタに従う、初期値は L 出力)
 - 001: ADC 出力(マスタモード/スレーブモード)
 - MPOUT1 : ADC マスタ/MPIO1 端子入力クロック出力
 - MPOUT2 : ADC ビット/MPIO2 端子入力クロック出力
 - MPOUT3 : ADC チャンネル/MPIO3 端子入力クロック出力
 - MPOUT4 : ADC オーディオデータ出力
 - 010: MCKIN, BCKIN, LRCKIN, DATAIN 端子入力信号出力(2ch データ対応)
 - MPOUT1 : MCKIN 端子入力マスタクロック出力
 - MPOUT2 : BCKIN 端子入力ビットクロック出力
 - MPOUT3 : LRCKIN 端子入力チャンネルクロック出力
 - MPOUT4 : DATAIN 端子入力 2ch 対応オーディオデータ出力
 - 011: MPIN[4:1]端子入力信号出力(2ch データ対応)
 - MPOUT1 : MPIN1 端子入力マスタクロック出力
 - MPOUT2 : MPIN2 端子入力ビットクロック出力
 - MPOUT3 : MPIN3 端子入力チャンネルクロック出力
 - MPOUT4 : MPIN4 端子入力 2ch 対応オーディオデータ出力
 - 100: MPIO[4:1]端子入力信号出力(「MPSEL[1:0]=01」設定)
 - MPOUT1 : MPIO1 端子入力マスタクロック出力
 - MPOUT2 : MPIO2 端子入力ビットクロック出力
 - MPOUT3 : MPIO3 端子入力チャンネルクロック出力
 - MPOUT4 : MPIO4 端子入力 2ch 対応オーディオデータ出力
 - 101: RXIN[8:5]端子入力信号出力
 - MPOUT1 : RXIN8 端子入力マスタクロック出力
 - MPOUT2 : RXIN7 端子入力ビットクロック出力
 - MPOUT3 : RXIN6 端子入力チャンネルクロック出力
 - MPOUT4 : RXIN5 端子入力 2ch 対応オーディオデータ出力

次ページへ続く。

前ページより続く。

SW2SEL[2:0]	110: MPIN[6:5]端子入力信号出力(6ch データ対応) MPOUT1 : MPIN5 端子入力 6ch 対応オーディオデータ出力 MPOUT2 : MPIN6 端子入力 6ch 対応オーディオデータ出力 MPOUT3 : L 出力 MPOUT4 : S/PDIF 出力(RXTHR2[3:0]レジスタに従う、初期値はL出力)
	111: MPIN[3:1]端子入力信号出力(8ch データ対応) MPOUT1 : MPIN1 端子入力 8ch 対応オーディオデータ出力 MPOUT2 : MPIN2 端子入力 8ch 対応オーディオデータ出力 MPOUT3 : MPIN3 端子入力 8ch 対応オーディオデータ出力 MPOUT4 : S/PDIF 出力(RXTHR2[3:0]レジスタに従う、初期値はL出力)
FLGOUT	MUTE _B , NPCM _F 出力設定
	0: MUTE _B : DIR ブロックで生成されたミュート信号を出力(初期値) NPCM _F : DIR ブロックで生成された非 PCM 情報を出力(初期値)
	1: MUTE _B : MPIN5 端子入力信号を出力(MPIN5P レジスタで極性反転) NPCM _F : MPIN6 端子入力信号を出力(MPIN6P レジスタで極性反転)

- SW1SEL[2:0], FLGERR, SW2SEL[2:0], FLGOUT レジスタの設定は MUXMOD レジスタに従い処理される。「MUXMOD=1」での SW1SEL[2:0], FLGERR, SW2SEL[2:0], FLGOUT レジスタの設定は LR クロックが常時供給されている状態で行うこと。LR クロックの供給が停止するとレジスタ設定は実行されない。
- MPIO[4:1]の入力端子への切換えは「MPSEL[1:0]=01」に設定する。
- 「SW1SEL[2:0]=001」の設定で DIR はデジタルデータ有に関わらずアンロック状態になり ERRF からエラーフラグが出力される。PLL ロック状態から切換えたとき ADC データはミュート処理(MUTE_B パルス出力期間)後に出力される。
- 「SW2SEL[2:0]=001」の設定および解除は ADC のリセット処理を経由して実行される。「SW1SEL[2:0]=000」または「SW1SEL[2:0]=001」設定時に DATAOUT から ADC データが出力されている状態で「SW2SEL[2:0]=001」を実行すると MUTE_B が変化して DATAOUT 出力が ADC のリセット期間ミュートされる。「SW2SEL[2:0]=001」の設定および解除は予め DATAOUT 出力データをミュートすることを推奨する。尚、「SW1SEL[2:0]=000」設定で DATAOUT から DIR の復調データが出力されている状態で「SW2SEL[2:0]=001」の設定、解除を実行した場合は ADC のリセット処理は MUTE_B に反映されないため DATAOUT への影響はない。これらは ADC のスレーブ設定時も同様である。
- 6 チャンネルデータや 8 チャンネルデータの処理は以下のように設定する。
 - 6 チャンネルデータ処理 : 「SW1SEL[2:0]=011」, 「SW2SEL[2:0]=110」
 - 8 チャンネルデータ処理 : 「SW1SEL[2:0]=010」, 「SW2SEL[2:0]=111」
- 8 チャンネルデータへの切換えで ERRF, MUTE_B, NPCM_F 出力を MPIN4, MPIN5, MPIN6 入力信号に切換えるには SW1SEL[2:0], SW2SEL[2:0]の設定と同時に FLGERR, FLGOUT レジスタも合わせて変更する。
- 「DSTATE=1」設定時の有無音検出は SW1SEL[2:0]レジスタで選択された出力データに対して実行される。このため有無音検出時にクロックやデータの出力バッファ機能を停止して消費電流を低減する場合は OUTMUT レジスタを設定する。「SW1SEL[2:0]=110 または 111」(L 出力)でクロックやデータの出力機能を停止させると有無音レベル検出は機能しない。

LC89075WA

アドレス：07h・PCMデータ有無音判定レベル設定

07h	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	NLEVEL3	NLEVEL2	NLEVEL1	NLEVEL0	YLEVEL3	YLEVEL2	YLEVEL1	YLEVEL0
初期値	0	0	0	0	0	0	0	0
設定	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

YLEVEL[3:0] PCMデータ有音判定レベル設定(設定値より大きな信号を有音と判定する)

0000: -60dBFS(初期値)
0001: -58dBFS
0010: -56dBFS
0011: -54dBFS
0100: -52dBFS
0101: -50dBFS
0110: -48dBFS
0111: -46dBFS
1000: -44dBFS
1001: -42dBFS
1010: -40dBFS
1011: -38dBFS
1100: -36dBFS
1101: -34dBFS
1110: -32dBFS
1111: -30dBFS

NLEVEL[3:0] PCMデータ無音判定レベル設定(設定値より小さな信号を無音と判定する)

0000: -60dBFS(初期値)
0001: -58dBFS
0010: -56dBFS
0011: -54dBFS
0100: -52dBFS
0101: -50dBFS
0110: -48dBFS
0111: -46dBFS
1000: -44dBFS
1001: -42dBFS
1010: -40dBFS
1011: -38dBFS
1100: -36dBFS
1101: -34dBFS
1110: -32dBFS
1111: -30dBFS

- 0dBFS=0.6AV_{DD}
- YLEVEL[3:0]レジスタ、NLEVEL[3:0]レジスタで-30dBFS~-60dBFSを2dBFSステップごとに判定レベルの調整ができる。
- アナログオーディオデータの検出ではPGA設定のADPGA[2:0]レジスタと組み合わせると判定レベルのバリエーションを増やすことができる。ただしADPGA[2:0]レジスタはADCの通常動作に影響するため設定には注意すること。

LC89075WA

アドレス：08h・ADC データ制御設定

08h	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	ADBMOD	ADPGA2	ADPGA1	ADPGA0	ADSMUTE	ADFDSP2	ADFDSP1	ADFDSP0
初期値	0	0	0	0	0	0	0	0
設定	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ADFDSP[2:0] ADC ソフトミュート、アッテネータ遷移時間設定

- 000: 1/fs(初期値) (参考: 0dB => -∞までの遷移時間は 256/fs)
- 001: 2/fs (参考: 0dB => -∞までの遷移時間は 512/fs)
- 010: 4/fs (参考: 0dB => -∞までの遷移時間は 1024/fs)
- 011: 8/fs (参考: 0dB => -∞までの遷移時間は 2048/fs)
- 100: 16/fs (参考: 0dB => -∞までの遷移時間は 4096/fs)
- 101: Reserved
- 110: Reserved
- 111: ダイレクト (参考: 0dB => -∞までの遷移時間は 1/fs)

ADSMUTE ADC 出力ミュート設定

- 0: ソフトミュート解除(初期値)
- 1: ソフトミュート開始

ADPGA[2:0] ADC 入力 PGA 設定

- 000: 0(初期値)
- 001: -1.5dB
- 010: -3dB
- 011: -4.5dB
- 100: +1.5dB
- 101: +3dB
- 110: +4.5dB
- 111: +6dB

ADBMOD ADC リセット解除時のデータ出力待ち時間設定

- 0: 16384/fs 後にオーディオデータ出力 (初期値)
- 1: リセット解除直後にオーディオデータ出力

- ADC ソフトミュートおよびアッテネータのゲイン変化は 0.25dB ステップである。
- 遷移時間は以下の式から計算される。 (「ADFDSP[2:0]=000」, 「ADVOL[7:0]=FFh」設定以外)

$$\text{ADVOL}[7:0] \text{レジスタ設定値から} -\infty \text{まで遷移時間}$$

$$= (256 - \text{ADVOL}[7:0]) \times \text{ADFDSP}[2:0]$$

$$= (256 - (0, 0.25, 0.5, 0.75 \dots 63.5\text{dB}/0.25\text{dB})) \times (1/\text{fs}, 2/\text{fs}, 4/\text{fs}, 8/\text{fs}, 16/\text{fs})$$

LC89075WA

アドレス：09h・ADC出力アッテネータ設定

09h	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	ADVOL7	ADVOL6	ADVOL5	ADVOL4	ADVOL3	ADVOL2	ADVOL1	ADVOL0
初期値	0	0	0	0	0	0	0	0
設定	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ADVOL[7:0]	ADC出力ボリューム設定(初期値：0000_0000：0dB)		
	0000_0000： 0dB,	0010_1000： -10.00dB,	0101_0000： -20.00dB
	0000_0001： -0.25dB,	0010_1001： -10.25dB,	0101_0001： -20.25dB
	0000_0010： -0.50dB,	0010_1010： -10.50dB,	0101_0010： -20.50dB
	0000_0011： -0.75dB,	0010_1011： -10.75dB,	0101_0011： -20.75dB
	0000_0100： -1.00dB,	0010_1100： -11.00dB,	0101_0100： -21.00dB
	0000_0101： -1.25dB,	0010_1101： -11.25dB,	0101_0101： -21.25dB
	0000_0110： -1.50dB,	0010_1110： -11.50dB,	0101_0110： -21.50dB
	0000_0111： -1.75dB,	0010_1111： -11.75dB,	0101_0111： -21.75dB
	0000_1000： -2.00dB,	0011_0000： -12.00dB,	0101_1000： -22.00dB
	0000_1001： -2.25dB,	0011_0001： -12.25dB,	0101_1001： -22.25dB
	0000_1010： -2.50dB,	0011_0010： -12.50dB,	0101_1010： -22.50dB
	0000_1011： -2.75dB,	0011_0011： -12.75dB,	0101_1011： -22.75dB
	0000_1100： -3.00dB,	0011_0100： -13.00dB,	0101_1100： -23.00dB
	0000_1101： -3.25dB,	0011_0101： -13.25dB,	0101_1101： -23.25dB
	0000_1110： -3.50dB,	0011_0110： -13.50dB,	0101_1110： -23.50dB
	0000_1111： -3.75dB,	0011_0111： -13.75dB,	0101_1111： -23.75dB
	0001_0000： -4.00dB,	0011_1000： -14.00dB,	0110_0000： -24.00dB
	0001_0001： -4.25dB,	0011_1001： -14.25dB,	0110_0001： -24.25dB
	0001_0010： -4.50dB,	0011_1010： -14.50dB,	0110_0010： -24.50dB
	0001_0011： -4.75dB,	0011_1011： -14.75dB,	0110_0011： -24.75dB
	0001_0100： -5.00dB,	0011_1100： -15.00dB,	0110_0100： -25.00dB
	0001_0101： -5.25dB,	0011_1101： -15.25dB,	0110_0101： -25.25dB
	0001_0110： -5.50dB,	0011_1110： -15.50dB,	0110_0110： -25.50dB
	0001_0111： -5.75dB,	0011_1111： -15.75dB,	0110_0111： -25.75dB
	0001_1000： -6.00dB,	0100_0000： -16.00dB,	0110_1000： -26.00dB
	0001_1001： -6.25dB,	0100_0001： -16.25dB,	0110_1001： -26.25dB
	0001_1010： -6.50dB,	0100_0010： -16.50dB,	0110_1010： -26.50dB
	0001_1011： -6.75dB,	0100_0011： -16.75dB,	0110_1011： -26.75dB
	0001_1100： -7.00dB,	0100_0100： -17.00dB,	0110_1100： -27.00dB
	0001_1101： -7.25dB,	0100_0101： -17.25dB,	0110_1101： -27.25dB
	0001_1110： -7.50dB,	0100_0110： -17.50dB,	0110_1110： -27.50dB
	0001_1111： -7.75dB,	0100_0111： -17.75dB,	0110_1111： -27.75dB
	0010_0000： -8.00dB,	0100_1000： -18.00dB,	0111_0000： -28.00dB
	0010_0001： -8.25dB,	0100_1001： -18.25dB,	0111_0001： -28.25dB
	0010_0010： -8.50dB,	0100_1010： -18.50dB,	0111_0010： -28.50dB
	0010_0011： -8.75dB,	0100_1011： -18.75dB,	0111_0011： -28.75dB
	0010_0100： -9.00dB,	0100_1100： -19.00dB,	0111_0100： -29.00dB
	0010_0101： -9.25dB,	0100_1101： -19.25dB,	0111_0101： -29.25dB
	0010_0110： -9.50dB,	0100_1110： -19.50dB,	0111_0110： -29.50dB
	0010_0111： -9.75dB,	0100_1111： -19.75dB,	0111_0111： -29.75dB

次ページへ続く。

LC89075WA

前ページより続く。

ADVOL[7:0]	0111_1000: -30.00dB,	1010_1000: -42.00dB,	1101_1000: -54.00dB
	0111_1001: -30.25dB,	1010_1001: -42.25dB,	1101_1001: -54.25dB
	0111_1010: -30.50dB,	1010_1010: -42.50dB,	1101_1010: -54.50dB
	0111_1011: -30.75dB,	1010_1011: -42.75dB,	1101_1011: -54.75dB
	0111_1100: -31.00dB,	1010_1100: -43.00dB,	1101_1100: -55.00dB
	0111_1101: -31.25dB,	1010_1101: -43.25dB,	1101_1101: -55.25dB
	0111_1110: -31.50dB,	1010_1110: -43.50dB,	1101_1110: -55.50dB
	0111_1111: -31.75dB,	1010_1111: -43.75dB,	1101_1111: -55.75dB
	1000_0000: -32.00dB,	1011_0000: -44.00dB,	1110_0000: -56.00dB
	1000_0001: -32.25dB,	1011_0001: -44.25dB,	1110_0001: -56.25dB
	1000_0010: -32.50dB,	1011_0010: -44.50dB,	1110_0010: -56.50dB
	1000_0011: -32.75dB,	1011_0011: -44.75dB,	1110_0011: -56.75dB
	1000_0100: -33.00dB,	1011_0100: -45.00dB,	1110_0100: -57.00dB
	1000_0101: -33.25dB,	1011_0101: -45.25dB,	1110_0101: -57.25dB
	1000_0110: -33.50dB,	1011_0110: -45.50dB,	1110_0110: -57.50dB
	1000_0111: -33.75dB,	1011_0111: -45.75dB,	1110_0111: -57.75dB
	1000_1000: -34.00dB,	1011_1000: -46.00dB,	1110_1000: -58.00dB
	1000_1001: -34.25dB,	1011_1001: -46.25dB,	1110_1001: -58.25dB
	1000_1010: -34.50dB,	1011_1010: -46.50dB,	1110_1010: -58.50dB
	1000_1011: -34.75dB,	1011_1011: -46.75dB,	1110_1011: -58.75dB
	1000_1100: -35.00dB,	1011_1100: -47.00dB,	1110_1100: -59.00dB
	1000_1101: -35.25dB,	1011_1101: -47.25dB,	1110_1101: -59.25dB
	1000_1110: -35.50dB,	1011_1110: -47.50dB,	1110_1110: -59.50dB
	1000_1111: -35.75dB,	1011_1111: -47.75dB,	1110_1111: -59.75dB
	1001_0000: -36.00dB,	1100_0000: -48.00dB,	1111_0000: -60.00dB
	1001_0001: -36.25dB,	1100_0001: -48.25dB,	1111_0001: -60.25dB
	1001_0010: -36.50dB,	1100_0010: -48.50dB,	1111_0010: -60.50dB
	1001_0011: -36.75dB,	1100_0011: -48.75dB,	1111_0011: -60.75dB
	1001_0100: -37.00dB,	1100_0100: -49.00dB,	1111_0100: -61.00dB
	1001_0101: -37.25dB,	1100_0101: -49.25dB,	1111_0101: -61.25dB
	1001_0110: -37.50dB,	1100_0110: -49.50dB,	1111_0110: -61.50dB
	1001_0111: -37.75dB,	1100_0111: -49.75dB,	1111_0111: -61.75dB
	1001_1000: -38.00dB,	1100_1000: -50.00dB,	1111_1000: -62.00dB
	1001_1001: -38.25dB,	1100_1001: -50.25dB,	1111_1001: -62.25dB
	1001_1010: -38.50dB,	1100_1010: -50.50dB,	1111_1010: -62.50dB
	1001_1011: -38.75dB,	1100_1011: -50.75dB,	1111_1011: -62.75dB
	1001_1100: -39.00dB,	1100_1100: -51.00dB,	1111_1100: -63.00dB
	1001_1101: -39.25dB,	1100_1101: -51.25dB,	1111_1101: -63.25dB
	1001_1110: -39.50dB,	1100_1110: -51.50dB,	1111_1110: -63.50dB
	1001_1111: -39.75dB,	1100_1111: -51.75dB,	1111_1111: -∞dB
	1010_0000: -40.00dB,	1101_0000: -52.00dB,	
	1010_0001: -40.25dB,	1101_0001: -52.25dB,	
	1010_0010: -40.50dB,	1101_0010: -52.50dB,	
	1010_0011: -40.75dB,	1101_0011: -52.75dB,	
	1010_0100: -41.00dB,	1101_0100: -53.00dB,	
	1010_0101: -41.25dB,	1101_0101: -53.25dB,	
	1010_0110: -41.50dB,	1101_0110: -53.50dB,	
	1010_0111: -41.75dB,	1101_0111: -53.75dB,	

LC89075WA

アドレス：0Ah・DIR クロック設定

0Ah	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	RXCKWT1	RXCKWT0	RXMCK1	RXMCK0	RXCKDV1	RXCKDV0	0	RXCKAT
初期値	0	0	0	0	0	0	0	0
設定	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

RXCKAT PLL クロック周波数設定
0: 自動制御(初期値)
1: マニュアル設定

RXCKDV[1:0] 「RXCKAT=0」設定時の PLL ロック時 MCKOUT 出力設定

00: 512fs 出力：32kHz, 44.1kHz, 48kHz 受信時 (初期値)
256fs 出力：64kHz, 88.2kHz, 96kHz 受信時
128fs 出力：128kHz, 176.4kHz, 192kHz 受信時

01: 256fs 出力：32kHz, 44.1kHz, 48kHz 受信時
256fs 出力：64kHz, 88.2kHz, 96kHz 受信時
128fs 出力：128kHz, 176.4kHz, 192kHz 受信時

10: 512fs 出力：32kHz, 44.1kHz, 48kHz 受信時
512fs 出力：64kHz, 88.2kHz, 96kHz 受信時
128fs 出力：128kHz, 176.4kHz, 192kHz 受信時

11: 256fs 出力：32kHz, 44.1kHz, 48kHz 受信時
512fs 出力：64kHz, 88.2kHz, 96kHz 受信時
128fs 出力：128kHz, 176.4kHz, 192kHz 受信時

RXMCK[1:0] 「RXCKAT=1」設定時の PLL ロック時 MCKOUT 出力設定

00: 256fs 出力(初期値)
01: 512fs 出力
10: 128fs 出力
11: Reserved

RXCKWT[1:0] クロック切換え待ち時間期間設定

00: PLL ロック判定後 2.7ms 後にクロックを切換える(初期値)
01: PLL ロック判定後 1.3ms 後にクロックを切換える
10: PLL ロック判定後 0.7ms 後にクロックを切換える
11: Reserved

- ・入力 fs 算出ができない場合「RXCKAT=0」設定時の PLL クロックは 256fs 出力に設定される。
- ・RXCKAT, RXCKDV[1:0], RXMCK[1:0] レジスタは PLL アンロック状態時に設定する。この設定は PLL ロック後に実行される。但し、RXMCK[1:0] レジスタは RXCKMU レジスタの設定で PLL ロック後に設定を変更することができる。

LC89075WA

アドレス：0Bh・DIR 復調データ、スルーデータ設定

0Bh	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	RXDSEL3	RXDSEL2	RXDSEL1	RXDSEL0	RXTHR13	RXTHR12	RXTHR11	RXTHR10
初期値	0	0	0	0	1	1	1	1
設定	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RXTHR1[3:0] RXOUT 出力データ設定

0000: RXIN1
0001: RXIN2
0010: RXIN3
0011: RXIN4
0100: RXIN5
0101: RXIN6
0110: RXIN7
0111: RXIN8
1000: RXIN1A
1001: RXIN2A
1010: RXIN3A
1011: MPI01
1100: MPI02
1101: MPI03
1110: MPI04
1111: L 固定(初期値)

RXDSEL[3:0] データ復調入力設定

0000: RXIN1(初期値)
0001: RXIN2
0010: RXIN3
0011: RXIN4
0100: RXIN5
0101: RXIN6
0110: RXIN7
0111: RXIN8
1000: RXIN1A
1001: RXIN2A
1010: RXIN3A
1011: MPI01
1100: MPI02
1101: MPI03
1110: MPI04
1111: GND 接続

・MPI0[4:1]データ入力は「MPSEL[1:0]=01」に設定して使用する。

LC89075WA

アドレス：0Ch・DIR スルーデータ設定

0Ch	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	0	0	0	0	RXTHR23	RXTHR22	RXTHR21	RXTHR20
初期値	0	0	0	0	1	1	1	1
設定	R	R	R	R	R/W	R/W	R/W	R/W

RXTHR2[3:0] MPOUT4 出力データ設定 (SW2SEL[2:0]設定に準じる)

0000: RXIN1
0001: RXIN2
0010: RXIN3
0011: RXIN4
0100: RXIN5
0101: RXIN6
0110: RXIN7
0111: RXIN8
1000: RXIN1A
1001: RXIN2A
1010: RXIN3A
1011: MPI01
1100: MPI02
1101: MPI03
1110: MPI04
1111: L 固定 (初期値)

- RXTHR2[3:0] レジスタの設定内容は MPOUT4 から出力されるが MPOUT4 の設定は SW2SEL[2:0] レジスタに準じる。

LC89075WA

アドレス：0Dh・DIR システム設定

0Dh	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	RXERWT1	RXERWT0	RXLIM1	RXLIM0	RXREFSJ	RXRESTA	RXREDER	RXRESEL
初期値	0	0	0	0	0	0	0	0
設定	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RXRESEL ERRF 出力内容設定

- 0: PLL ロックエラーまたはデータエラー(初期値)
- 1: PLL ロックエラーまたはデータエラーまたは非 PCM データ

RXREDER 8 回連続以内のパリティエラーフラグ出力設定

- 0: 非 PCM データ認識時のみ出力する(初期値)
- 1: エラーの発生したサブフレームの間だけ出力する

RXRESTA ERRF 出力条件設定

- 0: 常時 PLL 状態を出力(初期値)
- 1: 強制的にエラー出力 H にする

RXREFSJ 入力 f_s 変化による ERRF 出力条件設定

- 0: エラー解除後の入力 f_s 変化を ERRF へ反映しない(初期値)
- 1: エラー解除後の入力 f_s 変化を ERRF へ反映する

RXLIM[1:0] DIR 受信範囲設定

- 00: 制限無(初期値)
- 01: $f_s \leq 96\text{kHz}$ (超過時、データはミュート、クロックは XIN 系出力)
- 10: $f_s \leq 48\text{kHz}$ (超過時、データはミュート、クロックは XIN 系出力)
- 11: Reserved

RXERWT[1:0] PLL ロック後 ERRF 待ち時間設定

- 00: プリアンブル B を 3 カウント後にエラー解除する(初期値)
- 01: プリアンブル B を 6 カウント後にエラー解除する
- 10: プリアンブル B を 12 カウント後にエラー解除する
- 11: プリアンブル B を 24 カウント後にエラー解除する

- ・ 非 PCM データは NPCMF に出力される検出データと同じ。
- ・ RXRESEL レジスタで非 PCM データによりエラーが発生した場合、出力データはミュートされる。
- ・ RXRESTA レジスタはデータ、クロック出力端子に影響しない。
- ・ 「RXREFSJ=0」は f_s が変化するソース(バリアブルピッチ機能付 CD プレーヤ等)に対応する。
PLL のキャプチャーレンジ内の変化であれば PLL はロックエラーにならない。
- ・ 「RXREFSJ=1」はエラー解除後に入力 f_s の変化が算出範囲を超えた時エラーになる。
- ・ RXERWT[1:0] レジスタは PLL ロック後に ERRF がエラー解除 L を出力するまでの時間を定義する設定である。復調後のオーディオデータは ERRF のエラー解除後に出力されるためデータの頭切れなどが問題になる場合はこの設定を変更すること。

LC89075WA

アドレス：0Eh・DIR 割込み要因設定

0Eh	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	DATAM	0	EMPHA	PCRNW	UNPCM	CSRNW	FSCHG	ERROR
初期値	0	0	0	0	0	0	0	0
設定	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ERROR ERRF 出力状態変化出力設定

- 0: 出力しない(初期値)
- 1: ERRF 状態変化を出力する

FSCHG PLL ロック周波数算出結果の更新フラグ出力設定

- 0: 出力しない(初期値)
- 1: PLL ロック周波数算出結果の更新フラグを出力する

CSRNW 先頭 40 ビットチャンネルステータスデータ更新フラグ出力設定

- 0: 出力しない(初期値)
- 1: 先頭 40 ビットチャンネルステータスデータ更新フラグを出力する

UNPCM NPCMF 出力状態変化出力設定

- 0: 出力しない(初期値)
- 1: NPCMF 状態変化を出力する

PCRNW バーストプリアンブル Pc 更新フラグ出力設定

- 0: 出力しない(初期値)
- 1: バーストプリアンブル Pc 更新フラグを出力する

EMPHA エンファシス検出フラグ出力設定

- 0: 出力しない(初期値)
- 1: エンファシス検出フラグを出力する

DATAM DSTATE 出力状態変化出力設定

- 0: 出力しない(初期値)
- 1: DSTATE 状態変化を出力する

- ・チャンネルステータスの更新フラグは 1 ブロック前の先頭 40 ビットのデータと今のデータを比較して同一の場合に更新されたと見なしフラグを出力する。
- ・バーストプリアンブル Pc の更新フラグも 16 ビットのデータについて 1 ブロック前のデータと今のデータが一致した時に更新フラグを出力する。

LC89075WA

アドレス：0Fh・DIR 割込み要因読出し

0Fh	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	ODATAM	0	OEMPHA	OPCRNW	OUNPCM	OCSRNW	OFSCHG	OERROR
設定	R	R	R	R	R	R	R	R

- OERROR ERRF 出力状態(読み出し時の状態を出力)
 0: PLL ロック状態で伝送エラー無
 1: PLL アンロック状態または伝送エラー有
- OFSCHG 入力 fs 算出更新結果(読み出し後クリア)
 0: 入力 fs 算出更新無
 1: 入力 fs 算出更新有
- OCSRNW 先頭 40 ビットチャンネルステータス更新結果(読み出し後クリア)
 0: 更新無
 1: 更新有
- OUNPCM NPCMF 出力状態(読み出し時の状態を出力)
 0: 非 PCM 信号検出無
 1: 非 PCM 信号検出有
- OPCRNW バーストプリアンブル Pc 更新結果(読み出し後クリア)
 0: 更新無
 1: 更新有
- OEMPF チャンネルステータスエンファシス検出(読み出し時の状態を出力)
 0: プリエンファシス無
 1: 50/15 μ s プリエンファシス有
- ODATAM DSTATE 出力状態(読み出し時の状態を出力)
 0: アナログデータ、デジタルデータ無音状態または ADC リセット状態
 1: アナログデータ、デジタルデータ有音状態

- OERROR, OUNPCM, ODATAM レジスタは INTB 出力設定に関わらず ERRF, NPCMF, DSTATE 端子の状態が読み出される。
- OEMPF レジスタは INTB 出力設定に関わらずチャンネルステータス情報が読み出される。

LC89075WA

アドレス：10h・DIR 受信サンプリング周波数、データタイプ読出し

10h	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	RSDTSES	RXDTS51	RX61937	RXFSFLG	RXFSC3	RXFSC2	RXFSC1	RXFSC0
設定	R	R	R	R	R	R	R	R

RXFSC[3:0] 入力データ fs 算出結果

0000: 44.1kHz
0001: Out of range
0010: 48kHz
0011: 32kHz
0100: -
0101: -
0110: -
0111: -
1000: 88.2kHz
1001: -
1010: 96kHz
1011: 64kHz
1100: 176.4kHz
1101: 128kHz
1110: 192kHz
1111: -

RXFSFLG 入力データサンプリング周波数算出結果とチャンネルステータス fs 情報比較

0: 入力サンプリング周波数情報は一致しない
1: 入力サンプリング周波数情報は一致する

RX61937 IEC61937 バーストプリアンブル検出

0: Pa, Pb を検出していない
1: Pa, Pb を検出した

RXDTS51 DTS-CD 5.1ch 同期信号検出

0: DTS-CD 同期信号を検出していない
1: DTS-CD 同期信号を検出した

RXDTSSES DTS-CD(ES) 6.1ch 同期信号検出

0: DTS-CD(ES)同期信号を検出していない
1: DTS-CD(ES)同期信号を検出した

- RXFSFLG レジスタは入力データサンプリング周波数算出値とチャンネルステータス fs 情報を比較してサンプリング周波数が同じ結果のときに出力される。
- RXDTSSES レジスタの DTS-CD(ES)同期信号が検出されたとき同時に RXDTS51 レジスタの DTS-CD 同期信号も検出される。

LC89075WA

アドレス : 11h-15h・DIR チャネルステータス読出し(Readのみ)

Address	D7	D6	D5	D4	D3	D2	D1	D0
11h	RXCS7	RXCS6	RXCS5	RXCS4	RXCS3	RXCS2	RXCS1	RXCS0
12h	RXCS15	RXCS14	RXCS13	RXCS12	RXCS11	RXCS10	RXCS9	RXCS8
13h	RXCS23	RXCS22	RXCS21	RXCS20	RXCS19	RXCS18	RXCS17	RXCS16
14h	RXCS31	RXCS30	RXCS29	RXCS28	RXCS27	RXCS26	RXCS25	RXCS24
15h	RXCS39	RXCS38	RXCS37	RXCS36	RXCS35	RXCS34	RXCS33	RXCS32

表 14.3 : 先頭 40 ビットチャネルステータス読出しレジスタ内容

Adr	Reg	CS ビット	内容	Adr	Reg	CS ビット	内容	
11h	RXCS0	bit0	用途	13h	RXCS20	bit20	チャンネル番号	
	RXCS1	bit1	コントロール		RXCS21	bit21		
	RXCS2	bit2			RXCS22	bit22		
	RXCS3	bit3			RXCS23	bit23		
	RXCS4	bit4	未規定	14h	RXCS24	bit24	標本化周波数	
	RXCS5	bit5			RXCS25	bit25		
	RXCS6	bit6			RXCS26	bit26		
	RXCS7	bit7			RXCS27	bit27		
12h	RXCS8	bit8	カテゴリーコード	RXCS28	bit32	クロック精度		
	RXCS9	bit9		RXCS29	bit33			
	RXCS10	bit10		未規定	RXCS30	bit30		
	RXCS11	bit11			RXCS31	bit31		
	RXCS12	bit12			15h	RXCS32	bit32	ビット幅
	RXCS13	bit13				RXCS33	bit33	
	RXCS14	bit14		RXCS34		bit34		
	RXCS15	bit15		RXCS35		bit35		
13h	RXCS16	bit16	ソース番号	RXCS36	bit36	オリジナル 標本化周波数		
	RXCS17	bit17		RXCS37	bit37			
	RXCS18	bit18		RXCS38	bit38			
	RXCS19	bit19		RXCS39	bit39			

・詳細については IEC60958 規格書で確認すること。

LC89075WA

アドレス：16h-17h・DIR バーストプリアンブルPc 読出し(Readのみ)

Address	D7	D6	D5	D4	D3	D2	D1	D0
16h	RXPC7	RXPC6	RXPC5	RXPC4	RXPC3	RXPC2	RXPC1	RXPC0
17h	RXPC15	RXPC14	RXPC13	RXPC12	RXPC11	RXPC10	RXPC9	RXPC8

表 14.4：バーストプリアンブルPc 読み出しレジスタ

Adr.	レジスタ	Pc ビット	内容
16h	RXPC0	bit0	データタイプ
	RXPC1	bit1	
	RXPC2	bit2	
	RXPC3	bit3	
	RXPC4	bit4	Reserved
	RXPC5	bit5	
	RXPC6	bit6	
	RXPC7	bit7	エラー
17h	RXPC8	bit8	データタイプ依存情報
	RXPC9	bit9	
	RXPC10	bit10	
	RXPC11	bit11	
	RXPC12	bit12	ビットストリーム番号
	RXPC13	bit13	
	RXPC14	bit14	
	RXPC15	bit15	

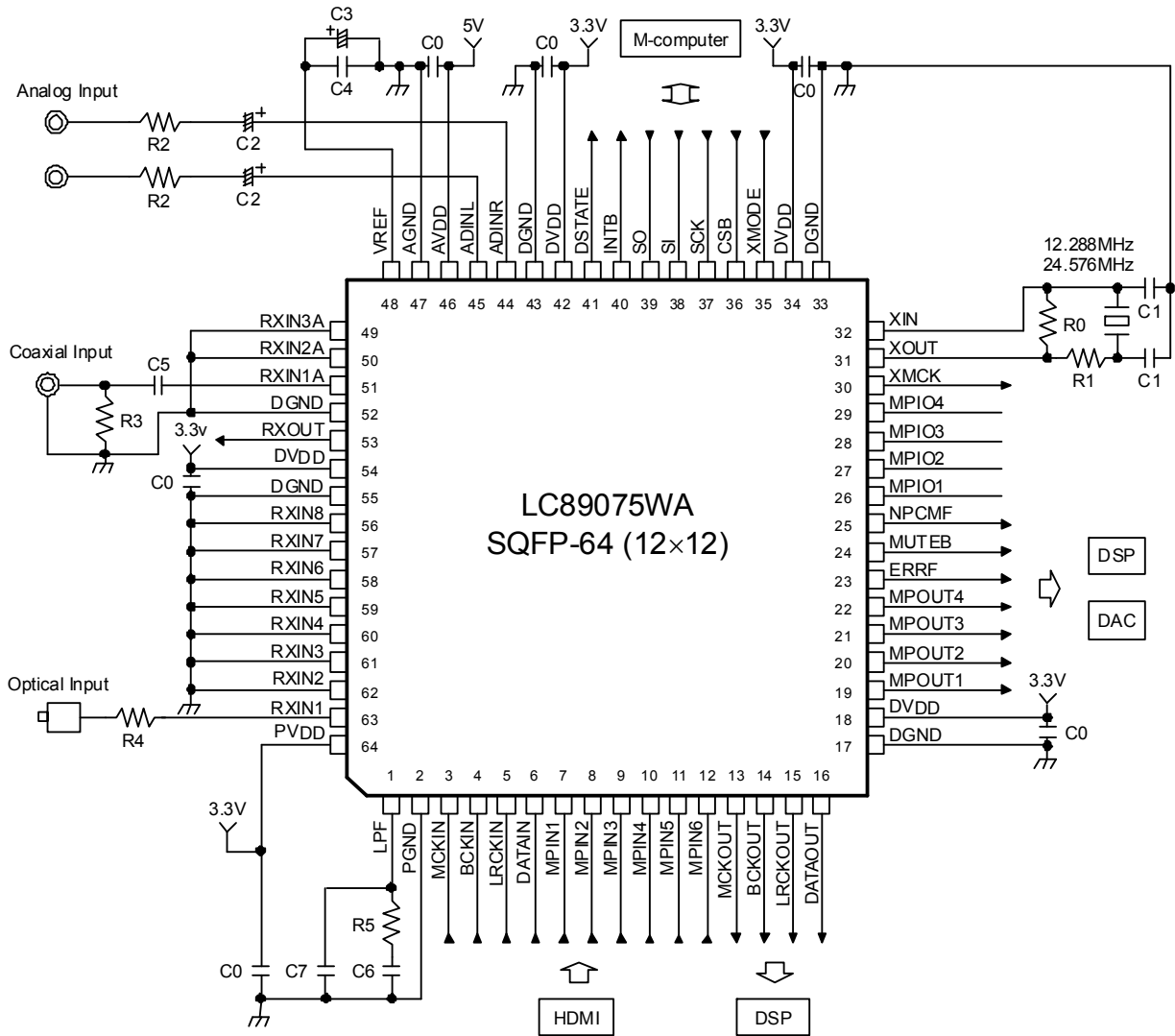
表 14.5：バーストプリアンブルPc データタイプフィールド

レジスタ	値	内容
RXPC[4:0]	0	NULL データ
	1	ドルビーAC3 データ
	2	Reserved
	3	ポーズ
	4	MPEG-1、レイヤー1 データ
	5	MPEG-1、レイヤー2 または 3 データまたは拡張なし MPEG-2
	6	拡張ありの MPEG-2 データ
	7	Reserved
	8	MPEG-2、レイヤー1 低サンプリングレート
	9	MPEG-2、レイヤー2 または 3 低サンプリングレート
	10	Reserved
	11	DTS type1
	12	DTS type2
	13	DTS type3
	14	ATRAC
	15	ATRAC2/3
	16-26	Reserved
	27	Reserved (MPEG-4、AAC データ)
	28	MPEG-2、AAC データ
	29-31	Reserved

・最新情報については各ライセンスから発行されている規格書で確認すること。

LC89075WA

15 応用回路例



素子記号	推奨定数	用途	備考
C0	0.1 μ F	電源デカップリング	セラミックコンデンサ
R0	1M Ω	発振アンプ帰還	
R1	150 Ω ~2.2k Ω	発振アンプ電流制限	
C1	1pF~33pF	水晶振動子負荷	NP0 特性セラミックコンデンサ
R2	10k Ω ~100k Ω	ADC アナログ入力	9.4 参照
C2	0.1 μ F~10 μ F	ADC アナログ入力	9.4 参照
C3	10 μ F	ADC コモン電圧平滑	8.2 参照
C4	0.1 μ F	ADC コモン電圧平滑	8.2 参照
R3	75 Ω	同軸入力終端	
C5	0.1 μ F~0.01 μ F	同軸入力 DC カット	セラミックコンデンサ
R4	0~100 Ω	ダンピング抵抗	
R5	100 Ω	PLL ループ・フィルタ	8.3 参照
C6	0.068 μ F	PLL ループ・フィルタ	8.3 参照
C7	0.001 μ F	PLL ループ・フィルタ	8.3 参照

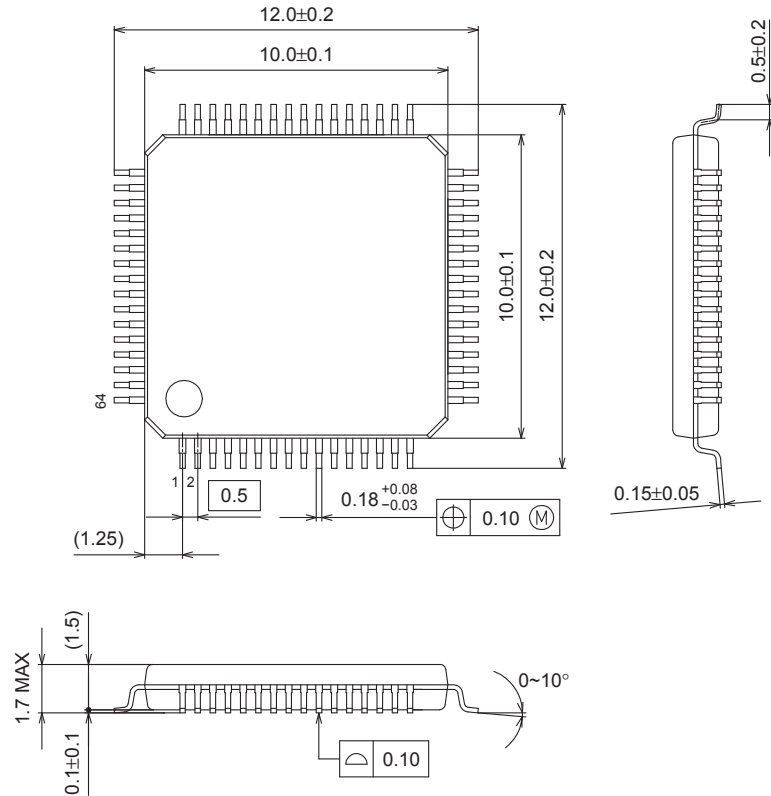
図 15.1 : 応用回路例

LC89075WA

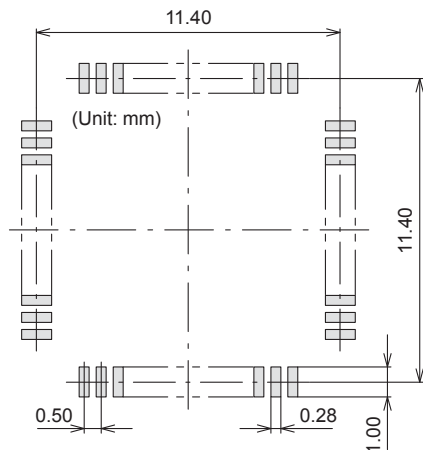
Package Dimensions

unit : mm

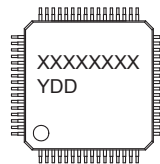
SPQFP64 10x10 / SQFP64
CASE 131AK
ISSUE A



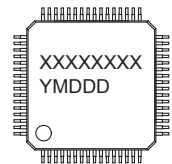
SOLDERING FOOTPRINT*



GENERIC MARKING DIAGRAM*



XXXXX = Specific Device Code
Y = Year
DD = Additional Traceability Data



XXXXX = Specific Device Code
Y = Year
M = Month
DDD = Additional Traceability Data

*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present.

NOTE: The measurements are not to guarantee but for reference only.

*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

LC89075WA

ORDERING INFORMATION

Device	Package	Shipping (Qty / Packing)
LC89075WA-H	SQFP64(10X10) (Pb-Free / Halogen Free)	500 / Tray Foam

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的財産権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁済士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。