



ON Semiconductor®

<http://onsemi.jp>

# LC89057W-VF4A-E

CMOS LSI

## デジタルオーディオ用 インタフェーストランシーバ

### 1 概要

LC89057W-VF4A-EはIEC60958/61937、EIAJ CP-1201によるデジタルオーディオ機器間のデータ伝送フォーマットに従い復調・変調するLSIである。サンプリング周波数は最高192kHzまで対応する。VCO、発振アンプを内蔵しDSPのデータ入出力用クロックとしても使用可能な分周比を独立して設定できる2系統のビットクロック、LRクロック出力端子を有する。またマスタ/スレーブ機能によりLC89057W-VF4A-Eを複数個使用した多チャンネルPCMインタフェースも可能である。高性能AVアンプ、DVDオーディオ向け多チャンネルPCMインタフェースといったアプリケーションなどに適合する。

### 2 特長

#### 2.1 高性能AV機器をターゲットとした充実の復調機能を実現

- ・サンプリング周波数32kHz～192kHz相当、最大24ビットのデータを受信可能。
- ・DSPとのインタフェースが容易なI<sup>2</sup>Sデータ出力に対応。
- ・512fs, 256fs, 128fs, 64fs, 32fs, 2fs, fs, fs/2の各クロックを出力。
- ・PLLの状態に関わらず発振アンプまたは外部入力のクロックが出力可能。
- ・クロック切換わり時の出力クロックの連続性を保持。
- ・マスタ/スレーブ機能を使用することで多チャンネル伝送受信に対応。
- ・PLL未使用で復調機能を共通の低ジッタクロックで処理することも可能。  
(外部クロック同期モード)
- ・PLL誤ロック防止回路の内蔵で正確にロックがかかる。

#### 2.2 システム構成を容易にする様々な情報を出力

- ・DTS同期信号検出によるDTS-CD/LD検出フラグを出力。
- ・バーストプリアンプPcをマイコンインタフェースより出力。
- ・入力信号のサンプリング周波数を算出してマイコンインタフェースより出力。
- ・マイコン用の割り込み信号(割り込み要因は選択可能)を端子出力。
- ・VCOクロックと発振アンプクロックの切換わり遷移期間信号を出力。
- ・チャンネルステータスのビット1非PCMデータ検出ビットを端子出力。
- ・チャンネルステータスのエンファシス情報を端子出力。
- ・先頭48ビットチャンネルステータスの更新フラグを出力。
- ・チャンネルステータスビット、バリディティフラグ、ユーザデータ出力も選択可能。
- ・変調・復調機能ともプリアンプB情報を端子出力。
- ・マイコンインタフェースによって各種設定、出力が可能。

# LC89057W-VF4A-E

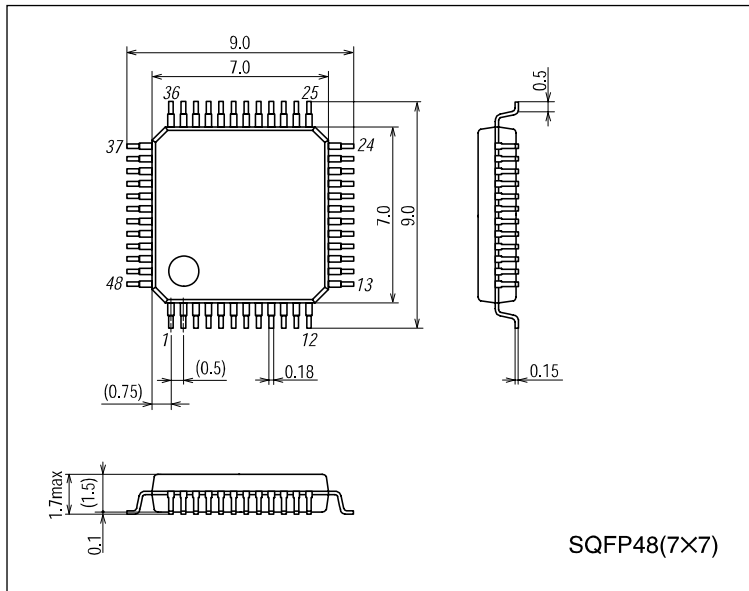
## 2.3 周辺回路削減に役立つ多数の機能を搭載

- ・チャンネルステータス、バリディティフラグ、ユーザデータ付加可能な変調機能を内蔵。
- ・アンプ付入力1系統、5V耐圧TTLレベル対応入力6系統の合計7系統の入力端子を装備。
- ・バイフェーズ入力データ検出機能の搭載により入力端子の状態をマイコンで監視可能。
- ・変調機能出力を含む8系統の入力データから入力データ選択が可能。
- ・8系統の入力データから復調データの選択とは別に入力データの選択が可能。
- ・2系統のビットクロック、LRクロック出力を搭載。内1系統は各種分周比が設定可能。
- ・シリアルデジタルオーディオデータ入力端子を装備。復調出力との切換えが可能。
- ・シリアルデジタルオーディオデータ入力端子へ入力したデータを変調することも可能。
- ・水晶振動子用の発振アンプ・分周回路を内蔵しておりクロックジェネレータとしても可能。
- ・4ビットの汎用パラレル入出力ポートを搭載。周辺LSIとのインタフェースに利用可能。
- ・プリアンプB情報を利用した周辺回路によりチャンネルステータスのフルデコードも可能。
- ・外部クロック同期モードとPLLクロック同期モードの連続切換え動作が可能。
- ・単一3.3V電源動作。TTL入力ポートは5Vインタフェース対応可能。
- ・基板実装面積を有効に利用できる小型なSQFP-48パッケージを採用。

## 3 外形図

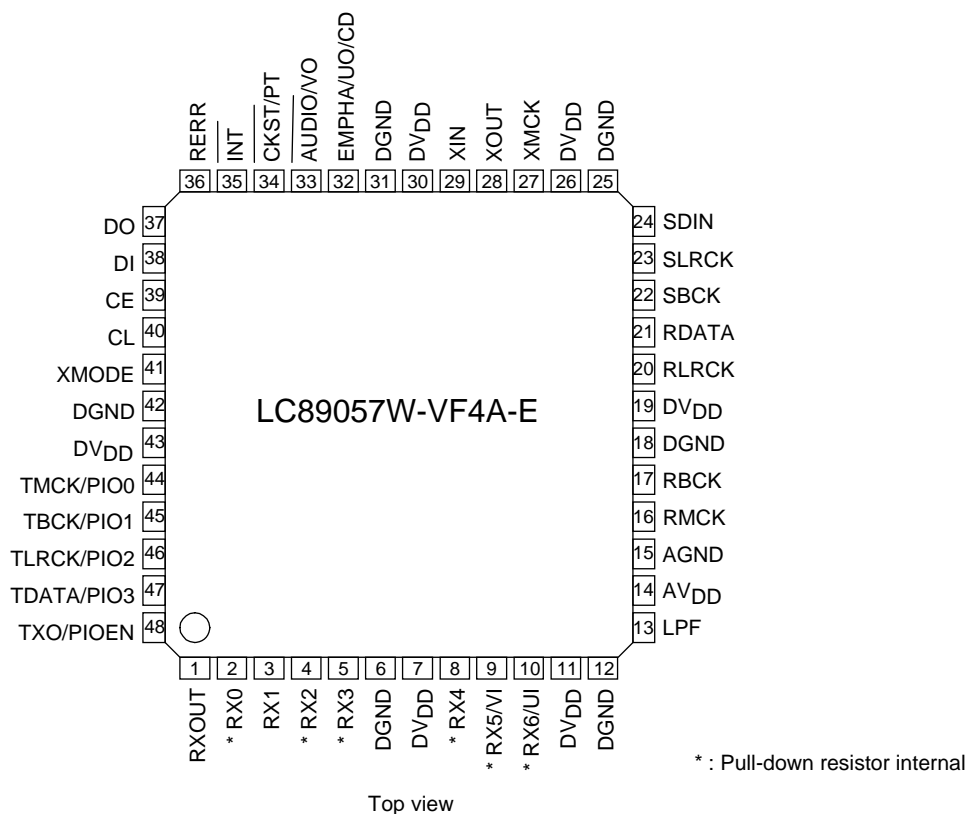
unit:mm

3163B



# LC89057W-VF4A-E

## 4 ピン配置図



## 5 端子説明

表5.1: 端子説明

No	名称	I/O	説明
1	RXOUT	O	入力バイフェーズ選択データ出力端子
2	RX0	I <sub>5</sub>	TTL対応デジタルデータ入力端子
3	RX1	I	コアキシャル対応アンプ内蔵デジタルデータ入力端子
4	RX2	I <sub>5</sub>	TTL 対応デジタルデータ入力端子
5	RX3	I <sub>5</sub>	TTL 対応デジタルデータ入力端子
6	DGND		デジタルGND
7	DVDD		デジタル電源
8	RX4	I <sub>5</sub>	TTL対応デジタルデータ入力端子
9	RX5/VI	I <sub>5</sub>	TTL対応デジタルデータ    変調用バリディティフラグ入力端子
10	RX6/UI	I <sub>5</sub>	TTL対応デジタルデータ    変調用ユーザデータ入力端子
11	DVDD		PLL用デジタル電源
12	DGND		PLL用デジタルGND
13	LPF	O	PLLループフィルター接続端子
14	AVDD		PLL用アナログ電源
15	AGND		PLL用アナログGND
16	RMCK	O	R系統システムクロック出力端子 (256fs, 512fs, XIN, VCO)
17	RBCK	O/I	R系統ビットクロック入出力端子 (64fs)
18	DGND		デジタルGND
19	DVDD		デジタル電源
20	RLRCK	O/I	R系統LRクロック入出力端子 (fs)

次ページへ続く。

## LC89057W-VF4A-E

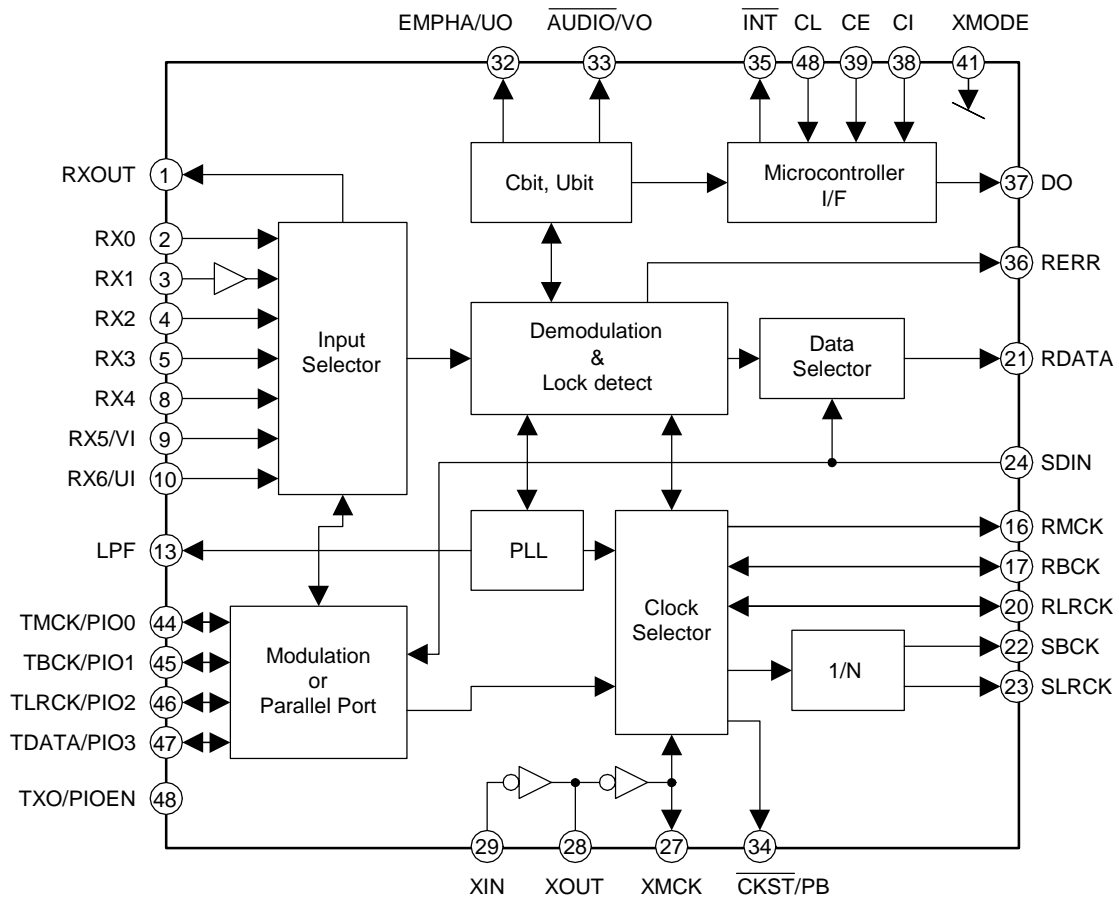
前ページより続く。

No	名称	I/O	説明
21	RDATA	0	シリアルオーディオデータ出力端子
22	SBCK	0	S系統ビットクロック出力端子(32fs, 64fs, 128fs)
23	SLRCK	0	S系統LRクロック出力端子(fs/2, fs, 2fs)
24	SDIN	I <sub>5</sub>	シリアルオーディオデータ入力端子
25	DGND		デジタルGND
26	DV <sub>DD</sub>		デジタル電源
27	XMCK	0	発振アンプ出力端子
28	XOUT	0	水晶振動子接続出力端子
29	XIN	I	水晶振動子接続、外部供給クロック入力端子(24.576MHz or 12.288MHz)
30	DV <sub>DD</sub>		デジタル電源
31	DGND		デジタルGND
32	EMPHA/UO/CO	I/O	エンファシス情報    Uデータ出力    Cデータ出力    チップアドレス設定端子
33	AUDIO/VO	I/O	非PCM検出    Vフラグ出力    チップアドレス設定端子
34	CKST/PB	I/O	クロック切換遷移期間出力    プリアンプルB    復調マスタorスレーブ設定端子
35	INT	I/O	マイコン用割り込み出力    変調 or 汎用I/O設定切換え端子
36	RERR	0	PLLロックエラー、データエラーフラグ出力端子
37	DO	0	マイコンインタフェース・読み出しデータ出力端子(3-state)
38	DI	I <sub>5</sub>	マイコンインタフェース・書き込みデータ入力端子
39	CE	I <sub>5</sub>	マイコンインタフェース・チップイネーブル入力端子
40	CL	I <sub>5</sub>	マイコンインタフェース・クロック入力端子
41	XMODE	I <sub>5</sub>	システムリセット入力端子
42	DGND		デジタルGND
43	DV <sub>DD</sub>		デジタル電源
44	TMCK/PIO0	I/O	変調用256fs or 128fsシステムクロック入力    外部クロック同期機能用 256fs or 512fsシステムクロック入力    汎用I/O入出力端子
45	TBCK/PIO1	I/O	変調用64fsビットクロック入力    汎用I/O入出力端子
46	TLRCK/PIO2	I/O	変調用fsクロック入力    汎用I/O入出力端子
47	TDATA/PIO3	I/O	変調用シリアルオーディオデータ入力    汎用I/O入出力端子
48	TXO/PIOEN	O/I	変調データ出力    汎用I/Oイネーブル入力端子

- 1) 入出力耐圧 : I or 0 = -0.3~3.6V, I<sub>5</sub> = -0.3~5.5V
- 2) Pin41のL期間にPin32,33はチップアドレス設定入力端子となる。
- 3) Pin41のL期間にPin34は復調機能マスタorスレーブ設定入力端子となる。
- 4) Pin41のL期間にPin35は変調機能or汎用I/O切換え設定入力端子となる。
- 5) ラッチアップ対策のため各電源のON/OFFは同タイミングで行うこと。

# LC89057W-VF4A-E

## 6 ブロック図



## 7 LC89057W-VF4 と LC89057W-VF4A の相違点

表 7. 1: LC89057W-VF4 と LC89057W-VF4A の相違点

項目	LC89057W-VF4	LC89057W-VF4A
DIR 機能:外部クロック同期モード	256fs クロック入力	256fs or 512fs クロック入力
DIR 機能:PLL ロック後 RERR 待ち時間設定	プリアンブル B, 6 カウント後 プリアンブル B, 12 カウント後 プリアンブル B, 24 カウント後 プリアンブル B, 48 カウント後	プリアンブル B, 3 カウント後 プリアンブル B, 6 カウント後 プリアンブル B, 12 カウント後 プリアンブル B, 24 カウント後
DIR 機能:PLL アンロック後クロック 切換え待ち時間設定	発振アンプ起動後 50 $\mu$ s 後 発振アンプ起動後 100 $\mu$ s 後 発振アンプ起動後 200 $\mu$ s 後 発振アンプ起動後 400 $\mu$ s 後	発振アンプ起動後 0 $\mu$ s 後 発振アンプ起動後 50 $\mu$ s 後 発振アンプ起動後 100 $\mu$ s 後 発振アンプ起動後 200 $\mu$ s 後
DIR 機能:チャンネルステータス ビット出力	マイコン読出し	マイコン読出しおよび端子出力 (フルデコード処理可能)
DIR 機能:プリアンブル B 情報出力	×	○
DIT 機能:システムクロック	256fs クロック入力	256fs or 128fs クロック入力
DIT 機能:プリアンブル B 情報出力	×	○

# LC89057W-VF4A-E

## 8 電気的特性

### 8.1 絶対最大定格

表8.1: 絶対最大定格/AGND=DGND=0V

項目	記号	条件	定格値	unit
最大電源電圧	AV <sub>DD</sub> max	8-1-1	-0.3~4.6	V
最大電源電圧	DV <sub>DD</sub> max	8-1-2	-0.3~4.6	V
入力電圧1	V <sub>IN1</sub>	8-1-3	-0.3~3.9	V
入力電圧2	V <sub>IN2</sub>	8-1-4	-0.3~5.8	V
出力電圧	V <sub>OUT</sub>	8-1-5	-0.3~3.9	V
保存周囲温度	T <sub>stg</sub>		-55~125	°C
動作周囲温度	T <sub>opr</sub>		-30~70	°C
最大入出力電流	I <sub>IN</sub> , I <sub>OUT</sub>	8-1-6	±20	mA

8-1-1 : AV<sub>DD</sub>端子

8-1-2 : DV<sub>DD</sub>端子

8-1-3 : RX1, RBCK, RLRCK, XIN, TMCK/PIO0, TBCK/PIO1, TLRCK/PIO2, TDATA/PIO3, TXO/PIOEN端子

8-1-4 : RX0, RX2, RX3, RX4, RX5/VI, RX6/UI, SDIN, DI, CE, CL, XMODE端子

8-1-5 : RXOUT, RMCK, RBCK, RLRCK, SBCK, SLRCK, RDATA, XMCK, XOUT, EMPHA/UO/CO,  $\overline{\text{AUDIO}}$ /VO端子

$\overline{\text{CKST}}$ /PB,  $\overline{\text{INT}}$ , RERR, DO, TMCK/PIO0, TBCK/PIO1, TLRCK/PIO2, TDATA/PIO3, TXO/PIOEN端子

8-1-6 : 入出力端子1端子当り

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能的動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

### 8.2 許容動作範囲

表8.2: 許容動作範囲/Ta=-30~70°C, AGND=DGND=0V

項目	記号	条件	min	typ	max	unit
電源電圧	AV <sub>DD</sub> , DV <sub>DD</sub>		3.0	3.3	3.6	V
入力電圧範囲1	V <sub>IN1</sub>	8-2-1	0	3.3	3.6	V
入力電圧範囲2	V <sub>IN2</sub>	8-2-2	0	3.3	5.5	V
動作温度	V <sub>opr</sub>		-30		70	°C

8-2-1 : RX1, RBCK, RLRCK, XIN, TMCK/PIO0, TBCK/PIO1, TLRCK/PIO2, TDATA/PIO3, TXO/PIOEN端子

8-2-2 : RX0, RX2, RX3, RX4, RX5/VI, RX6/UI, SDIN, DI, CE, CL, XMODE端子

# LC89057W-VF4A-E

## 8.3 DC特性

表8.3:DC特性/ $T_a = -30 \sim 70^\circ\text{C}$ ,  $A_{VDD} = DV_{DD} = 3.0 \sim 3.6\text{V}$ ,  $AGND = DGND = 0\text{V}$

項目	記号	条件	min	typ	max	unit
入力高電圧	$V_{IH}$	8-3-1	$0.7V_{DD}$			V
入力低電圧	$V_{IL}$				$0.2V_{DD}$	V
入力高電圧	$V_{IH}$	8-3-2	2.0		5.8	V
入力低電圧	$V_{IL}$		-0.3		0.8	V
出力高電圧	$V_{OH}$	8-3-3	$V_{DD} - 0.8$			V
出力低電圧	$V_{OL}$				0.4	V
出力高電圧	$V_{OH}$	8-3-4	$V_{DD} - 0.8$			V
出力低電圧	$V_{OL}$				0.4	V
出力高電圧	$V_{OH}$	8-3-5	$V_{DD} - 0.8$			V
出力低電圧	$V_{OL}$				0.4	V
出力高電圧	$V_{OH}$	8-3-6	$V_{DD} - 0.8$			V
出力低電圧	$V_{OL}$				0.4	V
入力振幅	$V_{PP}$	8-3-7	200			mV
消費電流	$I_{DD1}$	8-3-8		1.7	3.4	mA
消費電流	$I_{DD2}$	8-3-9		17	34	mA
消費電流	$I_{DD3}$	8-3-10		19	38	mA

8-3-1 : CMOS対応:RBCK, RLRCK, XIN入力端子

8-3-2 : TTL対応:上記以外の入力端子

8-3-3 :  $I_{OH} = -12\text{mA}$ ,  $I_{OL} = 8\text{mA}$ :RMCK出力端子

8-3-4 :  $I_{OH} = -8\text{mA}$ ,  $I_{OL} = 8\text{mA}$ :XMCK, XOUT出力端子

8-3-5 :  $I_{OH} = -4\text{mA}$ ,  $I_{OL} = 4\text{mA}$ :RXOUT, RBCK, RLRCK, RDATA, SBCK, SLRCK出力端子

TMCK/PIO0, TBCK/PIO1, TLRCK/PIO2, TDATA/PIO3, TXO/PIOEN出力端子

8-3-6 :  $I_{OH} = -2\text{mA}$ ,  $I_{OL} = 2\text{mA}$ :上記以外の出力端子

8-3-7 : RX1入力端子の容量前

8-3-8 : 復調機能および発振アンプ停止、変調動作のみ、出力 $f_s$ が96kHzの場合

8-3-9 : XIN 24.576MHz入力連続発振時、復調動作のみ、入力 $f_s$ が96kHzの場合

8-3-10 : XIN 24.576MHz入力連続発振時、変復調動作時、入出力 $f_s$ が96kHzの場合

# LC89057W-VF4A-E

## 8.4 AC特性

表8. 4: AC特性/ $T_a = -30 \sim 70^\circ\text{C}$ ,  $AV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$ ,  $AGND = DGND = 0\text{V}$

項目	記号	条件	min	typ	max	unit
RX0~6サンプリング周波数	$f_{RFS}$		28		195	kHz
XINクロック周波数	$f_{XF1}$	8-4-1	8	12.288	19	MHz
XINクロック周波数	$f_{XF2}$	8-4-2	20	24.576	30	MHz
RMCKクロック周波数	$f_{RCK}$		4		100	MHz
RMCKクロックジッタ	$t_j$			200		ps
RMCK-RBCK遅延	$t_{MBO}$				10	ns
RBCK-RDATA遅延	$t_{BDO}$				10	ns
RMCK-SBCK遅延	$t_{MBO}$	8-4-3			10	ns
SBCK-RDATA遅延	$t_{BDO}$	8-4-4			10	ns
TMCK入力パルス幅	$t_{WMI}$		10			ns
RX*-TMCK遅延	$t_{RDI}$				1/4TMCK	ns
TBCK入力パルス幅	$t_{WBI}$		40			ns
TLRCKサンプリング周波数	$f_{TFS}$		28		195	kHz
TBCK-TDATAセットアップ	$t_{DSI}$			20		ns
TBCK-TDATAホールド	$t_{DHI}$			20		ns
TMCK-TBCK遅延	$t_{MBI}$	8-4-5			10	ns
TBCK-TDATA遅延	$t_{BDI}$				10	ns

8-4-1 : XINSEL=0設定、入力 $f_s$ 算出時は12.288MHz必須設定

8-4-2 : XINSEL=1設定、入力 $f_s$ 算出時は24.576MHz必須設定

8-4-3 : RMCK, SBCKのソースクロックが同一の場合

8-4-4 : SBCKがPLLソースクロックの場合

8-4-5 : TCKSEL=0設定 (256fs)、TMCKの立ち上がりにTBCKの立ち下がりが同期していること。

TCKSEL=1設定 (128fs)、TMCKの立ち下がりにTBCKの立ち下がりが同期していること。

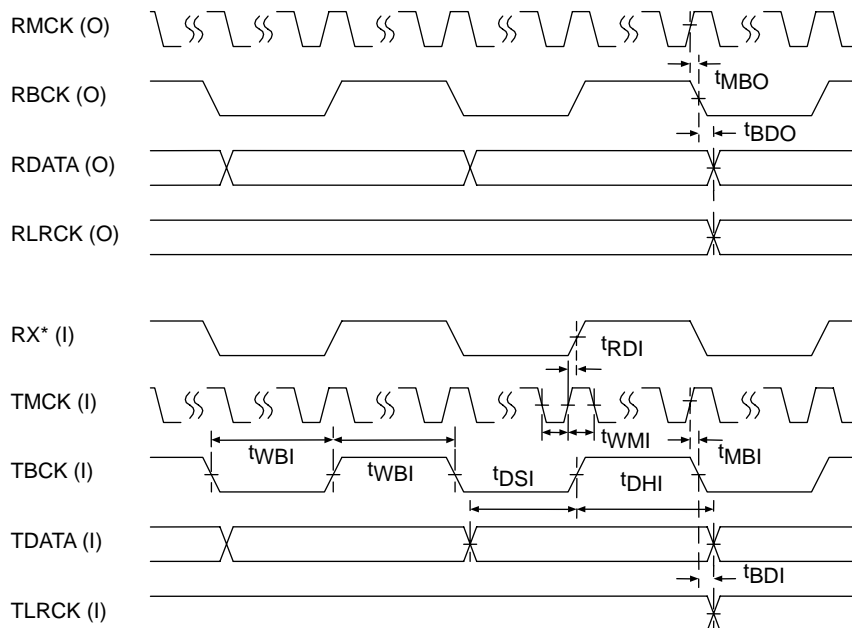


図 8. 1: AC 特性



# LC89057W-VF4A-E

## 8.5 マイコンインタフェースAC特性

表8.5: マイコンインタフェースAC特性/ $T_a = -30 \sim 70^\circ\text{C}$ ,  $V_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$ ,  $AGND = DGND = 0\text{V}$

項目	記号	条件	min	typ	max	unit
XMODEパルス幅(L)	$t_{RSTdw}$		200			$\mu\text{s}$
$\overline{\text{INT}}$ パルス幅(L)	$t_{INTwd}$	8-5-1	5	$1/f_s$	36	$\mu\text{s}$
CLパルス幅(L)	$t_{CLdw}$		100			ns
CLパルス幅(H)	$t_{CLuw}$		100			ns
CL-CEセットアップ	$t_{CEsetup}$		50			ns
CL-CEホールド	$t_{CEhold}$		50			ns
CL-DIセットアップ	$t_{DIsetup}$		50			ns
CL-DIホールド	$t_{DIhold}$		50			ns
CL-CEホールド	$t_{CLhold}$		50			ns
CL-DO遅延	$t_{CLtoDO}$				20	ns
CE-DO遅延	$t_{CEtoDO}$				20	ns

8-5-1 :  $\text{INTOPF}=1$ 設定時、 $f_s$ は入力サンプリング周波数

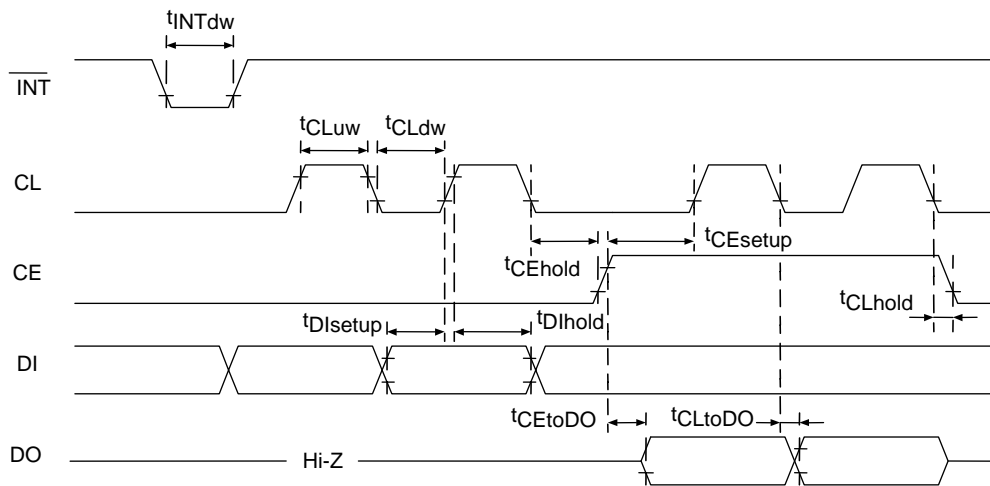


図 8.2: マイコンインタフェース AC 特性

## 9 システム初期設定

### 9.1 システムリセット(XMODE)

- 電源電圧が3.0V以上立ち上がったからXMODEをHにするとシステムは正常に動作する。パワーオン後、再びXMODEをLにするとシステムはリセットされる。
- チップアドレス、復調機能のマスタまたはスレーブ、変調機能または汎用I/O機能の設定は EMPHA/UO/CO,  $\overline{\text{AUDIO}}/\text{VO}$ ,  $\overline{\text{CKST}}/\text{PB}$ ,  $\overline{\text{INT}}$  に10k $\Omega$ のプルダウンまたはプルアップ抵抗を接続する。
- EMPHA/UO/CO,  $\overline{\text{AUDIO}}/\text{VO}$ ,  $\overline{\text{CKST}}/\text{PB}$ ,  $\overline{\text{INT}}$  がプルダウンまたはプルアップされないと設定入力時に端子の状態が不定となり設定が正しく行われない。これらの端子は必ずプルダウンまたはプルアップの抵抗接続が必要である。

表9.1:端子名と設定内容

内容	設定端子
チップアドレス設定	EMPHA/UO/CO, $\overline{\text{AUDIO}}/\text{VO}$
復調機能マスタ/スレーブ設定	$\overline{\text{CKST}}/\text{PB}$
変調機能/汎用I/O機能設定	$\overline{\text{INT}}$

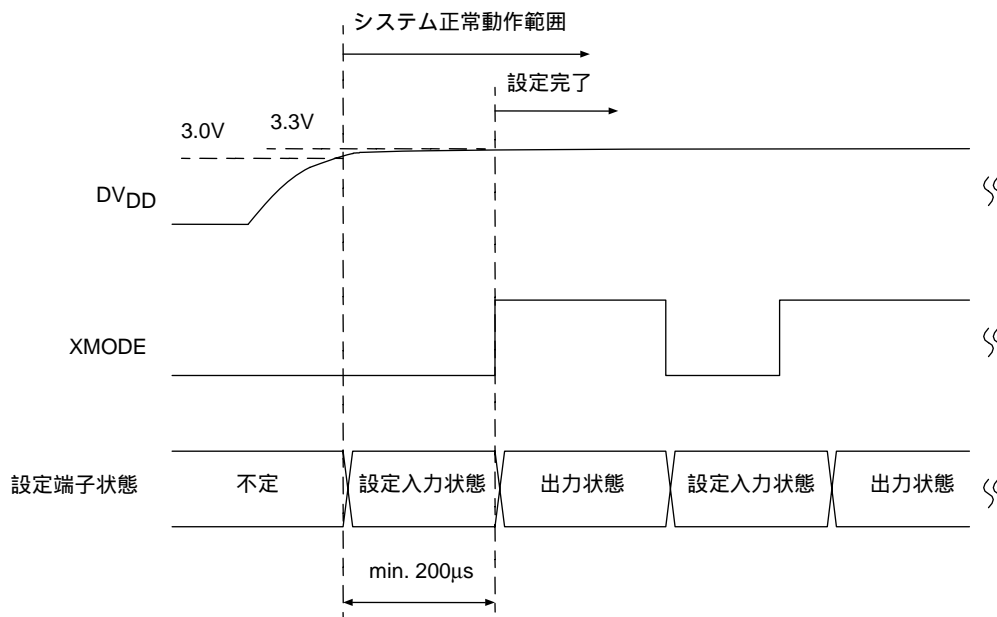


図 9.1:機能設定入力端子の設定タイミング図

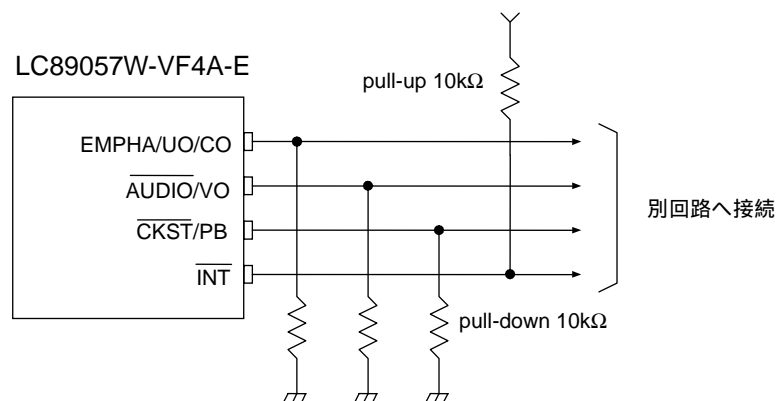
# LC89057W-VF4A-E

## 9.2 チップアドレスの設定(EMPHA/UO/CO, $\overline{\text{AUDIO}}/\text{VO}$ )

- LC89057W-VF4A-Eは同一のマイコンインタフェースバス上で複数個使用することを考慮してそれぞれに固有のチップアドレスを設定する機能を有している。
- チップアドレスの設定はEMPHA/UO/CO,  $\overline{\text{AUDIO}}/\text{VO}$ に10k $\Omega$ のプルダウンまたはプルアップ抵抗を接続する。これにより最大4種のチップアドレスを設定することが出来る。
- マイコンインタフェースにおけるチップアドレスはLSB側の先頭2桁に設けたCAL, CAUで設定する。CALが下位、CAUが上位のチップアドレスになる。
- EMPHA/UO/CO,  $\overline{\text{AUDIO}}/\text{VO}$ によるチップアドレス設定とマイコンから送られてくるチップアドレスを同一にすることでコマンドの書き込みが可能となる。
- LC89057W-VF4A-Eをシステムで1個のみ使用する場合にもチップアドレスを設定する必要がある。チップアドレス設定が成されないとチップアドレスが不定となりマイコンからの制御が出来なくなる。またマイコン未使用時においてはXMODEがL期間にチップアドレス設定端子が入力オープン状態となる。EMPHA/UO/CO,  $\overline{\text{AUDIO}}/\text{VO}$ には必ずプルダウンまたはプルアップ抵抗を接続する必要がある。

表9.2:チップアドレスの設定(抵抗接続)

$\overline{\text{AUDIO}}/\text{VO}$ 抵抗接続	EMPHA/UO/CO抵抗接続	CAU	CAL
プルダウン	プルダウン	0	0
プルダウン	プルアップ	0	1
プルアップ	プルダウン	1	0
プルアップ	プルアップ	1	1



上図の設定内容

- |                      |                |
|----------------------|----------------|
| チップアドレス設定            | → CAL=CAU=0    |
| 復調機能マスタ or スレーブ設定    | → マスタ          |
| 変調機能 or 汎用 I/O ポート切換 | → 汎用 I/O ポート機能 |

図 9.2:機能設定入力端子の設定例

### 9.3 復調機能マスタ/スレーブの設定 ( $\overline{\text{CKST}}/\text{PB}$ )

- LC89057W-VF4A-Eを複数個使用して多チャネル同期伝送を可能にするマスタ/スレーブ機能を搭載している。この設定は $\overline{\text{CKST}}/\text{PB}$ に10k $\Omega$ のプルダウンまたはプルアップ抵抗を接続する。
- 通常1個使いの場合はマスタモードに設定する。複数個使いの場合は1個をマスタモードに設定して残りをスレーブモードに設定する。
- 複数個を使用して多チャネル同期伝送を行う場合はスレーブ側のRBCK, RLRCK(入力)にはマスタ側のRBCK, RLRCK(出力)を接続する。またスレーブ側のXINにはマスタ側のXMCKを接続する。尚、この時のRBCK, RLRCKの極性およびXIN, XMCKの周波数は同一に設定すること。
- マスタ/スレーブ間で入力データのサンプリング周波数や位相が異なる場合やサンプリング周波数が同じでもクロック源が異なる場合はスレーブ側で出力データの欠落や2度読み出しが発生することがある。この現象の有無は $\overline{\text{INT}}$ とマイコンインタフェースで確認することが出来る。

表9.3: マスタ/スレーブ切換え(抵抗接続)

$\overline{\text{CKST}}/\text{PB}$ 抵抗接続	モード
プルダウン	マスタモード
プルアップ	スレーブモード

表9.4: クロック端子状態

端子	マスタモード	スレーブモード
RMCK	出力	出力
RBCK	出力	入力
RLRCK	出力	入力

### 9.4 変調機能と汎用I/Oポートの切換え ( $\overline{\text{INT}}$ )

- 変調機能と汎用I/O機能は端子を共有しているため同時使用は出来ない。
- 機能を切換えるには $\overline{\text{INT}}$ に10k $\Omega$ のプルダウンまたはプルアップ抵抗を接続する。

表9.5: 変調機能/汎用I/Oの切換え(抵抗接続)

$\overline{\text{INT}}$ 抵抗接続	モード
プルダウン	変調機能
プルアップ	汎用I/O機能

## 10 復調機能の説明

- ・復調機能の動作設定はRXOPRで行う。初期値は動作状態に設定されている。

### 10.1 クロック

#### 10.1.1 PLL(LPF)

- ・PLL0PRで停止可能なVCO(Voltage Controlled Oscillator)を内蔵しサンプリング周波数32kHz～192kHz、伝送レート4MHz～25MHzのデータに同期する。
- ・PLLロック周波数はPLLSELで選択する。入力データのサンプリング周波数が105kHz以下のシステムでは初期設定の512fsを推奨する。システムクロックRMCKの出力初期値がPLLSELの1/2に設定されているので512fs時のRMCK出力は256fsとなる。
- ・105kHz以上の受信システムでは256fsに切替える。但し、初期設定ではRMCKの出力は128fsとなるため必要に応じてPRSEL[1:0]で切替える。
- ・PLLロック後のPLLSELによるロック周波数切替はアンロックを伴う。従って、PLLSELの設定はバイフェーズデータ入力前に完了すること。
- ・LPFはPLLのループフィルタ用端子でPLLSELの設定に関わらず以下の抵抗、容量を接続する。

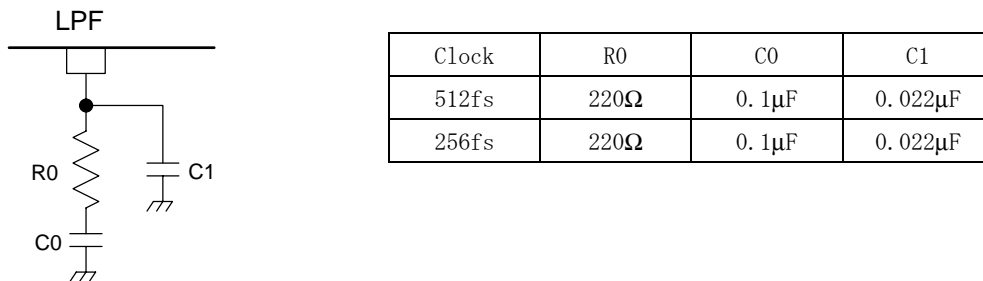


図10.1：ループフィルタの構成

#### 10.1.2 PLL未使用復調機能(TMCK)

- ・LC89057W-VF4A-Eには外部クロックで入力バイフェーズデータを処理する機能(外部クロック同期機能)がある。通常の復調処理では内蔵PLLでデータに同期したクロックを生成しそのクロックでデータ処理を行うが、LC89057W-VF4A-EではPLLで生成したクロックの代わりにデータに同期したクロックを独立した伝送路で供給することでデータ処理を行うことも可能である。
- ・外部クロック同期機能を使用するにはEXSYNCでPLL未使用復調機能を設定して、更にPLLSELで256fs or 512fsクロック、PRSEL[1:0]でPLLSEL設定周波数の1/1に設定した後、TMCKに入力データに同期したクロックを入力する。これによりPLL復調処理と同様の動作を行う。例えば、初期状態においてEXSYNCを設定した場合PLLSELは512fsに設定されているためTMCKへは512fsのクロックを供給する必要がある。TMCKクロック周波数を256fsに変更する場合はPLLSELを256fsに設定する。
- ・入力データとクロックのジッタは出来る限り小さく抑えること。過大なジッタはPLLの誤動作の原因になる。クロック伝送路の帯域には十分注意すること。
- ・外部同期モードに設定している時は常時TMCKにクロックを供給すること。クロックの入力がないとシステムは停止し誤動作状態となる。
- ・外部クロック同期モードのみを使用する場合、LPF端子には何も接続する必要はないが、PLLループフィルタを構成することでPLLクロック同期モードと外部クロック同期モードをEXSYNCの切替えて使い分けることも可能である。
- ・外部クロック同期機能を応用すれば外付けPLLを利用した高精度クロック系を構成することも可能である。

## 10.1.3 発振アンプ(XIN, XOUT, XMCK)

- LC89057W-VF4A-Eは発振アンプを内蔵している。水晶振動子、帰還抵抗、負荷容量をXIN, XOUTに接続すれば発振回路を構成できる。尚、水晶振動子接続の際は基本波のものを使用すること。また負荷容量は水晶振動子の特性に依存するので十分検討する必要がある。
- クロック源に発振モジュール等を使用して内蔵の発振アンプを使用しない場合はXINに外部クロック供給源の出力を接続する。この時XINとXOUT間に帰還用抵抗を接続する必要はない。
- XINへはXINSELで設定した12.288MHzもしくは24.576MHzのクロックを供給する。これ以外の周波数をXINへ入力する場合はFSERRで入力データのサンプリング周波数( $f_s$ )が変化してもその結果がエラーフラグに反映されないよう設定する必要がある。この設定を施すことで動作は可能となる。但し、推奨周波数の動作に対して時間定義のずれが生じるので入力 $f_s$ 算出に関してはエンコード結果を使えない。この場合算出カウント値をXIN入力周波数の1/2000の値で10進割算をすることで入力 $f_s$ を算出することが出来る。詳細はマイコンインタフェースの章を参照すること。
- XINクロックが内部処理の基準になるためXINSELの設定はバイフェーズデータ入力前に完了すること。
- XINへのクロック供給は以下の用途に使用するため常時行うこと。
  - (1) バイフェーズデータ入力有無の検出
  - (2) PLLアンロック時のクロック源
  - (3) 入力データのサンプリング周波数算出
  - (4) 入力データ切換え時の時間定義
  - (5) XINソース時の外部供給クロック源(ADコンバータ用クロック等)
- 発振アンプは通常PLLがロック中は自動停止する。これをAMPOPR[1:0]で連続動作に設定することも可能である。連続動作モードにすることでPLLロック中も入力データ検出や入力サンプリング周波数の算出が可能になるが、発振アンプクロックとPLLクロックが共存するため音質への影響を考慮、検討する必要がある。
- PLLロック中にAMPOPR[1:0]で発振アンプを連続動作にするとRERRが一旦H出力(エラー)する。これは発振アンプが動作状態になると同時に停止時に保持していた $f_s$ 算出値がリセットされこの処理を $f_s$ が変化したとして制御されるからである。このエラーによるクロック出力への影響はないがRDATAがエラー期間ミュートされる。従って、AMPOPR[1:0]の設定はバイフェーズデータ入力前に行うか、もしくはPLLアンロック中に完了すること。
- 発振アンプはまた不必要な場合停止させることも出来る。但し、停止から動作モードに復帰するときは振動子の発振が安定するまで10ms以上状態を維持してから通常動作へ復帰すること。
- XMCKはXINクロックを出力する。XMCKの出力設定はXMSEL[1:0]で行う。XINクロックの1/1、1/2、ミュート出力設定が可能である。
- 変調機能のみ使用する場合はXINにクロックを供給する必要はない。この場合、内蔵の発振アンプおよび分周器を変調用のマスタクロック、ビットクロック、LRクロック発生に利用することも出来る。尚、発振アンプのみを利用する場合はXIN, XOUTに水晶振動子もしくはXINに外部クロックを入力してRX0~6のデジタルデータ入力端子を電位固定して使用する。この時RXOPR, PLLOPRでDIR機能停止の設定は行わないこと。出力クロックがミュートされる場合がある。

## 10.1.4 マスタクロックとクロックソースの切換え

- RMCK, RBCK, RLRCK (以下R系統)、SBCK, SLRCK (以下S系統)のクロックソースは以下の3種類のマスタクロックから選択できる。
  - (1) PLLソース (256fsまたは512fs)
  - (2) XINソース (12.288MHzまたは24.576MHz)
  - (3) TMCKソース (256fsまたは512fs)
- クロックソースの切換えはR系統、S系統とも連動して設定する方法とS系統をXINソース固定してR系統のみ設定する方法の2種類から選択出来る。この設定はSELMTD, OCKSEL, RCKSELで行う。
- PLLのロック/アンロックによってクロックソースはPLLクロック/XINクロックに自動的に切換わる。この時クロックの連続性は保持される。但しSELMTDでクロックソースを切換える場合S系統のクロック連続性は保持されない。
- PLLの状態に関わらずOCKSEL, RCKSELでクロックソースをXINに切換え可能である。以下にクロックソース切換えレジスタと各系統のクロック出力を示す。

表10.1: クロックソース切換えレジスタとクロック出力端子の対応表

SELMTD	R系統出力クロック	S系統出力クロック
0	OCKSELに従う	OCKSELに従う
1	RCKSELに従う	XINソースに固定

表10.2: クロックソース切換えレジスタとPLLロック/アンロック時のクロックソース関係

SELMTD	OCKSEL	RCKSEL	R系統クロックソース		S系統クロックソース	
			ロック	アンロック	ロック	アンロック
0	0	×	PLL	XIN	PLL	XIN
	1	×	XIN	XIN	XIN	XIN
1	×	0	PLL	XIN	XIN	XIN
	×	1	XIN	XIN	XIN	XIN

- TMCKソース選択はEXSYNCで行い入力クロック周波数 (256fs or 512fs) はPLLSELで設定する。この設定はTMCKからクロックを入力するという点を除いてPLLソースと同様の動作を行う。
- TMCKソースに同期したデータが入力されている時PLLロック状態と同様にTMCKソースをマスタクロックとして各種クロックが出力される。この場合でもOCKSEL, RCKSELでXINソースに切換えられる。TMCKソースが入力データと同期していない場合やPLLがアンロック状態にある場合、PLLソースのアンロック状態と同様にXINソースへ切換わる。
- XINソース切換え後においてもPLL状態はRERRで常に監視することが出来る。またPLLの状態に関わらず処理された情報はマイコンインタフェースで読み出すことが可能である。
- PLLがロックからアンロックに状態変化する際、PLLソースからXINソースへのクロック切換わりのタイミングをXTWT[1:0]で変更することが出来る。クロック切換わり時にノイズ等が発生する場合に使用する。

10.1.5 PLLロック中におけるクロックソース切換え時の注意点

- PLLロック状態において発振アンプが停止している時(初期設定)にSELMTD, OCKSEL, RCKSELでXINソースへクロック切換えを行うとクロックの連続性は保持されるがRERRが一旦H出力(エラー)する。これはXINソースへの切換えと同時に発振アンプが動作状態になり入力fs算出が再開されるがこの時以前のfs算出値がリセットされ新たに算出されたfs 値との比較でfsが変化したとして処理されるためである。
- PLLロック中にSELMTD, OCKSEL, RCKSELでRERRの状態を維持してクロックソース切換えには以下の設定を行う必要がある。
  - (1) AMPOPR[1:0]で発振アンプを連続動作モードに設定する。
  - (2) FSERRでfsの変化をエラーフラグに反映しないモードに設定する。
- 上記いずれかの設定を施すことでSELMTD, OCKSEL, RCKSELによる切換え時のRERR状態変化を抑えることが出来る。
- 尚、PLLロック中に発振アンプが停止している状態からクロックソースをXINへ切換える場合XINをソースとする出力クロックは発振アンプが動作を開始してから出力される。またPLLロック状態においてXINからPLLへのクロックソース切換えは瞬時に実行される。いずれもクロック連続性は保持される。

10.1.6 マスタクロック系統図(TMCK, XIN, XOUT, RMCK, XMCK)

- 3種のマスタクロックと切換え、分周機能の関係を以下に示す。
- スイッチ、機能ブロック近傍の[ ]は書き込みコマンド名に対応する。
- Lock/UnlockはPLLのロック/アンロックにより自動的に切換わる。

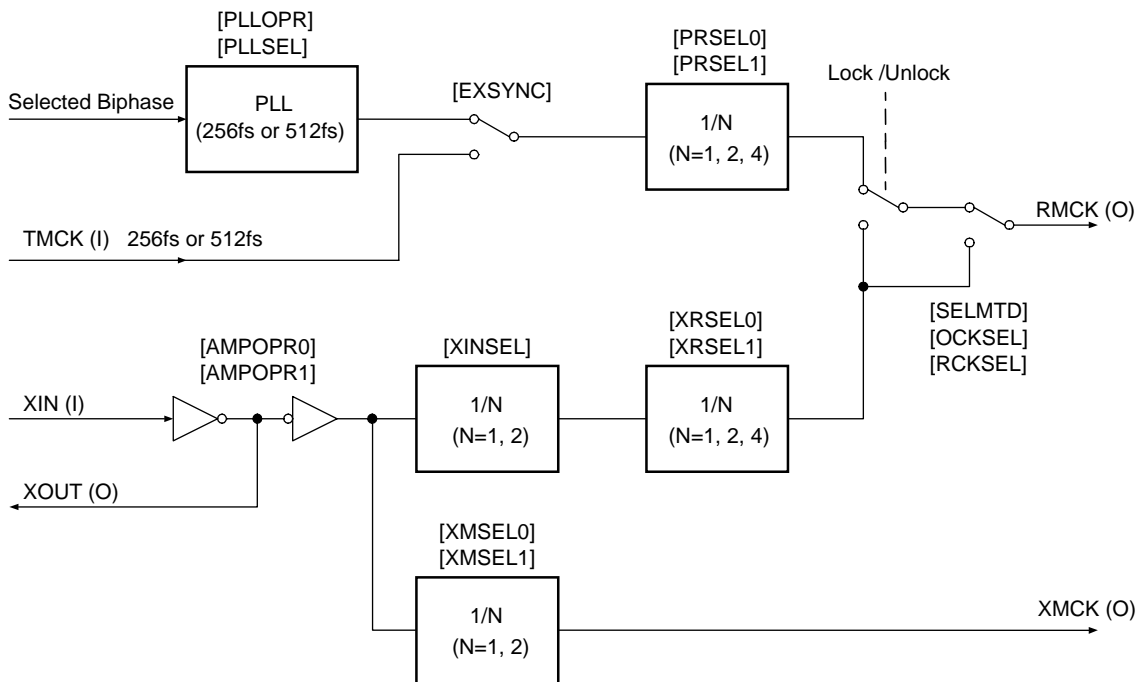


図 10.2: マスタクロック系統図



# LC89057W-VF4A-E

## 10.1.7 出力クロック (RMCK, RBCK, RLRCK, SBCK, SLRCK)

- LC89057W-VF4A-EはADコンバータやDSP等周辺デバイスに各種のクロックを供給するためにR系統、S系統の2系統のクロック出力を有す。
- R系統、S系統の各クロック出力設定はPRSEL[1:0], XRSEL[1:0], XRBCK[1:0], XRLRCK[1:0], PSBCK[1:0], PSLRCK[1:0], XSCK[1:0], XSLRCK[1:0]で行う。
- PLLソース時の各クロック出力端子の設定範囲を以下に示す。
  - RMCKは512fsまたは256fsの1/1, 1/2, 1/4からの選択
  - RBCKは64fs出力
  - RLRCKはfs出力
  - SBCKは128fs, 64fs, 32fsからの選択
  - SLRCKは2fs, fs, fs/2からの選択
- XINソース時の各クロック出力端子の設定範囲を以下に示す。
  - RMCKは12.288MHzまたは24.576MHzの1/1, 1/2, 1/4からの選択
  - RBCKは12.288MHz, 6.144MHz, 3.072MHzからの選択
  - SBCKは12.288MHz, 6.144MHz, 3.072MHzからの選択
  - RLRCKは192kHz, 96kHz, 48kHzからの選択
  - SLRCKは192kHz, 96kHz, 48kHzからの選択
- TMCKソース時の各クロック出力端子の設定範囲を以下に示す。
  - RMCKは512fsまたは256fsの1/1, 1/2, 1/4からの選択
  - RBCKは64fs出力
  - RLRCKはfs出力
  - SBCKは128fs, 64fs, 32fsからの選択
  - SLRCKは2fs, fs, fs/2からの選択
- RBCKP, RLRCKP, SBCKP, SLRCKPでRBCK, RLRCK, SBCK, SLRCKの極性を反転することが出来る。
- クロック切換えはマイコンインタフェースCEの立ち下がり後に出力されるRLRCKの立ち上がりエッジから処理される。

表10.3: 出力クロック周波数一覧表 (太字アンダーラインは初期設定値)

出力端子名	PLL ソース (内蔵 VCO CK)		TMCK ソース (TMCK 入力 CK)		XIN ソース (XIN 入力 CK)	
	512fs	256fs	512fs	256fs	12.288MHz	24.576MHz
RMCK	512fs	256fs	512fs	256fs	<u>12.288MHz</u>	<u>24.576MHz</u>
	<u>256fs</u>	<u>128fs</u>	<u>256fs</u>	<u>128fs</u>	6.144MHz	12.288MHz
	128fs	64fs	128fs	64fs	3.072MHz	6.144MHz
RBCK	<u>64fs</u>				12.288MHz	6.144MHz
					<u>3.072MHz</u>	
RLRCK	<u>fs</u>				192kHz	96kHz
					<u>48kHz</u>	
SBCK	128fs				12.288MHz	
	<u>64fs</u>				6.144MHz	
	32fs				<u>3.072MHz</u>	
SLRCK	2fs				192kHz	
	<u>fs</u>				96kHz	
	fs/2				<u>48kHz</u>	

## 10.1.8 出力クロック系統図(RMCK, RBCK, RLRCK, SBCK, SLRCK, XMCK)

- 出力クロックと切換え機能の関係を以下に示す。
- 図中のPLLはPLLソースもしくはTMCKソース、XINはXINソースを示す。
- スイッチ近傍の[ ]は書き込みコマンド名に対応する。
- スイッチ間を接続する破線は連動した切換えを示す。
- Lock/UnlockはPLLのロック/アンロックにより自動的に切換わる。
- Master/Slaveは復調機能のマスタ/スレーブ機能切換えによって切換える。

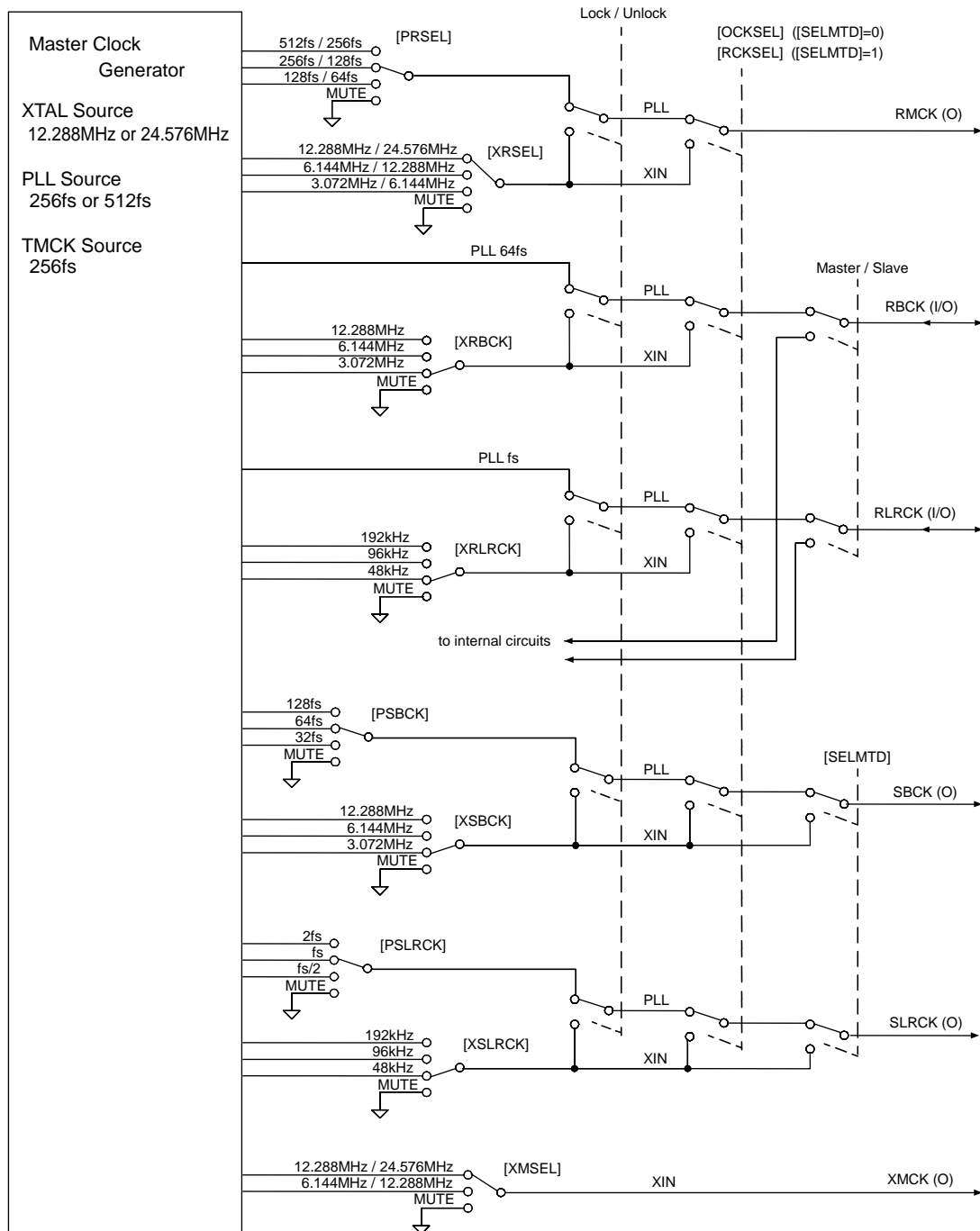
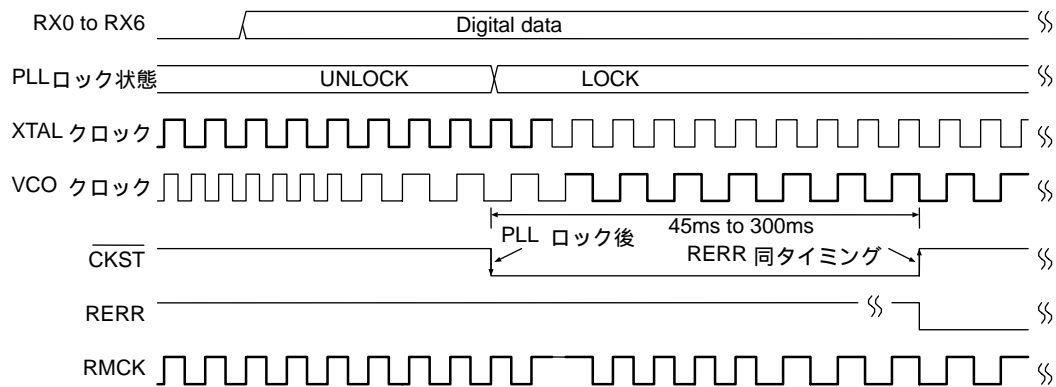


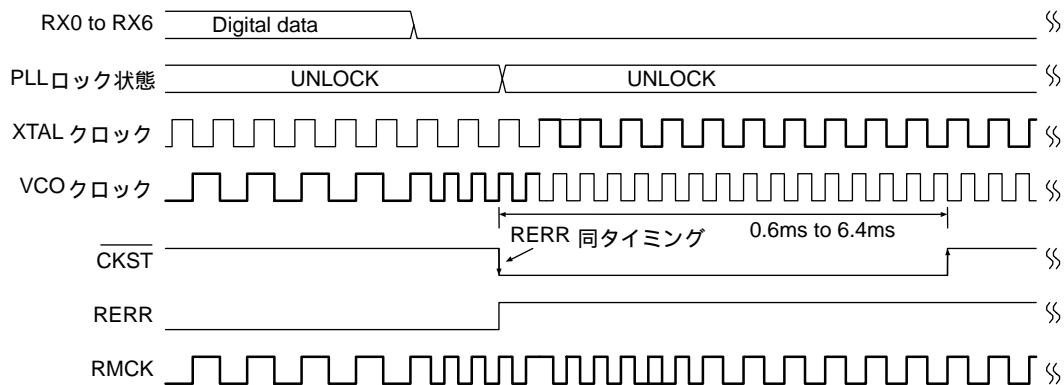
図 10.3: クロック出力系統図

10.1.9 クロック切換え遷移信号出力( $\overline{\text{CKST}}$ )

- $\overline{\text{CKST}}$  はPLLのロック/アンロックによる出力クロックの変化時にLパルスを出力する。
- ロックイン過程で $\overline{\text{CKST}}$  のLパルスは入力データ検出後PLLがロックした後のXINクロックから生成されたワードクロックで立ち下がり一定期間を経過した後RERRと同タイミングで立ち上がる。
- アンロック過程で $\overline{\text{CKST}}$  のLパルスはPLLロック検出信号のRERRと同タイミングで立ち下がりXINクロックから生成されたワードクロックを一定カウントした後に立ち上がる。
- $\overline{\text{CKST}}$  のLパルスの立ち上がりおよび立ち下がりエッジを検出することによりPLLのロック状態変化やクロック変化のタイミングを捕らえることが出来る。



(a): ロックイン過程時



(b): アンロック過程時

図 10. 4: クロック切換えタイミング

## 10.2 バイフェーズ信号入出力

### 10.2.1 バイフェーズ信号入力受信範囲

- 入力データの受信範囲はPLLSELによるPLLロック周波数設定に依存する。この設定と保証される受信範囲の関係を以下に示す。

表10.4:PLL出力クロック設定と受信範囲の関係(FSLIM[1:0]=00)

PLL出力クロック設定	入力データ受信範囲
512fs (PLLSEL=0)	28kHz~105kHz
256fs (PLLSEL=1)	28kHz~195kHz

- 上記のPLL出力クロックの設定範囲内で入力データのfs受信範囲を制限することが出来る。この設定はFSLIM[1:0]で行う。この機能を使用した場合、設定範囲を越えた入力データはエラーと見なされクロックソースはXINソースに自動的に切り替わりRDATA出力データはRDTSELの設定に従う。

### 10.2.2 バイフェーズ信号入出力端子(RX0~RX6,RXOUT)

- デジタルデータ入力端子は7系統ある。更に変調機能によって変調されたデータも選択可能でこの信号を含めると8系統からの選択が可能となる。但し、設定条件によって選択可能な端子が制限される。
  - RX0, RX2~RX6の6系統は5V耐圧のTTLレベル入力端子。
  - RX1はアンプ内蔵コアキシャル対応入力端子で最小200mVp-pのデータまで受信可能。
- 復調入力とRXOUT出力の信号はそれぞれ独立して選択できる。
  - 復調データはRISEL[2:0]で選択する。
  - RXOUT出力データはROSEL[2:0]で選択する。
- RXOUTはRXOFFでミュート出来る。クロックジッタ低減のためRXOUT未使用時はミュートすることを推奨する。
- RXMONの設定でデータ入力状態を監視することが出来る。各データ入力端子の状態はCCBアドレス0xEA、出力レジスタD00~D07に格納される。尚、この機能はXINクロックを使用しているのでRXMON設定時は発振アンプを連続動作モードにする必要がある。
- ULSELの設定でデータ復調入力端子切り換えをPLLのアンロックを経由して行うことが出来る。これによりデータの切り換えを周辺デバイスへ正確に伝えることが出来る。RISEL[2:0]による端子切り換えを実行してからデータを受け付けるまでの間隔は250~350μs程度である。尚、この機能も発振アンプを連続動作モードに設定する必要がある。

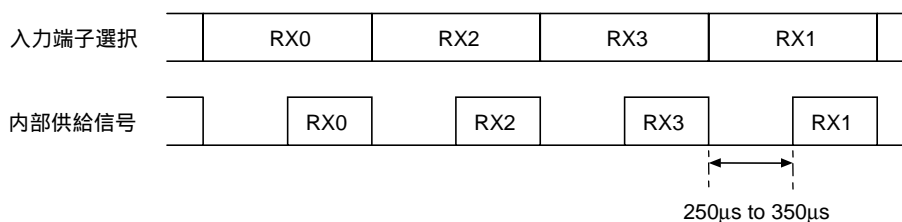
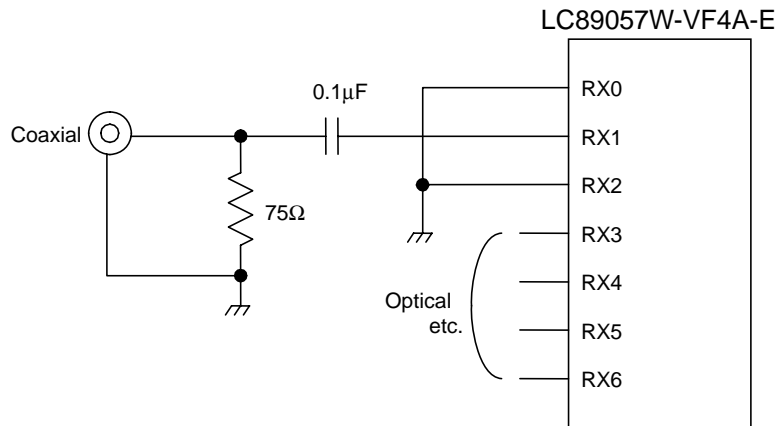


図 10.5:PLL アンロック経由の入力端子選択処理

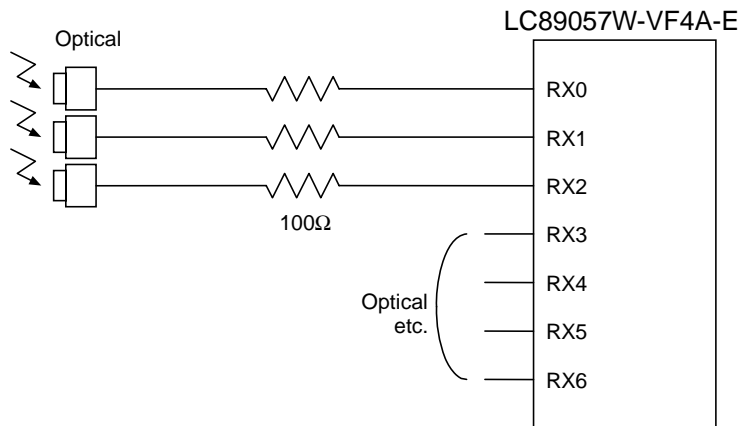
## LC89057W-VF4A-E

### 10.2.3 バイフェーズ信号入力回路(RX0, RX1, RX2)

- ・アンプ内蔵RX1をコアキシャル入力端子として使用する場合、隣接する入力端子RX0, RX2の影響を受けて誤動作することがある。このためRX0, RX2をL電位に固定してRX1への影響を回避する必要がある。
- ・RX1が選択されている時RX1への入力信号がACカップリングなどで一時的にもオープンになる場合は必ずRX0, RX2の電位固定が必要になる。この場合、選択可能なバイフェーズ信号入力端子はRX1, RX3～RX6の5系統となる。
- ・RX1が選択されている時RX1への入力信号がHまたはLに必ず固定される場合はRX0, RX2の処理は不要である。この場合は7系統の入力端子が全て有効に使用出来る。



(a) :コアキシャル入力回路



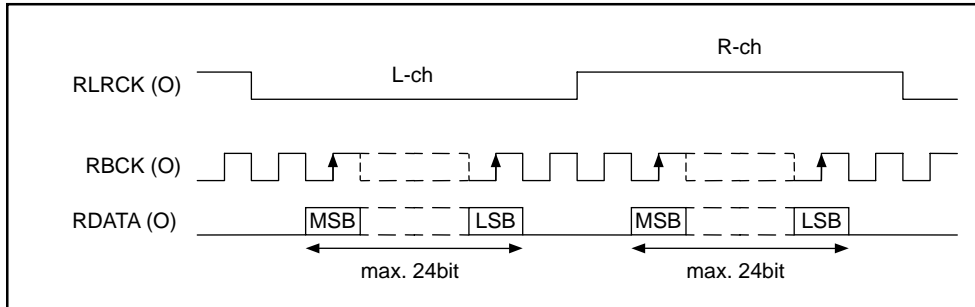
(b) :光入力回路

図 10.6: バイフェーズ信号入力回路

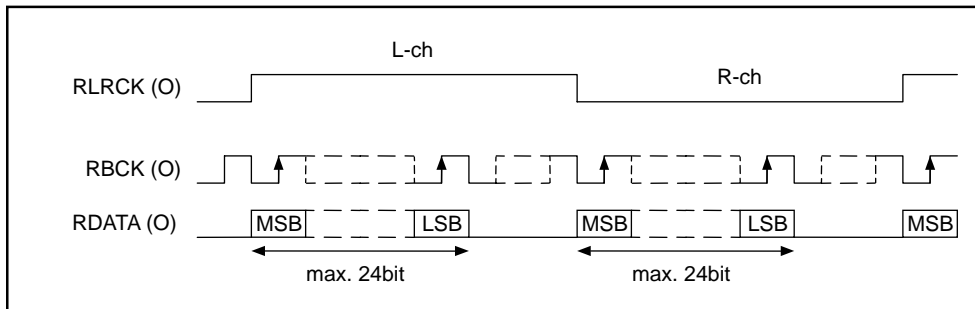
10.3 シリアルオーディオデータ入出力

10.3.1 出力データフォーマット(RDATA)

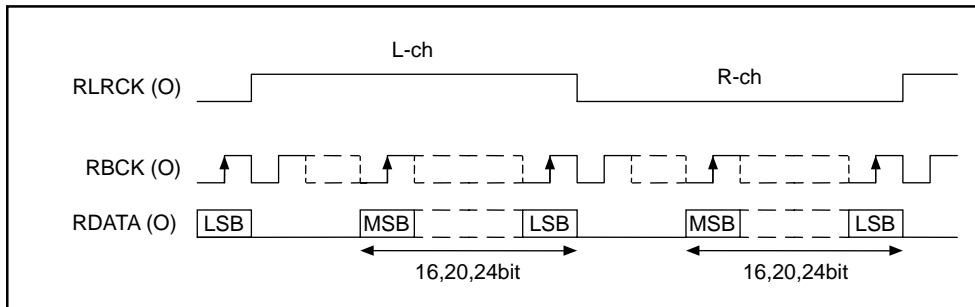
- 出力フォーマットはOFSEL[2:0]で設定する。出力フォーマットの初期値はI<sup>2</sup>Sとなる。
- 後詰め出力はマスタモード時のみ有効である。スレーブモード時には正しいデータが出力されない。
- 出力データはRERR出力がLになった直後のRLRCKのエッジに同期して出力される。



(0):I<sup>2</sup>S データ出力



(1):MSB ファースト前詰めデータ出力

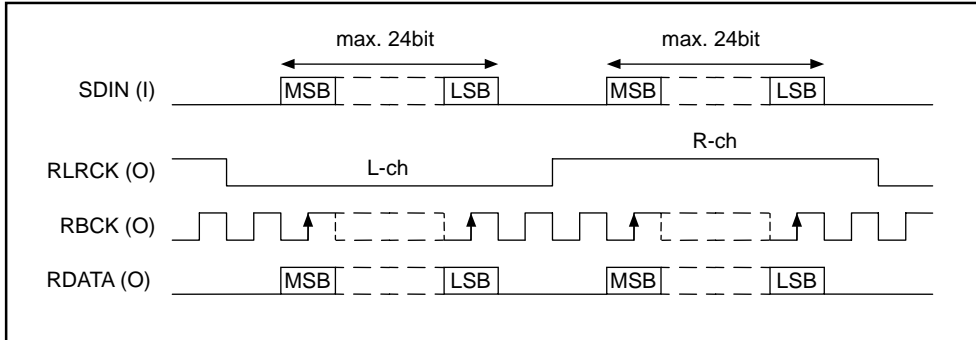


(2):MSB ファースト後詰めデータ出力

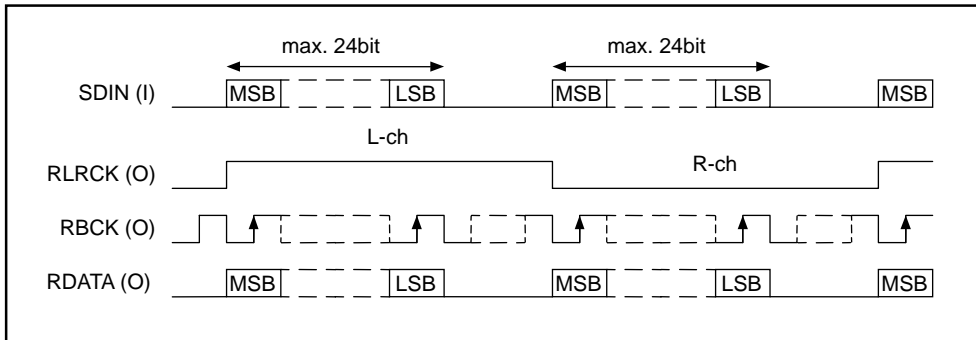
図 10.7: データ出力タイミング

## 10.3.2 シリアルオーディオデータ入力フォーマット(SDIN)

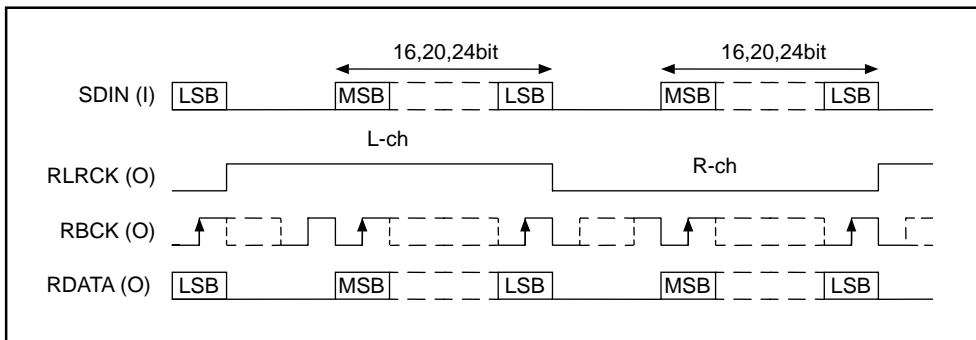
- 24ビット入力可能なシリアルデジタルオーディオデータ入力端子SDINを設けている。
- SDINへ入力するシリアルオーディオデータのフォーマットは復調データ出力フォーマットと同一を推奨する。復調データ出力の初期値はI<sup>2</sup>Sである。



(0) : I<sup>2</sup>S データ入力



(1) : MSB ファースト前詰めデータ入力

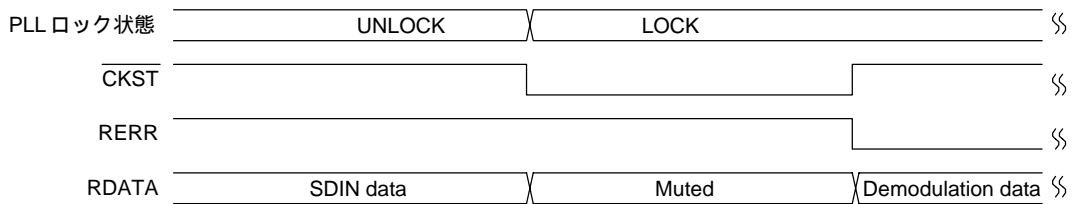


(2) : MSB ファースト後詰めデータ入力

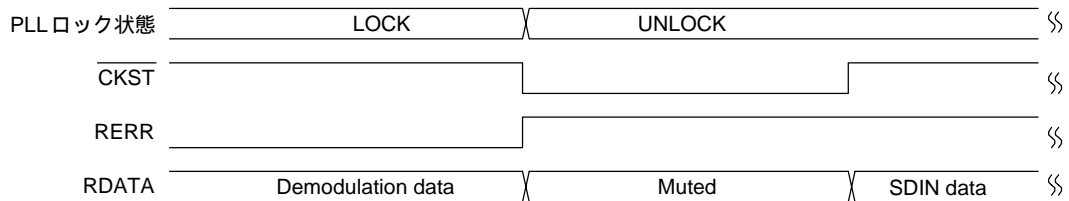
図 10.8: シリアルオーディオデータ入力タイミング

10.3.3 出力データの切換え(SDIN,RDATA)

- RDATAはPLLロック時に復調データ、PLLアンロック時にSDIN入力データを出力する。この切換えはPLLのロック/アンロック状態に応じて自動的に行われる。詳細は以下のタイミング図を参照すること。
- SDIN入力データ選択時はSDINデータに同期したクロックソースに切換えること。
- RDTSTAの設定でPLLのロック/アンロック状態に関わらずSDIN入力データをRDATAへ出力する。
- RDTMUTの設定でRDATA出力データを強制的にミュートすることも可能である。
- OCKSEL, RCKSELでクロックソースをXINに設定している場合でもPLLOPRでPLLの動作を停止しない限りPLLは動作している。このときRESTAで強制的にエラー出力に設定しない限りPLLの状態はRERRより常に出力される。また、PLLの状態に関わらず処理された情報はマイコンインタフェースで読み出すことが可能である。



(a) :ロックイン過程時



(b) :アンロック過程時

図10.9:RDATA出力データ切換えタイミング図



## 10.3.4 データ系統図(RX0~RX6, TX0, RXOUT, TDATA, RDATA, SDIN)

- RDTSELでRDATA出力データをSDIN入力データに切換えられる。
- TDTSELでSDIN入力データを変調機能へ入力できる。
- 変調出力を入力切換えマルチプレクサに入力しているので変調出力をRXOUTからも取り出せる。  
この機能を用いればADコンバータでデジタル化した信号をデジタル録音出力などに利用できる。

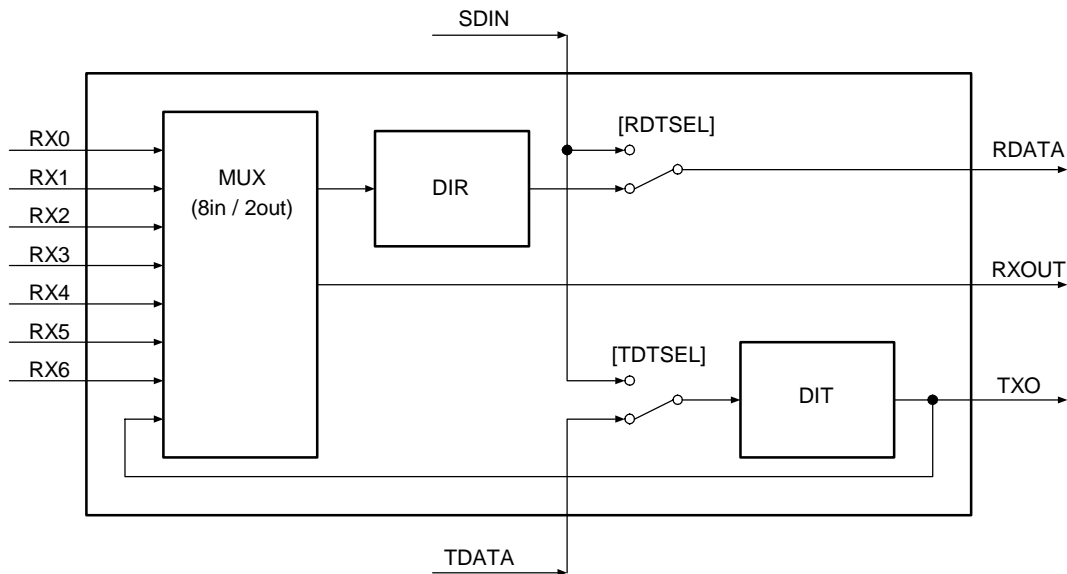


図10.10: データ系統図

## 10.3.5 入力データサンプリング周波数の算出

- XINクロックを使用して入力データのサンプリング周波数を算出する。
- 発振アンプがPLLのロック状態に応じて自動停止するモードではRERRのエラー期間に算出処理され発振アンプの停止とともに算出を完了して値を保持する。従って、算出確定後はPLLがアンロックするまで値は変化しない。
- 発振アンプが連続動作モードでは常時算出処理を繰り返す。従って、チャンネルステータスの標本化情報が変化しない入力データがPLLのキャプチャーレンジ内でサンプリングが変わっても入力データに追従した算出結果を読み出すことが出来る。
- 算出結果はCCBアドレス0xEB、出力レジスタD04~D07およびD08~D015から読み出すことが出来る。レジスタD04~D07はエンコードされた結果でD08~D015は算出カウンタ値となる。但し、算出カウンタ値は8ビットで出力されるので算出可能なfsは24kHzより以上となる。詳細はマイコンインタフェースの章を参照すること。

## 10.4 エラー出力・処理

### 10.4.1 ロックエラー、データエラー出力(RERR)

- RERRはPLLがロックエラーした場合やデータエラーが生じた場合にエラーフラグを出力する。
- RESELの設定で非PCMデータ受信時をエラーとすることも可能である。
- RERRの出力条件はRESTAで設定する。常時PLL状態を出力することが可能なためクロックソースがXINの場合にも常にPLLの状態を監視できる。

### 10.4.2 PLLロックエラー

- バイフェーズ変調の規則性が失われた入力データ、またはプリアンプルB、M、Wを検出できない入力データに対してPLLはアンロックする。
- RERRはPLLがロックエラーの時Hとなり、データ復調が正常に戻って45~300ms程度Hを保持してからLになる。
- RERRはRLRCKに同期して出力される。

### 10.4.3 入力データパリティエラー

- 入力データ中のパリティビットから奇数個のエラー、入力パリティエラーを検出する。
- 入力パリティエラーが9回以上連続して発生した場合、RERRはHとなりPLLがロック状態であることを検出して45~300ms程度Hを保持してからLになる。
- REDERで入力パリティエラー8回以内の連続発生に対してエラーフラグの出力形式を選択することが出来る。

### 10.4.4 その他のエラー

- RERRがLになってもチャンネルステータスのビット24~27(標本化周波数)を常時取り込んで1ブロック前のデータと現データの比較を行っている。また、入力データから抽出されたfsクロックから入力データのサンプリング周波数を算出して前述同様にfs算出値の比較を行っている。ここでこれらデータに相違が生じた場合、直ちにRERRをHにしてPLLロックエラーと同等の処理を実行する。
- fsが変化した時PLLはロックエラーを起こすが、fsが変化するソース(例: バリアブルピッチ機能付きCDプレーヤ等)に対応するために、fsが変化してもPLLキャプチャレンジ内のfs変化ならばエラーフラグを出力しない設定をFSERRで行うことが出来る。更にFSERRの設定はFSLIM[1:0]による受信範囲内入力データにおいてfs算出結果をエラーフラグに反映することなくPLLがロック状態になればRERRをLにする。
- RESELで非PCMデータ入力時をエラーとする設定を行った場合、非PCMデータ入力検出時にRERRはH出力になる。この時のPLLロック状態および各出力クロックは入力データに従うが出力データはミュートされる。

10.4.5 エラー発生時のデータ処理(ロックエラー、パリティエラー)

- ・エラー発生時のデータ処理を以下に示す。8回連続以内で入力パリティエラーが発生した場合、伝送データがPCMオーディオデータの時は1フレーム前のL-ch、R-chおのおので保持されたデータに置き換えられる。しかし、伝送データが非PCMデータの時はエラーデータをそのまま出力する。非PCMデータとは入力パリティエラーが発生する前に検出されたデータに基づき、チャンネルステータスのビット1非PCMデータ検出ビットがHになっている時のデータとする。
- ・PLLロックエラーや9回以上連続のパリティエラー発生時の出力データはミュート処理される。
- ・8回連続以内のパリティエラーに対してチャンネルステータスデータは1ブロック前のビット単位で保持されたデータが出力される。

表9.5:エラー発生時のデータ処理

データ	PLLロックエラー	入力パリティエラー (a)	入力パリティエラー (b)	入力パリティエラー (c)
RDATA出力	L	L	前置データ	出力
fs算出結果	L	出力	出力	出力
チャンネルステータス	L	L	前置データ	前置データ
バリディティフラグ	L	L	出力	出力
ユーザデータ	L	L	出力	出力

入力パリティエラー (a) : 9回以上連続した場合

入力パリティエラー (b) : 8回連続以内でオーディオデータの場合

入力パリティエラー (c) : 8回連続以内で非PCMバーストデータの場合

- ・パリティエラーが発生した時のデータ処理の一例を以下に示す。

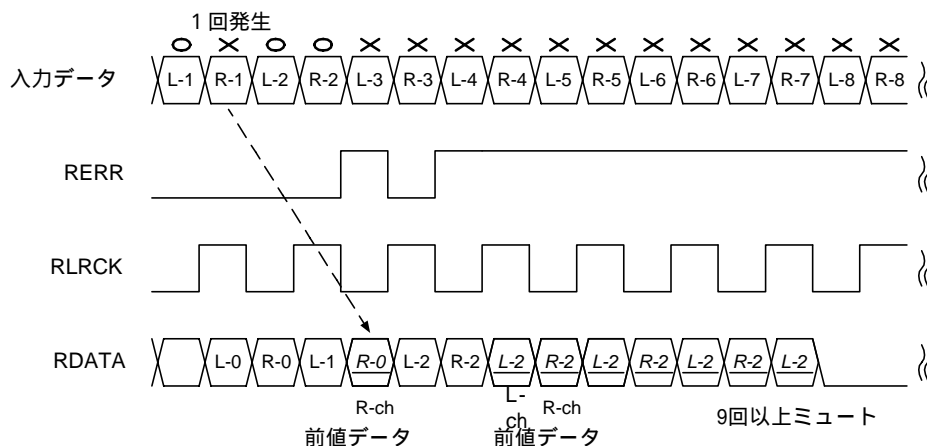


図10.11:パリティエラー時のデータ処理例

## 10.4.6 エラー回復時の処理

- ・プリアンブルB、M、Wを検出するとPLLはロック状態になりデータ復調を開始する。
- ・RDATA出力データはRERRがLになってRLRCKのエッジから出力される。

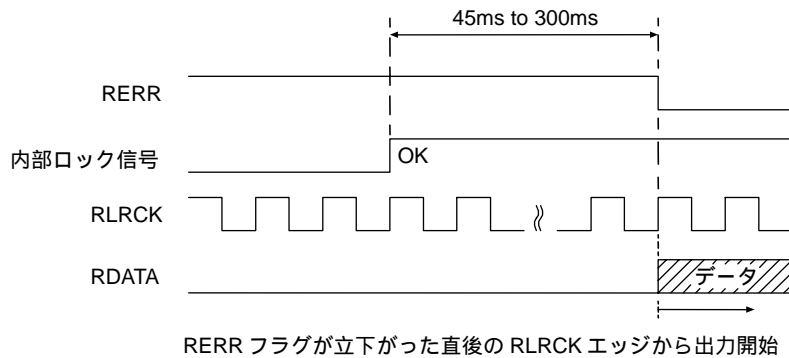


図 10.12: データ復調開始時のデータ処理

## 10.5 チャンネルステータスデータ出力

### 10.5.1 データ区分指定ビット1出力 ( $\overline{\text{AUDIO}}$ )

- ・ $\overline{\text{AUDIO}}$ は入力バイフェーズデータがPCMオーディオデータか否かを示すチャンネルステータスのビット1を出力する。RERRがH出力期間でも検出されれば直ちに出力される。
- ・AOSELでIEC61937やDTS-CD/LD検出フラグとOR出力することも出来る。

表10.6:  $\overline{\text{AUDIO}}$  出力

$\overline{\text{AUDIO}}$	出力条件
L	PCMオーディオデータ (ビット1=L)
H	オーディオ以外のデータ (ビット1=H)

### 10.5.2 エンファシス情報出力 (EMPHA)

- ・EMPHAは民生用および放送局スタジオ用エンファシス時定数50/15 $\mu$ sの有無を出力する。RERRがH出力期間でも検出されれば直ちに出力される。

表10.7: EMPHA 出力

EMPHA	出力条件
L	プリエンファシス無
H	50/15 $\mu$ sプリエンファシス有

10.6 その他出力

10.6.1 バリディティフラグ出力(V0)

- $\overline{\text{AUDIO}}/\text{V0}$ の出力内容をV0SELで切替えることにより  $\overline{\text{AUDIO}}/\text{V0}$ からバリディティフラグを出力することが出来る。
- 各サブフレームごとに伝送されて来るバリディティフラグを以下のタイミングで出力する。
- バリディティフラグはエラーの対象となる出力データより0.5~1フレーム早く出力される。

表10.8:V0出力

V0	出力条件
L	エラー無(バーストデータでない)
H	エラー発生有(バーストデータ可能性有)

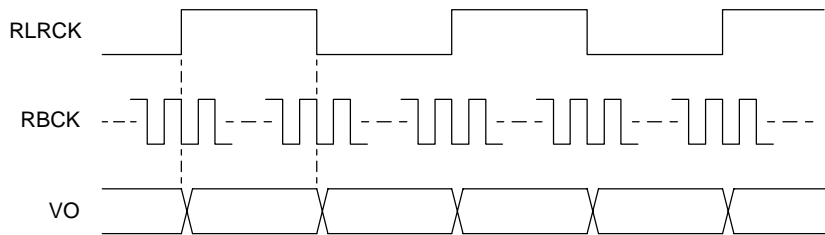


図10.13:バリディティフラグ出力タイミング

10.6.2 ユーザデータ出力(U0)

- EMPHA/U0/C0の出力内容をU0SELで切替えることによりEMPHA/U0/C0からユーザデータを出力することが出来る。但し、U0SELの設定はPBSEL1を0に設定した時のみ有効となりPBSEL1を1に設定した時は無効となる。尚、PBSEL0はこの時は無関係である。
- 各サブフレームごとに伝送されて来るユーザデータを以下のタイミングで出力する。

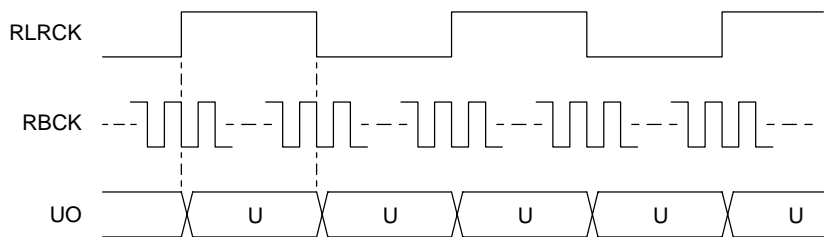


図10.14:ユーザデータ出力タイミング

### 10.6.3 チャンネルステータスデータ出力(CO)

- EMPHA/UO/CO の出力内容はプリアンプル B シンク信号出力設定を行う PBSEL1 を切替えることにより EMPHA/UO/CO からチャンネルステータスデータを出力することが出来る。
- チャンネルステータスデータは各サブフレームごとにデータを取り込み出力しているため RLRCK との極性は不確定である。但し、次に説明するプリアンプル B シンク信号 PB の H 出力期間とチャンネルステータスのビット 0 データ出力 (c0 Lch, c0 Rch) とのタイミングは以下ようになる。

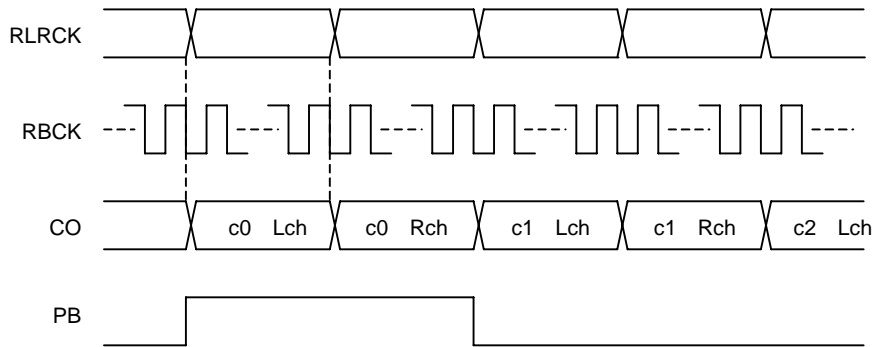


図 10.15 : チャンネルステータスデータ出力タイミング

### 10.6.4 プリアンプル B シンク信号出力(PB)

- CKST/PB の出力内容を PBSEL[1:0] で切替えることにより CKST/PB からチャンネルステータスのブロックシンクであるプリアンプル B シンク信号を出力することが出来る。
- PB 信号はチャンネルステータスのビット 0 データが出力される期間 H を出力しそれ以外の期間は L を出力する。
- PBSEL[1:0] は DIT 機能のプリアンプル B シンク信号を出力する設定も可能である。しかし端子を共有しているため DIR 機能と DIT 機能のプリアンプル B シンクを同時に PB から出力する設定は出来ない。
- DIR 機能のプリアンプル B シンク信号出力を設定した場合、EMPHA/UO/CO 端子からはチャンネルステータスデータが出力され UOSEL の設定は無効となる。

10.7 IEC61937, DTS-CD/LD検出フラグ出力

- 非PCMデータに対してIEC61937、DTS-CD/LD検出フラグを出力する機能を有する。
- $\overline{\text{INT}}$  出力内容設定で非PCM信号出力設定UNPCMを選択するとIEC61937またはDTS-CD/LD同期信号を検出して $\overline{\text{INT}}$  から割り込み信号を出力する。この情報から出力レジスタを読み出すことで非PCM信号の詳細が判明する。
- IEC61937検出はチャンネルステータスのbit1が非PCMデータ1の時にIEC61937同期信号を検出して出力する。bit1がPCMデータの場合は出力されない。
- DTS-CD/LDの同期信号検出は同期パターンおよび規定周期から検出する。またDTS-ESデータの検出はDTS5.1chの同期信号が検出されてDTS-ESの同期パターンが確認された時に出力する。
- IEC61937やDTS-CD/LD検出フラグはfsが変化した時やPLLロックエラー、データエラーが発生した時にクリアされる。
- DTS同期信号はオーディオデータ内に設けてあるためDTS記録されていない通常のCD/LD盤によっては稀にDTS同期信号と同じ符号のデジタルデータが存在することがある。これを誤ってDTS-CD/LD検出フラグとして誤認識しないように同期パターンや規定周期で保護をかけている。以下に検出シーケンスを示す。

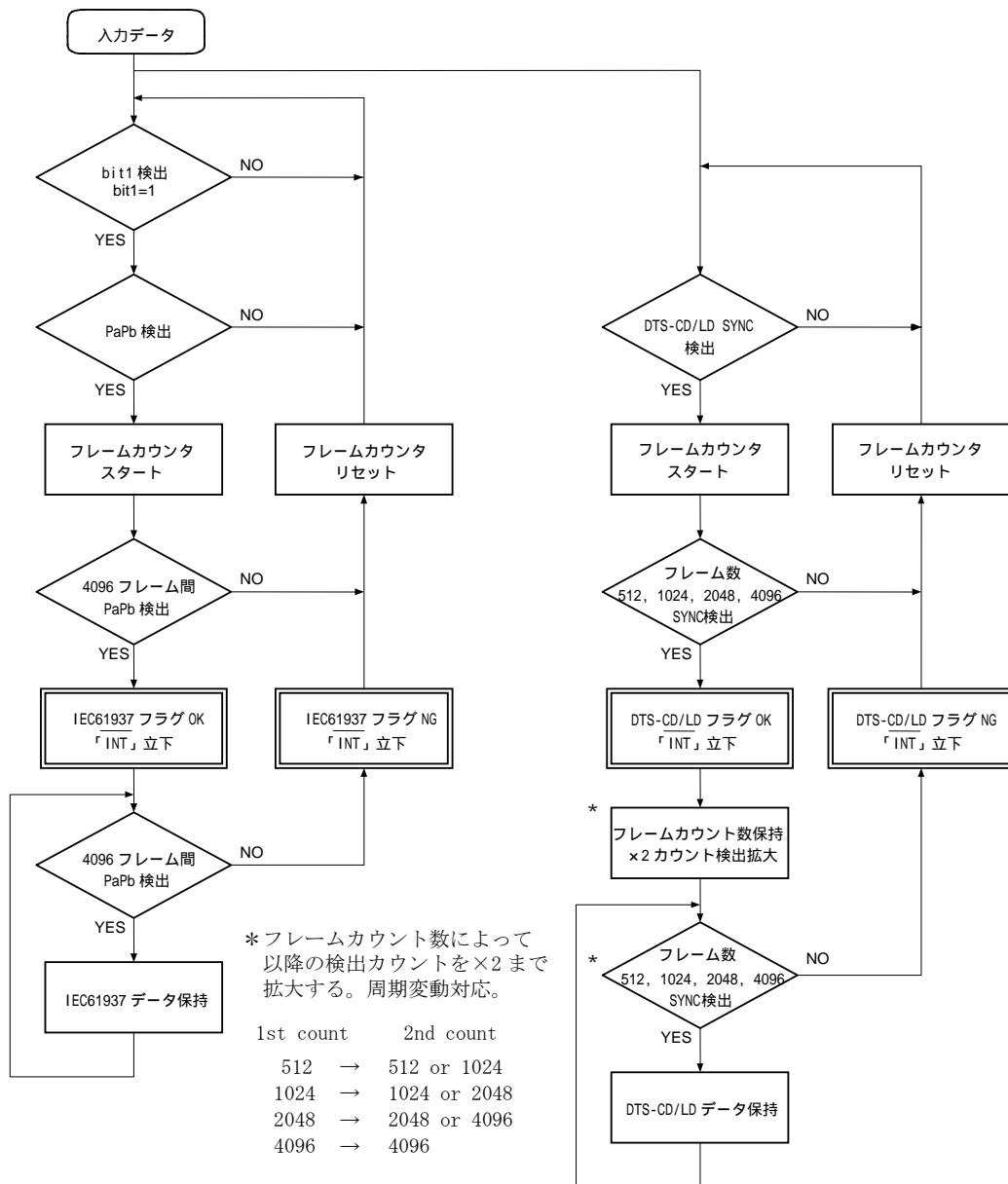


図 10.15: DTS データ検出フローチャート

## 11 変調機能と汎用I/Oの説明

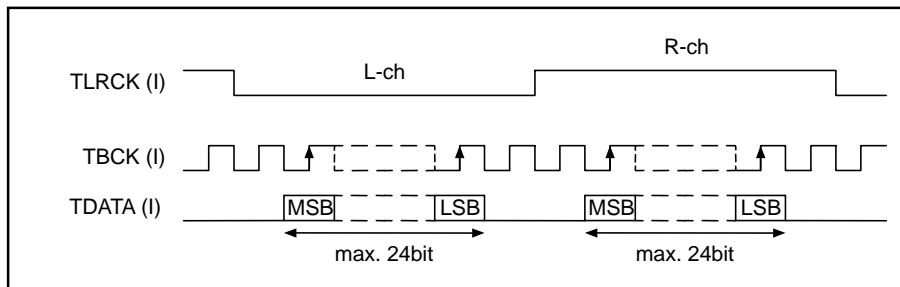
### 11.1 変調機能使用方法

#### 11.1.1 初期設定

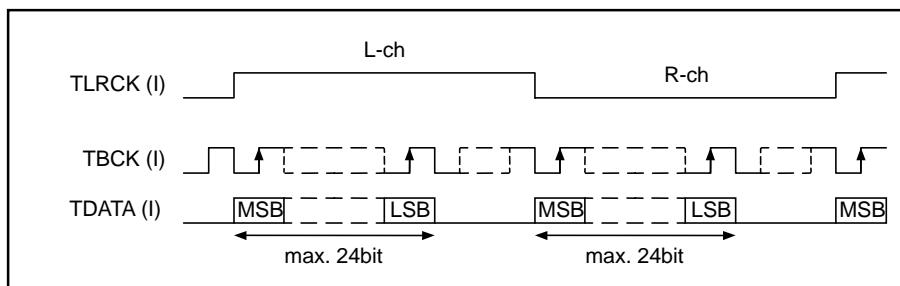
- 変調機能と汎用パラレルI/Oポート機能は端子を共有しているため同時に使用できない。変調機能を選択するには $\overline{INT}$ を10k $\Omega$ 抵抗でプルダウンする。この詳細については9章を参照すること。
- 初期状態の変調機能は停止状態である。変調機能を使用する場合にはTXOPRで設定する。

#### 11.1.2 データ入出力(TMCK, TBCK, TLRCK, TDATA, TX0)

- TMCKに256fsまたは128fsクロック、TBCKに64fsクロック、TLRCKにfsクロック、TDATAにオーディオデータを入力することでバイフェーズ変調されたデータをTX0から出力する。
- TMCKへ入力するクロック周波数はTCKSELで設定する。但し、TMCKを256fsに設定した場合はTMCKの立ち上がりにTBCKの立ち下がりが同期していること。また128fsに設定した場合はTMCKの立ち下がりにTBCKの立ち下がりが同期していること。
- TLRCKクロックの極性はTXLRPで設定する。
- 入力データはサンプリング周波数32k~192kHz、伝送レート4M~25MHz、最長24ビットデータまで変調することが出来る。
- 入力データフォーマットの初期値はI<sup>2</sup>Sに設定されている。MSBファースト前詰めデータ入力に切り換えるにはTXDFSで設定する。
- チャンネルステータスは先頭48ビットのデータをマイコンインタフェースで書き込むことが出来る。
- TX0はTXOPRの停止設定またはTXMUTでL固定出力になる。



(0) : I<sup>2</sup>S データ入力



(1) : MSB ファースト前詰めデータ入力

図 11. 1: データ入力タイミング



### 11.1.3 バリディティフラグ入力(VI)

- RX5/VIの入力内容をVISELで切換えることによりRX5/VIからバリディティフラグを入力することが出来る。
- バリディティフラグの書き込みタイミングを以下に示す。バリディティフラグはマイコンインタフェースでも書き込むことが出来るが端子設定が優先する。
- マイコンインタフェースによるバリディティフラグの書き込みはVMODEで行う。

表11.1:RX5/VI入力

RX5/VI	出力条件
0	エラー無
1	エラー有

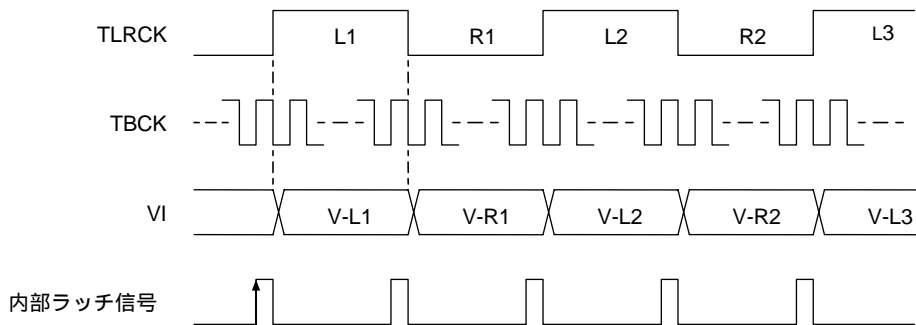


図 11.2:バリディティフラグ入力タイミング

### 11.1.4 ユーザデータ入力(UI)

- RX6/UIの入力内容をUISELで切換えることによりRX6/UIからユーザデータを入力することが出来る。
- ユーザデータの書き込みタイミングを以下に示す。
- プリアンブルBシンク信号を基準にユーザデータを書き込むことも可能である。プリアンブルBシンク信号の出力はDIR機能同様PBSEL[1:0]で設定する。設定後はCKST/PBから出力される。

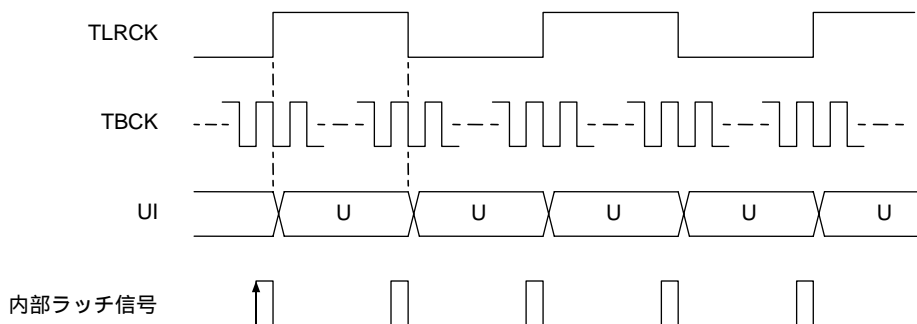


図 11.3:ユーザデータ入力タイミング

## 11.1.5 SDIN入力データの変調出力

- SDIN入力データを変調処理してその出力をTX0, RXOUTから取り出せる。
- SDIN入力データを変調するにはTDTSELで設定する。
- TMCK, TBCK, TLRCKにはSDINに同期したクロックを入力すること。
- SDIN入力データフォーマットは変調処理時の設定と一致させること。

## 11.1.6 モノラル出力

- TXMOD[1:0]で入力データの片チャンネルデータのみを入力 $f_s$ の $1/2f_s$ レートで出力することが出来る。
- この動作はバイフェーズの規則性は守られるがデータとプリアンプルの相関はない。
- チャンネルステータスの書き込みは出力レートに同期する。
- バリディティフラグ、ユーザデータはフレーム単位での書き込みとなる。L, Rチャンネル共に同じデータを入力すること。
- この設定で2チャンネルのステレオ信号を処理する場合はLC89057W-VF4A-Eが2個必要となる。

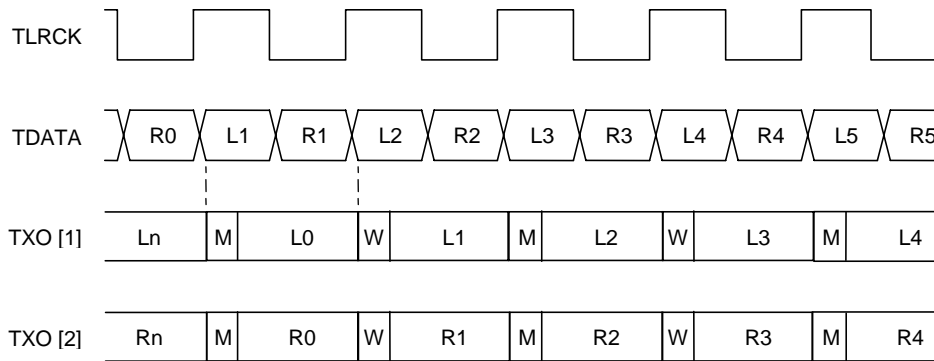


図 11.4: 片チャンネルデータ変調

## 11.2 汎用I/O(PI00,PI01,PI02,PI03,PIOEN)

### 11.2.1 初期設定

- ・変調機能と汎用パラレルI/Oは端子を共有しているため同時に使用できない。汎用I/Oを利用するには $\overline{\text{INT}}$ を10k $\Omega$ 抵抗でプルアップする。設定方法の詳細については9章を参照すること。
- ・汎用パラレルI/Oの出力機能はマイコンインタフェースより入力されたシリアルデータをパラレル変換してPI00, PI01, PI02, PI03から出力する。入力機能はPI00, PI01, PI02, PI03へ入力されたパラレルデータを内部レジスタに記憶してそのレジスタ内容をマイコンインタフェースで読み出す。
- ・4ビットの汎用I/Oを入出力混在で使用することは出来ない。入出力の切り換えはPIOENで行う。PIOENがHの時は汎用I/Oは全て入力端子になる。PIOENがLの時、汎用I/Oは全て出力端子になる。

### 11.2.2 入出力設定

- ・汎用I/Oにおけるデータのやり取りにはマイコンインタフェースと書き込み/読み出しレジスタを使用する。これらの詳細については、マイコンインタフェースの説明も参照すること。
- ・汎用I/Oの書き込み設定 (マイコン→書き込みレジスタ→汎用I/O出力)
  - (1) 汎用I/Oからデータを出力する場合はPIOENをLにする。
  - (2) 出力するデータをCCBアドレス0xE8、コマンドアドレス0x10、入力レジスタDI12~DI15に設定する。
  - (3) 書き込み時は変調機能設定レジスタのDI8~DI11には必ず0を入力すること。
  - (4) PI[3:0]へ書き込まれたデータが汎用I/Oから出力される。
- ・汎用I/Oの読み出し設定(汎用I/O入力→読み出しレジスタ→マイコン)
  - (1) 汎用I/Oにデータを入力する場合はPIOENをHにする。
  - (2) 入力されたデータはCCBアドレス0xEB、出力レジスタD00~D03に格納される。
  - (3) PI[3:0]を読み出すことでデータをマイコンへ送ることが出来る。

# LC89057W-VF4A-E

## 12 マイコンインタフェース( $\overline{\text{INT}}$ , CL, CE, DI, DO)

### 12.1 マイコンインタフェースの説明

#### 12.1.1 割り込み出力( $\overline{\text{INT}}$ )

- 割り込み出力はPLLのロック状態や出力データ情報などに変化が生じた時に出力する。
- 割り込み出力は割り込み要因を選択するレジスタとその状態遷移を出力する  $\overline{\text{INT}}$  端子、および割り込みの要因データを格納するレジスタから構成される。
- 通常  $\overline{\text{INT}}$  はH出力状態で割り込み要因の発生によってLを出力する。L出力後はINTOPFの設定に従いHに戻る。
- INTOPFで一定期間Lパルスを保持しHレベルにクリアするか、もしくは出力レジスタの読み出しと同時にクリアするかを選択する。
- 割り込み要因は以下の項目から選択する。この項目はCCBアドレス0xE8、コマンドアドレス0x08の内容で同時に複数の要因項目を設定することが出来る。 $\overline{\text{INT}}$  は選択した割り込み要因のOR演算結果が出力される。

$$\overline{\text{INT}} \text{ 出力} = (\text{選択要因1}) + (\text{選択要因2}) + \dots + (\text{選択要因n})$$

表12.1: 割り込み要因設定内容の説明

No.	コマンド名	内容
1	ERROR	RERR端子の状態が変化した時に出力する
2	INDET	入力データ端子状態が変化した時に出力する(発振アンプ動作条件有)
3	FSCHG	入力fsの算出結果が変化した時に出力する(発振アンプ動作条件有)
4	CSRNW	先頭48ビットチャンネルステータスデータが更新された時に出力する
5	UNPCM	$\overline{\text{AUDIO}}$ 端子の状態が変化した時に出力する
6	PCRNW	バーストプリアンプPcが更新された時に出力する
7	SLIPO	スレーブ設定時のデータ2度読み、欠落が発生した時に出力する
8	EMPF	エンファシス情報が変化した時に出力する

- 設定した割り込み要因の内容は要因発生時にCCBアドレス0xEAの出力レジスタD08~D015に格納される。但し、要因項目1、5に対する読み出しレジスタはそれぞれ読み出し時のRERRおよび $\overline{\text{AUDIO}}$ 端子の状態が出力される。要因項目1、5を除くその他のデータについては要因発生時にレジスタに格納される。
- 要因項目2、3は発振アンプのクロックを使用するためPLLロック中もモニタする場合は発振アンプを連続動作モードに設定する必要がある。
- 要因発生後に $\overline{\text{INT}}$ を出力レジスタの読み出しと同時にクリアする動作は出力レジスタ0xEAが設定された直後に実施される。
- 要因発生後の $\overline{\text{INT}}$ 出力をLパルス出力モードに設定した場合のパルス幅は1割り込み要因に対して $1/2f_s \sim 3/2f_s$ 期間となる。

## 12.1.2 CCBフォーマット

- 各種機能の設定や情報の書き込み、読み出しをマイコンインタフェースで行う。
- マイコンインタフェースのデータフォーマットは当社オリジナルのシリアルバスフォーマット (CCB) に準拠しているがデータ出力方式にはオープンドレインではなくスリーステートを採用している。
- データの入出力はCCBアドレス入力後に行う。データの入出力タイミングについては入出力タイミング図を参照すること。

表12.2: レジスタ入出力内容とCCBアドレスの関係

レジスタ入出力内容	R/W	CCB address	B0	B1	B2	B3	A0	A1	A2	A3
機能設定データ入力	Write	0xE8	0	0	0	1	0	1	1	1
CSデータ入力	Write	0xE9	1	0	0	1	0	1	1	1
割り込みデータ出力	Read	0xEA	0	1	0	1	0	1	1	1
fsデータ出力	Read	0xEB	1	1	0	1	0	1	1	1
CSデータ出力	Read	0xEC	0	0	1	1	0	1	1	1
Pcデータ出力	Read	0xED	1	0	1	1	0	1	1	1

## 12.1.3 データ書き込み方法

- A0～A3およびB0～B3のCCBアドレス、DI0およびDI1のチップアドレス、DI4～DI7のコマンドアドレス、DI8～DI15のデータの順で入力する。DI2およびDI3はシステムで予約済みである。0を入力すること。
- チップアドレスはDI0がCAL(下位)、DI1がCAU(上位)に対応する。詳細は9.2を参照すること。

## 12.1.4 データ読み出し方法

- 読み出したデータはDOから出力される。DOはCEがL期間ではハイインピーダンス状態となりCCBアドレスで出力設定が成立した後のCEの立ち上がりから出力を開始する。その後CEを立ち下げることによってハイインピーダンス状態に戻る。
- LC89057W-VF4A-Eを複数個使用してDO出力を共有する場合はDOENの設定でデータ読み出し対象外のLC89057W-VF4A-EのDO出力を常時ハイインピーダンス状態に設定することが出来る。この設定により目的の出力のみを読み出すことが出来る。

12.1.5 入出力タイミング

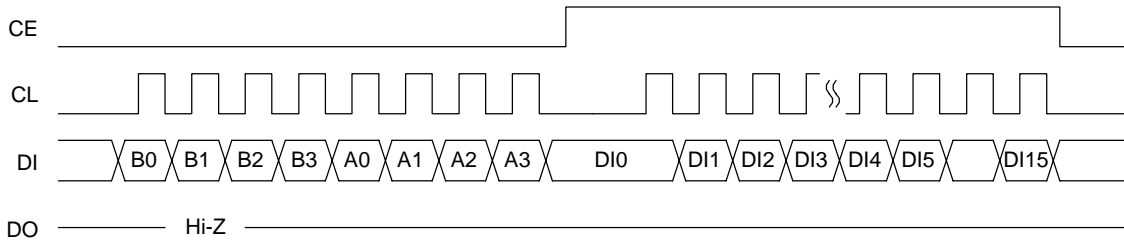


図12.1: 入力タイミング図 (Normal L clock)

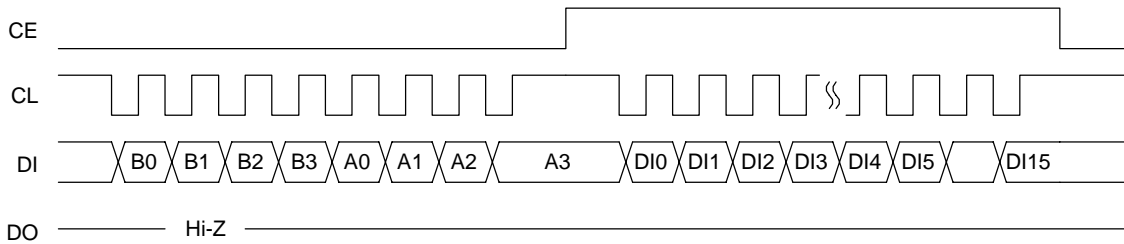


図12.2: 入力タイミング図 (Normal H clock)

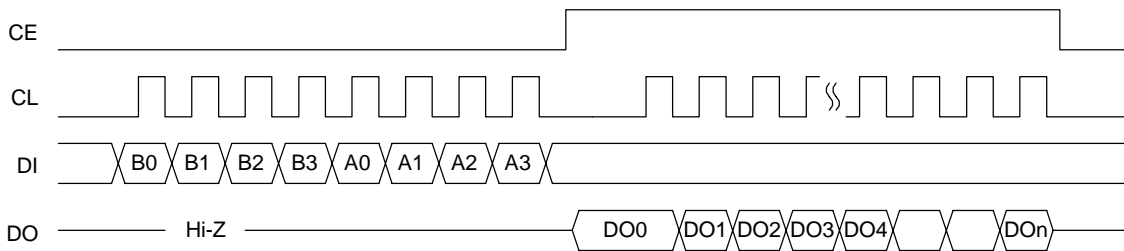


図12.3: 出力タイミング図 (Normal L clock)

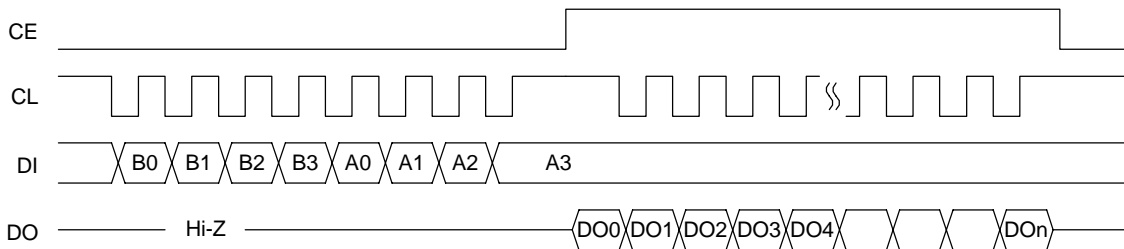


図12.4: 出力タイミング図 (Normal H clock, D00はポートで読む必要がある)

# LC89057W-VF4A-E

## 12.2 書き込みデータ

### 12.2.1 書き込みコマンド一覧表

- ・書き込みコマンドの一覧を以下に示す。
- ・以下の表のコマンドを書き込む場合CCBアドレスは0xE8に設定すること。

Addr	設定項目	DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
0	全システム設定	TESTM	0	TXOPR	RXOPR	INTOPF	0	DOEN	SYSRST
1	復調システム設定	PBSEL1	PBSEL0	FSLIM1	FSLIM0	RXMON	AOSEL	VOSEL	UOSEL
2	マスタクロック	AMPOPR1	AMPOPR0	EXSYNC	PLLOPR	XMSEL1	XMSEL0	XINSEL	PLLSEL
3	R系統出力クロック	XRLRCK1	XRLRCK0	XRBACK1	XRBACK0	XRSEL1	XRSEL0	PRSEL1	PRSEL0
4	S系統出力クロック	XSLRCK1	XSLRCK0	XSBACK1	XSBACK0	PSLRCK1	PSLRCK0	PSBACK1	PSBACK0
5	ソース切換え	0	RDTMUT	RDTSTA	RDTSEL	0	RCKSEL	OCKSEL	SELMTD
6	データ入出力	RXOFF	ROSEL2	ROSEL1	ROSEL0	ULSEL	RISEL2	RISEL1	RISEL0
7	出力形式設定	SLRCKP	SBCKP	RLRCKP	RBCKP	0	OFSEL2	OFSEL1	OFSEL0
8	$\overline{\text{INT}}$ 要因選択	EMPF	SLIPO	PCRNW	UNPCM	CSRNW	FSCHG	INDET	ERROR
9	RERR条件設定	ERWT1	ERWT0	FSERR	RESTA	XTWT1	XTWT0	REDER	RESEL
10	変調システム設定	PI3	PI2	PI1	PI0	0	VMODE	VISEL	UISEL
11	変調データ設定	TCKSEL	0	TXMOD1	TXMOD0	TXMUT	TDTSEL	TXLRP	TXDFS
12	テスト	0	0	0	0	0	0	0	0
13	テスト	0	0	0	0	0	0	0	0
14	テスト	0	0	0	0	0	0	0	0
15	テスト	0	0	0	0	0	0	0	0

- ・DI8～DI15のコマンドエリアで0は予約ビットである。0を入力すること。
- ・コマンドアドレス0x12～0x15はテスト用に予約されている。書き込み禁止である。

## 12.2.2 書き込みコマンド詳細

CCB address:0xE8・command address:0・全システム設定

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
0	0	0	0	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
TESTM	0	TXOPR	RXOPR	INTOPF	0	DOEN	SYSRST

- SYSRST システムリセット
  - 0: リセットしない(初期値)
  - 1: コマンドレジスタ以外の回路をリセットする
- DOEN DO端子出力設定
  - 0: 出力する(初期値)
  - 1: 常時ハイインピーダンス状態にする(読み出し不可)
- INTOPF  $\overline{\text{INT}}$  端子出力設定
  - 0: 要因発生時にLレベル出力(初期値)
  - 1: 要因発生時にLパルス出力
- RXOPR 復調機能動作設定
  - 0: 動作(初期値)
  - 1: 停止
- TXOPR 変調機能動作設定
  - 0: 停止(初期値)
  - 1: 動作
- TESTM テストモード設定
  - 0: 通常動作(初期値)
  - 1: テストモードに入る

- ・SYSRSTによるリセット処理やRXOPRによる復調機能停止設定を行うとRBCK, SBCKはL出力、RLRCK, SLRCKはH出力となる。



## LC89057W-VF4A-E

CCB address:0xE8・command address:1・復調機能:システム設定

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
0	0	0	1	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
PBSEL1	PBSEL0	FSLIM1	FSLIM0	RXMON	AOSEL	VOSEL	UOSEL

UOSEL EMPHA/UO/CO 端子設定 (PBSEL1=0 設定時)

0 : EMPHA, エンファシス出力(初期値)

1 : UO, ユーザデータ出力

VOSEL  $\overline{\text{AUDIO}}$  /VO 端子設定

0 :  $\overline{\text{AUDIO}}$ , チャネルステータスビット 1 出力(初期値)

1 : VO, バリディティフラグ出力

AOSEL  $\overline{\text{AUDIO}}$  /VO 端子で  $\overline{\text{AUDIO}}$  設定時の出力内容設定

0 : チャネルステータスビット 1 のみ出力(初期値)

1 : チャネルステータスビット 1、IEC61937、DTS-CD/LD 検出フラグ出力

RXMON デジタルデータ入力状態監視機能設定

0 : データ入力状態を監視しない(初期値)

1 : データ入力状態を監視する

FSLIM[1:0] 入力デジタルデータ信号の標本化周波数受信範囲設定

00 : 制限しない(初期値)

01 :  $f_s \leq 96\text{kHz}$

10 :  $f_s \leq 48\text{kHz}$

11 : Reserved

PBSEL[1:0]  $\overline{\text{CKST}}$  /PB 端子設定

00 :  $\overline{\text{CKST}}$ , クロック切換え遷移期間信号出力(初期値)

01 : PB, DIT 機能時のプリアンプル B シンク信号出力

10 : PB, DIR 機能時のプリアンプル B シンク信号出力

11 : Reserved

- PBSEL1 を 1 に設定した場合 EMPHA/UO/CO 端子はチャネルステータスデータ出力端子 CO となり UOSEL の設定は無効になる。PBSEL1 を 0 に設定した場合 EMPHA/UO/CO 端子は UOSEL の設定に従う。
- AOSEL の設定は VOSEL でチャネルステータスビット 1 出力を選択した場合に有効となる。AOSEL で 1 を選択した場合、チャネルステータスのビット 1 や IEC61937、DTS-CD/LD の非 PCM 同期信号のいずれかが検出された時  $\overline{\text{AUDIO}}$  /VO 端子から H が出力される。

## LC89057W-VF4A-E

CCB address:0xE8・command address:2・復調機能:マスタクロック設定

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
0	0	1	0	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
AMPOPR1	AMPOPR0	EXSYNC	PLLOPR	XMSEL1	XMSEL0	XINSEL	PLLSEL

- PLLSEL PLLロック周波数設定  
0 : 512fs ( $f_s \leq 96\text{kHz}$ で使用) (初期値)  
1 : 256fs
- XINSEL XIN入力周波数設定  
0 : 12.288MHz (初期値)  
1 : 24.576MHz
- XMSEL[1:0] XMCK出力周波数設定  
00 : XIN入力周波数の1/1 (初期値)  
01 : XIN入力周波数の1/2  
10 : Reserved  
11 : ミュート
- PLLOPR PLL (VCO) 動作設定  
0 : 動作 (初期値)  
1 : 停止
- EXSYNC PLL未使用復調機能 (外部同期機能) 設定  
0 : PLL使用通常動作 (初期値)  
1 : PLL未使用外部同期動作  
(TMCK $\sim$ 256fsクロックをPLLSELに合わせることに)
- AMPOPR[1:0] 発振アンプ動作設定  
00 : PLLロック時発振アンプ自動停止 (初期値)  
01 : 常時連続動作  
10 : Reserved  
11 : 停止

- PLLロック中にPLLOPRでPLLを停止すると出力クロックは全てミュートされPLLがアンロックになってもミュート状態が継続される。
- PLLロック中にAMPOPR[1:0]で常時連続動作設定を行うとRERRが一旦エラー状態になる。但し、FSERRで $f_s$ が変化してもPLLの状態に従いエラーとしない設定が成されていればRERRの状態を維持して設定することが出来る。
- AMPOPR[1:0]による発振アンプ自動停止モード設定時、PLLロック中に入力 $f_s$ がPLLのキャプチャレンジ内で変化しロックエラーにならない場合、発振アンプ停止状態においては $f_s$ の算出が行われないので入力データの $f_s$ と $f_s$ 算出結果が異なる場合が生じる。但し、チャンネルステータスの $f_s$ 情報が入力データの変化とともに書き変わっていればこの情報はエラーフラグに反映され入力データの $f_s$ 算出が実行される。発振アンプ常時連続動作設定時は常時 $f_s$ 算出が行われるので $f_s$ の変化は常にエラーフラグに反映される。

## LC89057W-VF4A-E

CCB address:0xE8・command address:3・復調機能:R系統出力クロック設定

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
0	0	1	1	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
XRLRCK1	XRLRCK0	XRBACK1	XRBACK0	XRSEL1	XRSEL0	PRSEL1	PRSEL0

PRSEL[1:0] PLLロック時のRMCK出力周波数設定  
00 : PLLSEL設定周波数の1/2(初期値)  
01 : PLLSEL設定周波数の1/1  
10 : PLLSEL設定周波数の1/4  
11 : ミュート

XRSEL[1:0] XINソース時のRMCK出力周波数設定  
00 : XINSEL設定周波数の1/1(初期値)  
01 : XINSEL設定周波数の1/2  
10 : XINSEL設定周波数の1/4  
11 : ミュート

XRBACK[1:0] XINソース時のRBCK出力周波数設定  
00 : 3.072MHz出力(初期値)  
01 : 6.144MHz出力  
10 : 12.288MHz出力  
11 : ミュート

XRLRCK[1:0] XINソース時のRLRCK出力周波数設定  
00 : 48kHz出力(初期値)  
01 : 96kHz出力  
10 : 192kHz出力  
11 : ミュート

- ・ XINソース時においてRMCKの周波数がRBCKより低い設定ではRBCKからは3.072MHzが出力される。SBCKも同様である。

## LC89057W-VF4A-E

CCB address:0xE8・command address:4・復調機能:S系統出力クロック設定

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
0	1	0	0	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
XSLRCK1	XSLRCK0	XSBCK1	XSBCK0	PSLRCK1	PSLRCK0	PSBCK1	PSBCK0

PSBCK[1:0] PLLロック時のSBCK出力周波数設定

00 : 64fs出力(初期値)

01 : 128fs出力

10 : 32fs出力

11 : ミュート

PSLRCK[1:0] PLLロック時のSLRCK出力周波数設定

00 : fs出力(初期値)

01 : 2fs出力

10 : fs/2出力

11 : ミュート

XSBCK[1:0] XINソース時のSBCK出力周波数設定

00 : 3.072MHz出力(初期値)

01 : 6.144MHz出力

10 : 12.288MHz出力

11 : ミュート

XSLRCK[1:0] XINソース時のSLRCK出力周波数設定

00 : 48kHz出力(初期値)

01 : 96kHz出力

10 : 192kHz出力

11 : ミュート

## LC89057W-VF4A-E

CCB address:0xE8・command address:5・復調機能:クロックソース・RDATA出力設定

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
0	1	0	1	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
0	RDTMUT	RDTSTA	RDTSEL	0	RCKSEL	OCKSEL	SELMTD

- SELMTD 出力クロックソース切換え方法設定  
0: OCKSELに従ってR系、S系を同時に切換える(初期値)  
1: RCKSELに従ってR系を切換える、S系はXINソースに固定
- OCKSEL SELMTD=0設定時のクロックソース設定  
0: PLLアンロック時、ソースとしてXINクロックを使用(初期値)  
1: PLL状態に関わらず、ソースとしてXINクロックを使用
- RCKSEL SELMTD=1設定時のクロックソース設定  
0: PLLアンロック時、ソースとしてXINクロックを使用(初期値)  
1: PLL状態に関わらず、ソースとしてXINクロックを使用
- RDTSEL PLLアンロック時のRDATA出力設定  
0: PLLアンロック時、SDINデータを出力(初期値)  
1: PLLアンロック時、ミュートする
- RDTSTA RDATA出力設定  
0: RDTSELに従う(初期値)  
1: PLL状態に関わらず、SDIN入力データを出力
- RDTMUT RDATAミュート設定  
0: RDTSELで選択したデータを出力(初期値)  
1: ミュート

- OCKSEL, RCKSELはAMPOPR[1:0]で発振アンプを常時連続動作またはFSERRで $f_s$ の変化をエラーフラグに反映しない設定の時RERRの状態を維持してクロックソースを切換えることが出来る。しかしいずれの設定も成されていない場合は切換え時にRERRが一旦エラーを出力する。
- SDINへデータを入力する場合にはSDIN入力データに同期したクロックを選択すること。
- PLLロック状態を維持してXINソースへ切換えることが可能である。但し、クロックとデータ出力の切換えは各々で設定可能なため、XINソース切換え時の出力データはミュートもしくはSDINデータを選択されることを推奨する。
- 発振アンプがPLLのロックと共に自動停止する設定が選択されている場合、PLLロック状態からのXINソース切換えは振動子が安定発振した後に実行される。また、この時の出力データの切換えもXINソース切換えに従う。

## LC89057W-VF4A-E

CCB address:0xE8・command address:6・復調機能:デジタルデータ入出力ポート設定

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
0	1	1	0	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
RXOFF	ROSEL2	ROSEL1	ROSEL0	ULSEL	RISEL2	RISEL1	RISEL0

RISEL[2:0] データ復調入力端子設定

000 : RX0選択(初期値)

001 : RX1選択

010 : RX2選択

011 : RX3選択

100 : RX4選択

101 : RX5選択(但し、VISEL設定時はVI入力になる)

110 : RX6選択(但し、UISEL設定時はUI入力になる)

111 : 変調機能出力(TX0出力データ)選択

ULSEL PLLアンロック経由入力端子設定

0 : 通常設定(初期値)

1 : PLLアンロック経由入力データ切換え設定

ROSEL[2:0] RXOUT出力データ設定

000 : RX0入力データ(初期値)

001 : RX1入力データ

010 : RX2入力データ

011 : RX3入力データ

100 : RX4入力データ

101 : RX5/VI入力データ

110 : RX6/UI入力データ

111 : 変調機能出力(TX0出力データ)選択

RXOFF RXOUT出力状態設定

0 : ROSEL[2:0]選択データ出力(初期値)

1 : L固定出力

- ・ULSELはAMPOPR[1:0]で発振アンプが常時連続動作になっている時設定が可能となる。発振アンプが停止状態では正常に機能しない。

## LC89057W-VF4A-E

CCB address:0xE8・command address:7・復調機能:出力データフォーマット設定

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
0	1	1	1	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
SLRCKP	SBCKP	RLRCKP	RBCKP	0	OFSEL2	OFSEL1	OFSEL0

OFSEL[2:0] オーディオデータ出力フォーマット設定

000 : I<sup>2</sup>Sデータ出力(初期値)

001 : MSBファースト前詰データ出力

010 : 24ビットMSBファースト後詰データ出力

(マスタモードのみ)

011 : 20ビットMSBファースト後詰データ出力

(マスタモードのみ)

100 : 16ビットMSBファースト後詰データ出力

(マスタモードのみ)

101 : Reserved

110 : Reserved

111 : Reserved

RBCKP RBCK出力極性設定

0 : 立ち下がりRDATAデータ変化(初期値)

1 : 立ち上がりRDATAデータ変化

RLRCKP RLRCK出力極性設定

0 : L期間 : L-chデータ、H期間 : R-chデータ(初期値)

1 : L期間 : R-chデータ、H期間 : L-chデータ

SBCKP SBCK出力極性設定

0 : 立ち下がりRDATAデータ変化(初期値)

1 : 立ち上がりRDATAデータ変化

SLRCKP SLRCK出力極性設定

0 : L期間 : L-chデータ、H期間 : R-chデータ(初期値)

1 : L期間 : R-chデータ、H期間 : L-chデータ

- ・データ出力フォーマットとRLRCKの出力極性はそれぞれ独立して行うことができる。各データ出力フォーマットに合わせてRLRCKの極性を設定すること。

## LC89057W-VF4A-E

CCB address:0xE8・command address:8・復調機能:  $\overline{\text{INT}}$  出力内容設定

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
1	0	0	0	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
EMPF	SLIPO	PCRNW	UNPCM	CSRNW	FSCHG	INDET	ERROR

ERROR	RERR信号出力設定 0: 出力しない(初期値) 1: RERR端子状態変化を出力する
INDET	入力データ検出出力設定 0: 出力しない(初期値) 1: 入力データ端子状態変化を出力する
FSCHG	PLLロック周波数算出結果の更新フラグ出力設定 0: 出力しない(初期値) 1: PLLロック周波数算出結果の更新フラグを出力する
CSRNW	先頭48ビットチャンネルステータスデータ更新フラグ出力設定 0: 出力しない(初期値) 1: 先頭48ビットチャンネルステータスデータ更新フラグを出力する
UNPCM	非PCMデータ検出変化フラグ出力設定 0: 出力しない(初期値) 1: $\overline{\text{AUDIO}}$ 端子状態変化を出力する
PCRNW	バーストプリアンブルPc更新フラグ出力設定 0: 出力しない(初期値) 1: バーストプリアンブルPc更新フラグを出力する
SLIPO	スレーブ動作時スリップ信号出力設定 0: 出力しない(初期値) 1: データ出力の2度読み、欠落検出フラグを出力する
EMPF	エンファシス検出フラグ出力設定 0: 出力しない(初期値) 1: エンファシス検出フラグを出力する

- ・チャンネルステータスの更新フラグは1ブロック前の先頭48ビットのデータと今のデータを比較して同一の場合に更新されたと見なしフラグを出力する。
- ・バーストプリアンブルPcの更新フラグも16ビットのデータについて1ブロック前のデータと今のデータが一致した時に更新フラグを出力する。



## LC89057W-VF4A-E

CCB address:0xE8・command address:9・復調機能:RERR出力設定

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
1	0	0	1	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
ERWT1	ERWT0	FSERR	RESTA	XTWT1	XTWT0	REDER	RESEL

- RESEL    RERR出力内容設定
  - 0 : PLLロックエラーまたはデータエラー(初期値)
  - 1 : PLLロックエラーまたはデータエラーまたは非PCMデータ
- REDER    8回連続以内のパリティエラーフラグ出力設定
  - 0 : 非PCMデータ認識時のみ出力する(初期値)
  - 1 : エラーの発生したサブフレームの間だけ出力する
- XTWT[1:0]    PLLアンロック後クロック切換え待ち時間設定
  - 00 : 発振アンプ起動後約200 $\mu$ s後にクロック切換え(初期値)
  - 01 : 発振アンプ起動後約100 $\mu$ s後にクロック切換え
  - 10 : 発振アンプ起動後約50 $\mu$ s後にクロック切換え
  - 11 : PLLアンロック後クロック切換え
- RESTA    RERR出力条件設定
  - 0 : 常時PLL状態を出力(XINソース時もPLL状態を出力)  
(初期値)
  - 1 : 強制的にエラー出力する(RERRを強制的にHレベルにする)
- FSERR    fs変化によるエラーフラグの出力条件設定
  - 0 : fsの変化をエラーフラグへ反映する(初期値)
  - 1 : fsの変化をエラーフラグへ反映しない
- ERWT[1:0]    PLLロック後RERR待ち時間設定
  - 00 : プリアンブルBを3カウント後にエラー解除する(初期値)
  - 01 : プリアンブルBを24カウント後にエラー解除する
  - 10 : プリアンブルBを12カウント後にエラー解除する
  - 11 : プリアンブルBを6カウント後にエラー解除する

- ・非PCMデータはA0SELで定義したデータが反映される。すなわち、 $\overline{\text{AUDIO}}$ に出力される検出データと同じになる。
- ・RESELで非PCMデータによりエラーが発生した場合、出力データはミュートされる。
- ・RESTA設定はデータ、クロック出力端子に影響しない。
- ・FSERRは発振アンプ停止状態でのfs算出結果は反映されない。この場合のfs変化はチャンネルステータスfs情報のみとなる。
- ・ERWT[1:0]はPLLロック後にRERRがエラー解除Lを出力するまでの時間を定義する設定である。復調後のオーディオデータはRERRのエラー解除後に出力されるためデータの頭切れなどが問題になる場合はこの設定を変更すること。

## LC89057W-VF4A-E

CCB address:0xE8・command address:10・変調機能:システム設定、汎用I/Oデータ入力

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
1	0	1	0	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
PI3	PI2	PI1	PI0	0	VMODE	VISEL	UISEL

- UISEL RX6/UI端子設定  
0 : RX6, 復調機能データ入力(初期値)  
1 : UI, 変調機能ユーザデータ入力
- VISEL RX5/VI端子設定  
0 : RX5, 復調機能データ入力(初期値)  
1 : VI, 変調機能バリディティフラグ入力
- VMODE 変調機能Vフラグ設定  
0 : 0を書き込む(初期値)  
1 : 1を書き込む
- PI0 汎用I/O, PI00出力設定時のデータ入力  
0 : Lを出力(初期値)  
1 : Hを出力
- PI1 汎用I/O, PI01出力設定時のデータ入力  
0 : Lを出力(初期値)  
1 : Hを出力
- PI2 汎用I/O, PI02出力設定時のデータ入力  
0 : Lを出力(初期値)  
1 : Hを出力
- PI3 汎用I/O, PI03出力設定時のデータ入力  
0 : Lを出力(初期値)  
1 : Hを出力

- ・汎用I/O PI00～PI03を出力として使用する場合はPIOENをLに設定すること。

## LC89057W-VF4A-E

CCB address:0xE8・command address:11・変調機能:デジタルオーディオ入出力設定

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
1	0	1	1	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
TCKSEL	0	TXMOD1	TXMOD0	TXMUT	TDTSEL	TXLRP	TXDFS

- TXDFS TDATA入力データフォーマット設定  
0: I<sup>2</sup>Sデータ入力(初期値)  
1: MSBファースト前詰めデータ入力
- TXLRP TLRCK入力クロック極性設定  
0: L期間: L-chデータ、H期間: R-chデータ(初期値)  
1: L期間: R-chデータ、H期間: L-chデータ
- TDTSEL 入力データ設定  
0: TDATA入力データ(初期値)  
1: SDIN入力データ
- TXMUT TXO出力設定  
0: 変調データ出力(初期値)  
1: L固定出力
- TXMOD[1:0] モード設定  
00: 通常動作(L-ch, R-chステレオモード)(初期値)  
01: L-ch連続(時分割モード)  
10: R-ch連続(時分割モード)  
11: Reserved
- TCKSEL TMCK 入力クロック周波数設定  
0: 256fs(初期値)  
1: 128fs

- TMCKに256fsクロックを入力する場合TMCKの立ち上がりにTBCKの立ち下がりが同期していること。  
またTMCKに128fsクロックを入力する場合はTMCKの立ち下がりにTBCKの立ち下がりが同期していること。

12.2.3 チャンネルステータスデータ書き込み

- ・変調機能でのチャンネルステータスデータ書き込みはCCBアドレスを0xE9に設定すること。
- ・DI0～DI7はチャンネルステータスビットではない。DI0, DI1にはチップアドレスを必ず入力すること。DI2, DI3, DI7はシステムで予約済みのため0を入力すること。DI4～DI6でチャンネルステータスデータの書き込み長を選択する。8ビット単位で最大48ビットまで設定が可能である。
- ・CEを立ち上げ後クロックはDI0～DI7と書き込みデータ長を合わせたクロックを入力してCEを立ち下げる。例えばDI4～DI6でbit15までデータを書き込む場合はCE立ち上げ中のCLは24クロックとなる。この設定を誤ると正しく書き込みが行われない。
- ・入力データはCEの立ち下がり以降のプリアンプルBから書き込まれる。

表12.3: 入力データ長設定レジスタとデータ長の関係

DI6	DI5	DI4	入力可能なデータ範囲
0	0	0	bit0～bit7
0	0	1	bit0～bit15
0	1	0	bit0～bit23
0	1	1	bit0～bit31

DI6	DI5	DI4	入力可能なデータ範囲
1	0	0	bit0～bit39
1	0	1	bit0～bit47
1	1	0	Reserved
1	1	1	Reserved

表12.4: 入力設定 – 変調機能チャンネルステータスデータ設定 – (CCB address:0xE9)

レジスタ	ビットNo.	内容
DI0	CAL	下位チップアドレス
DI1	CAU	上位チップアドレス
DI2	0	Reserved
DI3	0	Reserved
DI4	0	データ長設定
DI5	0	
DI6	0	
DI7	0	Reserved
DI8	bit0	用途
DI9	bit1	コントロール
DI10	bit2	
DI11	bit3	
DI12	bit4	
DI13	bit5	
DI14	bit6	未規定
DI15	bit7	未規定
DI16	bit8	カテゴリコード
DI17	bit9	
DI18	bit10	
DI19	bit11	
DI20	bit12	
DI21	bit13	
DI22	bit14	
DI23	bit15	
DI24	bit16	ソース番号
DI25	bit17	
DI26	bit18	
DI27	bit19	

レジスタ	ビットNo.	内容
DI28	bit20	チャンネル番号
DI29	bit21	
DI30	bit22	
DI31	bit23	
DI32	bit24	標準化周波数
DI33	bit25	
DI34	bit26	
DI35	bit27	未規定
DI36	bit28	クロック精度
DI37	bit29	
DI38	bit30	未規定
DI39	bit31	
DI40	bit32	
DI41	bit33	ビット幅
DI42	bit34	
DI43	bit35	
DI44	bit36	
DI45	bit37	未規定
DI46	bit38	
DI47	bit39	
DI48	bit40	
DI49	bit41	
DI50	bit42	
DI51	bit43	
DI52	bit44	
DI53	bit45	
DI54	bit46	
DI55	bit47	

## 12.3 読み出しデータ

### 12.3.1 読み出しコマンド一覧表

- ・読み出しは以下の項目について行うことができる。
  - －デジタルデータ入力状態モニタ出力
  - －割り込みデータ出力
  - －汎用I/O入力データ出力
  - －fs算出結果、fsカウンタデータ(8bit)出力
  - －チャンネルステータス先頭48ビット出力
  - －バーストプリアンプルPcデータ出力
- ・CCBアドレス0xEB、出力レジスタD016～D023はテスト用である。

表12.5: 読み出しレジスタ一覧

読み出しレジスタ名	0xEA	0xEB	0xEC	0xED
D00	RXDET0	P00	CS bit0	Pc bit0
D01	RXDET1	P01	CS bit1	Pc bit1
D02	RXDET2	P02	CS bit2	Pc bit2
D03	RXDET3	P03	CS bit3	Pc bit3
D04	RXDET4	FSC0	CS bit4	Pc bit4
D05	RXDET5	FSC1	CS bit5	Pc bit5
D06	RXDET6	FSC2	CS bit6	Pc bit6
D07	RXDET7	FSC3	CS bit7	Pc bit7
D08	OERROR	FSDAT0	CS bit8	Pc bit8
D09	OINDET	FSDAT1	CS bit9	Pc bit9
D010	OFSCHG	FSDAT2	CS bit10	Pc bit10
D011	OCSRNW	FSDAT3	CS bit11	Pc bit11
D012	OUNPCM	FSDAT4	CS bit12	Pc bit12
D013	OPCRNW	FSDAT5	CS bit13	Pc bit13
D014	OSLIPO	FSDAT6	CS bit14	Pc bit14
D015	OEMPF	FSDAT7	CS bit15	Pc bit15
D016	CSBIT1	TEST0	CS bit16	—
D017	IEC1937	TEST1	CS bit17	—
D018	DTS51	TEST2	CS bit18	—
D019	DTSES	TEST3	CS bit19	—
D020	F0512	TEST4	CS bit20	—
D021	F1024	TEST5	CS bit21	—
D022	F2048	TEST6	CS bit22	—
D023	F4096	TEST7	CS bit23	—
D024	—	—	CS bit24	—
...	—	—	...	—
D046	—	—	CS bit46	—
D047	—	—	CS bit47	—

## LC89057W-VF4A-E

### 12.3.2 読み出しレジスタ1(入力検出、割り込みフラグ、IEC61937フラグ、DTS-CDフラグ)

CCB address:0xEA・読み出しレジスタ出力内容

D07	D06	D05	D04	D03	D02	D01	D00
RXDET7	RXDET6	RXDET5	RXDET4	RXDET3	RXDET2	RXDET1	RXDET0

- RXDET0 RX0入力検出  
0:RX0に入力データ無し  
1:RX0に入力データあり
- RXDET1 RX1入力検出  
0:RX1に入力データ無し  
1:RX1に入力データあり
- RXDET2 RX2入力検出  
0:RX2に入力データ無し  
1:RX2に入力データあり
- RXDET3 RX3入力検出  
0:RX3に入力データ無し  
1:RX3に入力データあり
- RXDET4 RX4入力検出  
0:RX4に入力データ無し  
1:RX4に入力データあり
- RXDET5 RX5入力検出  
0:RX5に入力データ無し  
1:RX5に入力データあり
- RXDET6 RX6入力検出  
0:RX6に入力データ無し  
1:RX6に入力データあり
- RXDET7 変調機能出力TX0データ検出  
0:変調機能出力TX0にデータ無し  
1:変調機能出力TX0にデータあり

- ・RXDET[7:0]の読み出しは事前にRXMONをH設定にする必要がある。

## LC89057W-VF4A-E

CCB address:0xEA・読み出しレジスタ出力内容

D015	D014	D013	D012	D011	D010	D09	D08
OEMPF	OSLIPO	OPCRNW	OUNPCM	OCSRNW	OFSCHG	OINDET	OERROR

- OERROR RERR出力(読み出し時の状態を出力)  
0: PLLロック状態で伝送エラー無  
1: PLLアンロック状態または伝送エラー有
- OINDET データ入力端子状態変化(読み出し後クリア)  
0: データ入力端子状態に変化無  
1: データ入力端子状態に変化有
- OFSCHG 入力fs算出更新結果(読み出し後クリア)  
0: 入力fs算出更新無  
1: 入力fs算出更新有
- OCSRNW 先頭48ビットチャンネルステータス更新結果(読み出し後クリア)  
0: 更新無  
1: 更新有
- OUNPCM  $\overline{\text{AUDIO}}$ 出力(読み出し時の状態を出力)  
0: 非PCM信号検出無  
1: 非PCM信号検出有
- OPCRNW バーストプリアンプルPc更新結果(読み出し後クリア)  
0: 更新無  
1: 更新有
- OSLIPO スレーブ動作時のデータ2度読み・欠落検出(読み出し後クリア)  
0: 検出無  
1: 2度読み・欠落有
- OEMPF チャンネルステータスエンファシス検出(読み出し時の状態を出力)  
0: プリエンファシス無  
1: 50/15 $\mu$ sプリエンファシス有

- OERROR, OUNPCMは $\overline{\text{INT}}$ 出力設定に関わらずRESEL, AOSELの設定に従ったRERR,  $\overline{\text{AUDIO}}$ の状態が読み出される。

# LC89057W-VF4A-E

CCB address:0xEA・読み出しレジスタ出力内容

D023	D022	D021	D020	D019	D018	D017	D016
F4096	F2048	F1024	F0512	DTS51	DTS51	IEC1937	CSBIT1

- CSBIT1 チャンネルステータスbit1検出  
0 : PCMである  
1 : 非PCMである
- IEC1937 IEC61937バーストプリアンプル検出  
0 : Pa, Pbを検出していない  
1 : Pa, Pbを検出した
- DTS51 DTS-CD/LD 5.1ch同期信号検出  
0 : DTS-CD/LD同期信号を検出していない  
1 : DTS-CD/LD同期信号を検出した
- DTS51 DTS ES-CD/LD 6.1ch同期信号検出  
0 : DTS ES-CD/LD同期信号を検出していない  
1 : DTS ES-CD/LD同期信号を検出した
- F0512 DTS-CD/LDのIEC60958フレーム間隔  
0 : 同期信号は512または1024フレーム間隔ではない  
1 : 同期信号は512または1024フレーム間隔である
- F1024 DTS-CD/LDのIEC60958フレーム間隔  
0 : 同期信号は1024または2048フレーム間隔ではない  
1 : 同期信号は1024または2048フレーム間隔である
- F2048 DTS-CD/LDのIEC60958フレーム間隔  
0 : 同期信号は2048または4096フレーム間隔ではない  
1 : 同期信号は2048または4096フレーム間隔である
- F4096 DTS-CD/LDのIEC60958フレーム間隔  
0 : 同期信号は4096フレーム間隔ではない  
1 : 同期信号は4096フレーム間隔である



## LC89057W-VF4A-E

### 12.3.3 読み出しレジスタ2(汎用I/O入力内容、fs算出結果、fsカウンタデータ)

CCB address:0xEB・読み出しレジスタ出力内容

D07	D06	D05	D04	D03	D02	D01	D00
FSC3	FSC2	FSC1	FSC0	P03	P02	P01	P00

- P00 汎用I/O, PI00入力設定時の読み出しデータ出力内容  
0 : PI00入力がL  
1 : PI00入力がH
- P01 汎用I/O, PI01入力設定時の読み出しデータ出力内容  
0 : PI01入力がL  
1 : PI01入力がH
- P02 汎用I/O, PI02入力設定時の読み出しデータ出力内容  
0 : PI02入力がL  
1 : PI02入力がH
- P03 汎用I/O, PI03入力設定時の読み出しデータ出力内容  
0 : PI03入力がL  
1 : PI03入力がH
- FSC[3:0] 入力データfs算出結果  
xxxx : コード表参照

表12.6: 入力fs算出結果コード表(Ta=25°C, AV<sub>DD</sub>=DV<sub>DD</sub>=3.3V)

FSC3	FSC2	FSC1	FSC0	ターゲット周波数	算出範囲(設計値)
0	0	0	0	Out of range	—
0	0	0	1	—	—
0	0	1	0	—	—
0	0	1	1	—	—
0	1	0	0	16kHz	15.4k~16.6kHz
0	1	0	1	22.05kHz	21.2k~22.9kHz
0	1	1	0	24kHz	23.1k~24.9kHz
0	1	1	1	32kHz	30.8k~33.3kHz
1	0	0	0	44.1kHz	42.4k~45.8kHz
1	0	0	1	48kHz	46.2k~49.9kHz
1	0	1	0	64kHz	61.5k~66.7kHz
1	0	1	1	88.2kHz	85.4k~91.7kHz
1	1	0	0	96kHz	93.1k~100.7kHz
1	1	0	1	128kHz	122.9k~133.5kHz
1	1	1	0	176.4kHz	170.7k~180.7kHz
1	1	1	1	192kHz	186.2k~198.1kHz

## LC89057W-VF4A-E

---

CCB address:0xEB・読み出しレジスタ出力内容

D015	D014	D013	D012	D011	D010	D09	D08
FSDAT7	FSDAT6	FSDAT5	FSDAT4	FSDAT3	FSDAT2	FSDAT1	FSDAT0

FSDAT[7:0] fsカウンタデータ出力

- FSDAT[7:0]はfs算出カウンタ値である。データ長は8ビットでFSDAT0がLSB、FSDAT7がMSBとなる。
- カウント値とfsの関係は以下の関係式で与えられる。

$$fs=6144/FSDAT \text{ [kHz]}$$

- fs算出は6.144MHzのクロックで行うので算出精度はこのクロックに従う。
- 算出カウンタ値は8ビット出力のため算出可能なfsは24kHzより以上となる。

12.3.4 読み出しレジスタ3(チャンネルステータス先頭48ビット読み出し)

- ・復調機能ではチャンネルステータスの先頭48ビットデータを読み出すことができる。
- ・読み出したチャンネルステータスデータはLSBファーストで出力される。
- ・読み出しはCCBアドレスを0xECに設定すること。
- ・CCBアドレス設定後のチャンネルステータスデータは更新されない。
- ・読み出しレジスタとチャンネルステータスデータの関係を示す。

表12.7:先頭48ビットチャンネルステータス読み出しレジスタ

レジスタ	ビットNo.	内容	レジスタ	ビットNo.	内容	
D00	bit0	用途	D024	bit24	標本化周波数	
D01	bit1	コントロール	D025	bit25		
D02	bit2		D026	bit26		
D03	bit3		D027	bit27		
D04	bit4		D028	bit28	クロック精度	
D05	bit5		D029	bit29		
D06	bit6	未規定	D030	bit30	未規定	
D07	bit7		D031	bit31		
D08	bit8	カテゴリーコード	D032	bit32	ビット幅	
D09	bit9		D033	bit33		
D010	bit10		D034	bit34		
D011	bit11		D035	bit35		
D012	bit12		ソース番号	D036	bit36	未規定
D013	bit13			D037	bit37	
D014	bit14			D038	bit38	
D015	bit15			D039	bit39	
D016	bit16	D040		bit40		
D017	bit17	D041		bit41		
D018	bit18	D042		bit42		
D019	bit19	D043		bit43		
D020	bit20	チャンネル番号	D044	bit44		
D021	bit21		D045	bit45		
D022	bit22		D046	bit46		
D023	bit23		D047	bit47		

## 12.3.5 読み出しレジスタ4(バーストプリアンブルPcデータ)

- ・復調機能ではバーストプリアンブルPcデータを読み出すことが出来る。
- ・バーストプリアンブルPcの16ビットデータはLSBファーストで出力される。
- ・読み出しはCCBアドレスを0xEDに設定すること。
- ・読み出しレジスタとバーストプリアンブルPcデータの間係を以下に示す。

表12.8:バーストプリアンブルPc読み出しレジスタ

レジスタ	ビットNo.	内容
D00	bit0	データタイプ
D01	bit1	
D02	bit2	
D03	bit3	
D04	bit4	
D05	bit5	Reserved
D06	bit6	
D07	bit7	エラー
D08	bit8	データタイプ依存情報
D09	bit9	
D010	bit10	
D011	bit11	
D012	bit12	
D013	bit13	ビットストリーム番号
D014	bit14	
D015	bit15	

## 12.4 バーストプリアンブルPcフィールド

- ・以下にバーストプリアンブルPcフィールドを示す。
- ・最新情報については各ライセンスから発行されている規格書で確認すること。

表12.9: バーストプリアンブルPcフィールド

レジスタ	値	内容
D04-0	0	NULLデータ
	1	ドルビーAC3データ
	2	Reserved
	3	ポーズ
	4	MPEG-1、レイヤー1データ
	5	MPEG-1、レイヤー2または3データまたは拡張なしMPEG-2
	6	拡張ありのMPEG-2データ
	7	Reserved
	8	MPEG-2、レイヤー1低サンプリングレート
	9	MPEG-2、レイヤー2または3低サンプリングレート
	10	Reserved
	11	DTS type1
	12	DTS type2
	13	DTS type3
	14	ATRAC
	15	ATRAC2/3
	16-26	Reserved
	27	Reserved (MPEG-4、AACデータ)
	28	MPEG-2、AACデータ
29-31	Reserved	
D06, 5	0	Reserved (0に設定)
D07	0	有効なバーストペイロードを示すエラーフラグ
	1	バーストペイロードに誤り有を示すエラーフラグ
D012-8		データタイプ依存情報
D015-13	0	ビットストリーム番号 (0に設定)

# LC89057W-VF4A-E

## 13 アプリケーション例

### 13.1 基本接続図

- ・電源端子にはデカップリング用の容量(0.1 $\mu$ F)を出来る限り端子の近くで接続すること。  
この容量には高周波特性の良好なセラミックコンデンサを使用すること。
- ・PLLループフィルタを構成する容量には温度係数の低いものを使用すること。

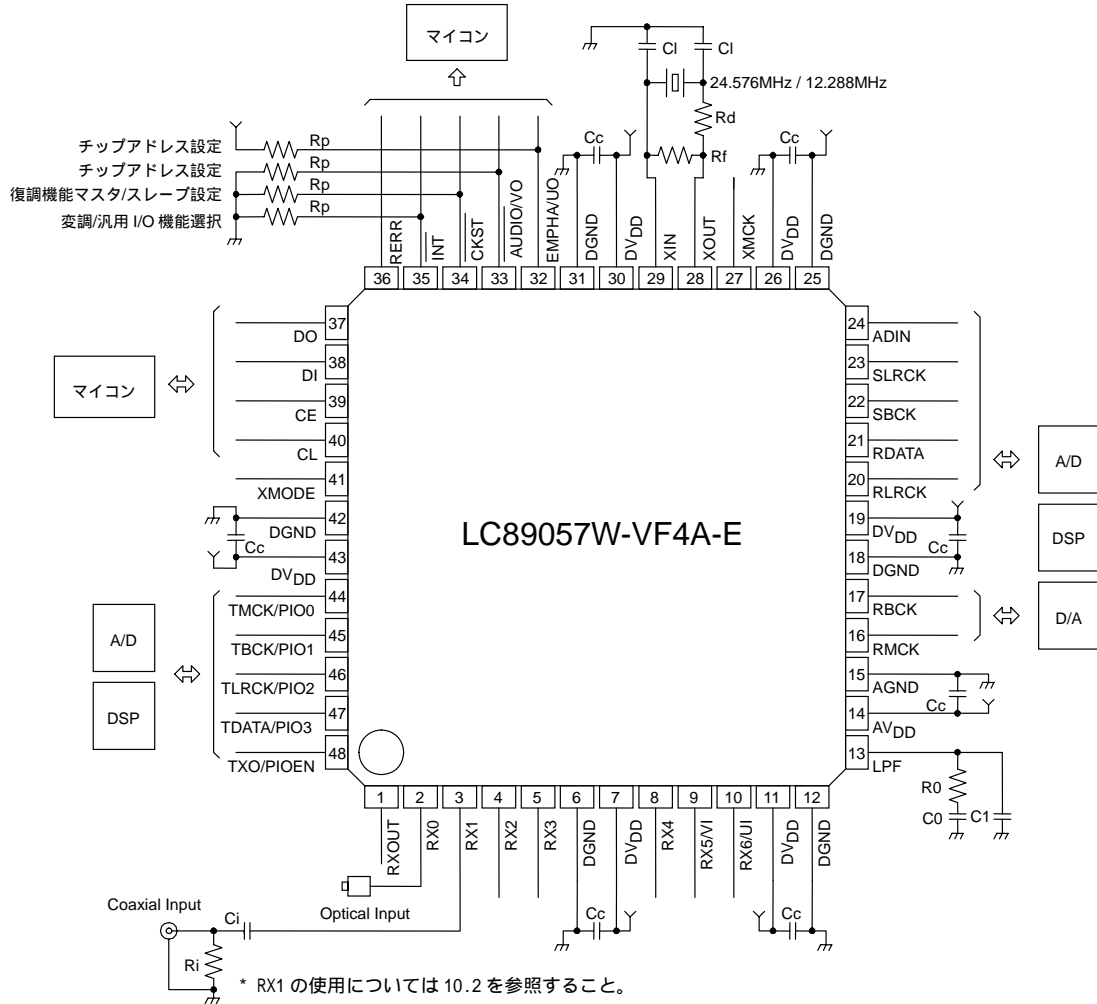


表12.1: 推奨回路定数 (\*\*は10.1.1を参照すること)

素子記号	推奨定数	用途	備考
Cc	0.1 $\mu$ F	電源デカップリング	セラミックコンデンサ
Rp	10k $\Omega$	機能設定	プルダウン/プルアップ抵抗
C1	1pF~33pF	水晶振動子負荷	NP0特性セラミックコンデンサ
Rf	1M $\Omega$	発振アンプ帰還	
Rd	220 $\Omega$	発振アンプ電流制限	
Ci	0.1 $\mu$ F	同軸入力DCカット	セラミックコンデンサ
Ri	75 $\Omega$	同軸入力終端	
C0	**	PLLループフィルタ	
C1	**	PLLループフィルタ	
R0	**	PLLループフィルタ	

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。[www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf)。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。