

パワーモジュールを使用した、 電気自動車OBCシステムの設計 とシミュレーション



ON Semiconductor®

www.onsemi.jp

APPLICATION NOTE

概要

世界的なバッテリー駆動電気自動車の需要の高まりにともない、オンボードチャージャ(OBC)市場が急速に成長しています。OBCシステムは、力率補正(PFC)を備えたAC-DCコンバータに、バッテリーへの電力供給を制御するDC-DCコンバータをカスケード接続した構成です。通常、3.3 kWチャージャでは2相インタリーブ型PFCをLLC方式のDC-DCコンバータと組み合わせます。オン・セミコンダクターは、優れた電気的性能と熱的性能を備え、高電力密度で高効率のチャージャを実現できる一連のパワーモジュールを開発しました。本アプリケーションノートでは、2種類のパワーモジュール(PFCのFAM65CR51DZ1とHブリッジのFAM65HR51DS1)を使用したOBCの設計と解析の詳細を説明します。詳細な回路シミュレーションにより、オンボードチャージャシステムにおけるこれらのパワーモジュールの性能を明示します。

OBCの概要

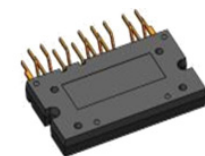
Figure 1にFAM65CR51DZ1およびFAM65HR51DS1両モジュールに共通のパッケージを示し、Figure 2に代表的なOBCシステムのブロック図を示します。PFCブロックは、AC電力網(85~265 Vac)からの入力、入力フィルタ、ブリッジ整流器、およびブーストコンバータで構成されています。DC/DCコンバータブロックには、2相Hブリッジ、LLCタンク回路、絶縁トランス、出力ブリッジ整流器、および出力フィルタが含まれています。

一般的なPFCブロック

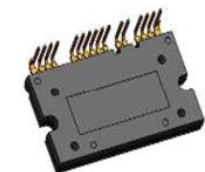
PFCブロックは、AC入力電圧と同位相のAC入力電流を引き込み、力率(PF)を最大化して、電力網の高調波歪を最小限に抑えます。理想的な場合、高調波歪なく力率が1に維持されます。PFCステージは、一般的な制御では、OBCシステムに対しては $0.97 > PF > 1.0$ の力率を保持します。



(a) Bottom View



(b) Top View (Y-Form)



(c) Top View (L-Form)

Figure 1. FAM65CR51DZ1 Module

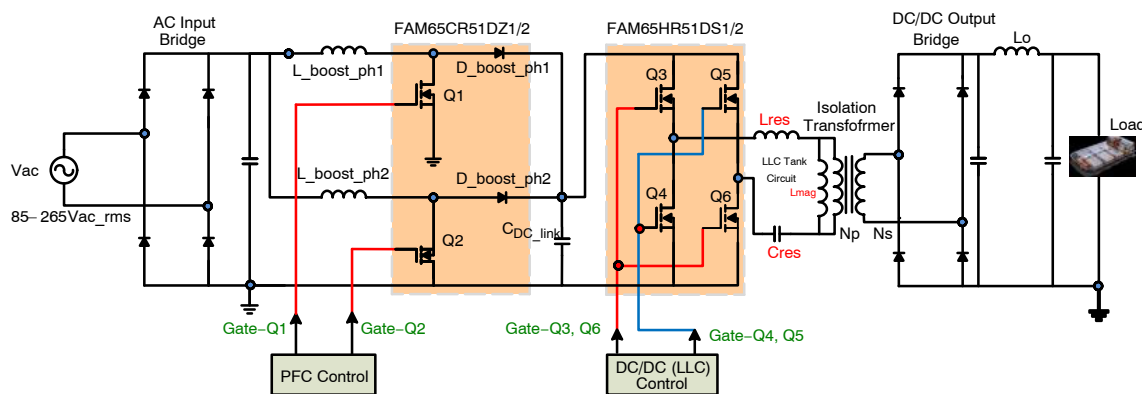


Figure 2. Typical OBC System Block Diagram

PFC回路は、ブーストコンバータ回路のインダクタ電流波形に基づいて、連続導通モード(CCM)または臨界導通モード(CRM)で動作するように設計できます。EV向けOBCなどの大電力アプリケーションにおいては、一般にCCMトポロジーが使用され、電流リップルを最小限に抑えてシステム効率を最大化します。CCM PFCでは、ブーストコンバータのスイッチ(MOSFET)は、スイッチング周波数を固定しデューティサイクル(オンタイム)を可変にしますが、CRM PFCでは、スイッチング周波数を可変にしオンタイムを固定します。CRMのこの特徴により、PFC部分の設計がより複雑になり、電流リップルが高いため専用の入力EMIフィルタが必要になります。CRM PFCには、ゼロ電流スイッチングによりスイッチング損失を低減できるメリットがありますが、CCM PFCに比べ導通損失が高いため、このメリットは相殺されます。CCM PFCではスイッチング周波数が固定のため、力率はCRM PFCより通常0.2~0.3%高くなり、このため、より高いPFC効率が得られます。Figure 3に、力率が98%の場合の入力電圧と電流の位相整合の様子(下側の図)と、CCM PFCモードで動作するブーストコンバータのインダクタ電流の波形例を示します。一方、Figure 4に、CRM PFCのインダクタ電流を示します。

Figure 5は2相インタリーブ型ブーストコンバータの電流を示しており、Figure 6はCCM PFC回路におけるインタリーブの効果を示しています。2相インタリーブ型ブーストコンバータでは、2つのインダクタ電流の位相が180°ずれているため、各インダクタ電流のリップルが加算ノードで部分的に相殺されます。

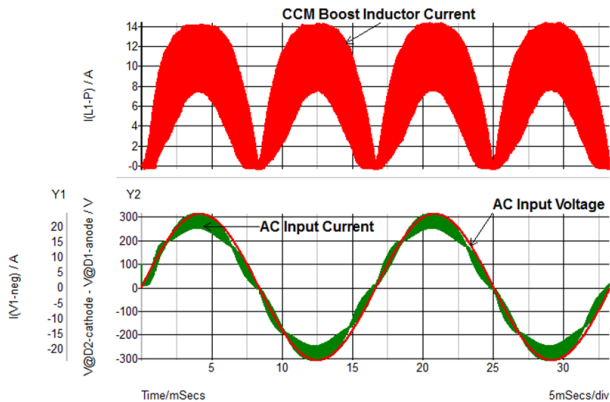


Figure 3. Phase Matching between Input Voltage and Current in a CCM PFC

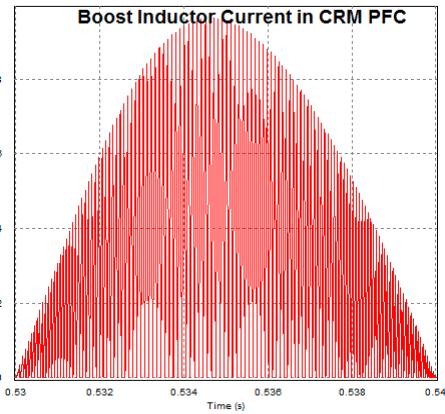


Figure 4. Boost Inductor Current in CRM PFC

CCM PFCでは、デューティサイクルが連続的に変化しており、Figure 7に示すように、デューティサイクル(D)が0.5のときにリップルが最も低減されます。下記のEq. 1は、2相インタリーブ型ブーストコンバータにおける電流リップルの低減比K(D)を表しています。

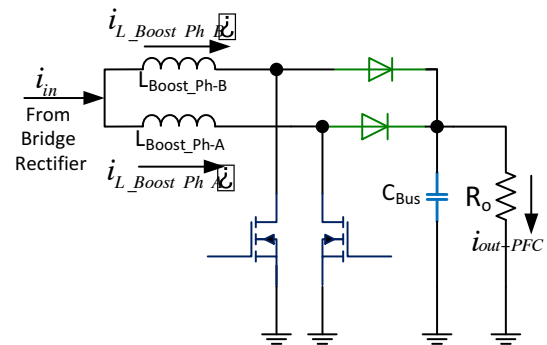


Figure 5. Two-phase Current Interleaving Circuit

$$K(D) = \frac{\Delta I_{interleaved}}{\Delta I_{L_boost}} = \frac{1 - 2 \cdot D}{1 - D}, D < 0.5 \quad (\text{eq. 1})$$

$$= \frac{2 \cdot D - 1}{D}, D \geq 0.5$$

Where:

- ΔI_{L_boost} : Amplitude of the phase current ripple
- $\Delta I_{interleaved}$: Amplitude of the phase current ripple

AND9813/D

また、インタリーブによりブーストインダクタの全エネルギー消費も低減できます。単相ブーストコンバータにおいて、インダクタに蓄積されるエネルギーは次式で与えられます。

$$E_{L_boost} = \frac{1}{2} Li^2 \quad (\text{eq. 2})$$

2相インタリーブ型ブーストコンバータでは、インダクタの全エネルギーは次式で与えられます。

$$E_{L_interleaved} = 2 \cdot \left[\frac{1}{2} \cdot L \left(\frac{i}{2} \right)^2 \right] = \frac{1}{4} Li^2 \quad (\text{eq. 3})$$

したがって、インタリーブによりインダクタサイズを小型化でき、その結果、出力コンデンサの電流リップルを低減できます。

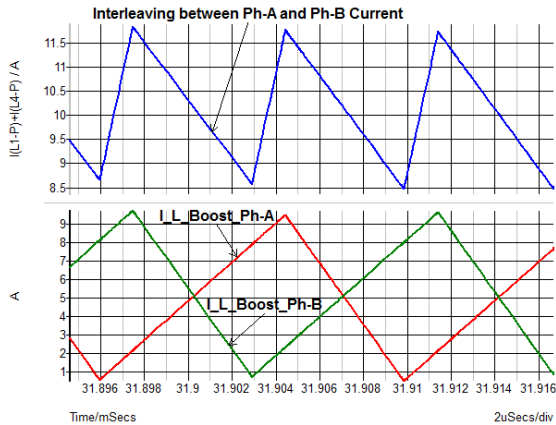


Figure 6. Current Ripple Reduction in Two-phase Interleaved Boost PFC Circuit

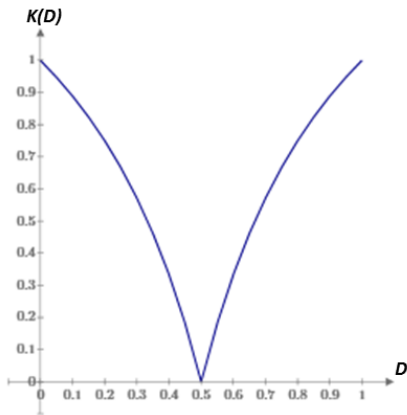


Figure 7. Ripple Reduction in PFC Boost Inductor Current by Interleaving (Ripple is Minimized at D = 0.5)

PFCブロックの設計仕様

Table 1に3.3 kW PFC回路ブロックの設計仕様を、Figure 8にPFC回路のブロック図を示します。この図

には、PFC回路システムのシミュレーションに使用するAC電力網、入力整流器ブリッジ、および制御回路が含まれています。このシミュレーションでは、突入電流の抑制に必要なプリチャージ回路は考慮していません。

Table 1. DESIGN SPECIFICATION OF PFC BLOCK

AC Input Voltage	85 – 265 V _{rms} , 50 – 60 Hz
PFC Output Voltage	390 – 400 V _{DC}
Rated Power	3.3 kW
Inductor Current Ripple	<25% @ Rated Power
Output Voltage Ripple	2% of Output at 120 Hz
Switching Frequency	65 kHz

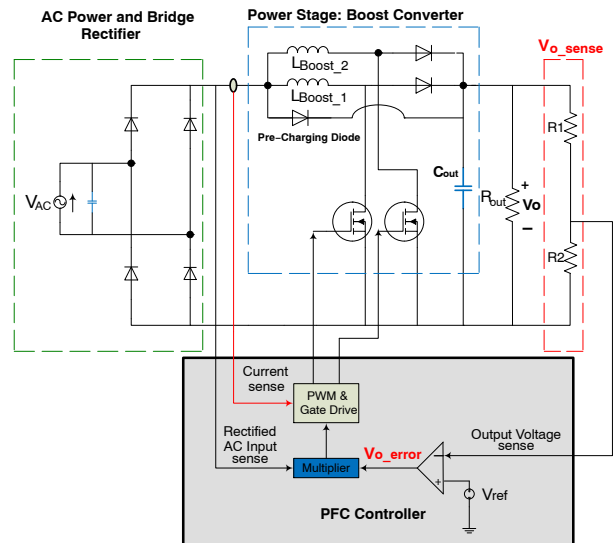


Figure 8. PFC Circuit Including Controller

PFCブロックにおける主な構成要素

PFCブーストインダクタ

ブーストインダクタのインダクタンスは、電流リップル量とスイッチング周波数によって次式で決まります。

$$L_{boost} = \frac{1}{\%ripple} \cdot \frac{v_{ac_min}^2}{P_{out}} \cdot \left(1 - \frac{\sqrt{2} \cdot v_{ac_min}}{V_{out}} \right) \cdot \frac{1}{f_{sw}} \quad (\text{eq. 4})$$

設計仕様(Table 1)をEq. 2に代入すると、下式のように計算できます。

$$L_{boost} = \frac{1}{0.25} \cdot \frac{(85V_{rms})^2}{3300} \cdot W \cdot \left(1 - \frac{\sqrt{2} \cdot 85V_{rms}}{400V} \right) \cdot \frac{1}{65 \cdot 10^3 \text{ Hz}}$$

$$= 130.3 \mu\text{H}$$

シミュレーション回路には、ESRが20 mΩの150 μHのインダクタを使用しました。

出力コンデンサ

出力コンデンサの値は、PFCの出力電圧、PFCの定格出力、およびコンデンサのホールドアップ時間によって決まります。たとえば、PFCの出力電圧が、ACラインの1サイクル期間(すなわち、60 Hzの場合、16.7 msec)に300 V未満に低下すべきではない場合、ホールドアップ時間は $t_{hold} = 16.7 \text{ msec}$ となり、 $V_{out_min} = 300 \text{ V}$ となります。 $V_{out} = 400 \text{ V}$ と仮定すると、出力コンデンサの値は次式で決まります[1]。

$$C_{out} \geq \frac{2 \cdot P_{out_max} \cdot t_{hold}}{V_{out}^2 - V_{out_min}^2} = 1.575 \text{ mF}$$

シミュレーションでは、ESLが10 nHの2.0 mFの容量を使用しました。

入力整流ダイオード

ブリッジ整流器は、次式で表されるAC入力電流のピーク値に対応できなければなりません。

$$i_{in_ac_max} = \sqrt{2} \cdot \frac{P_{out_max}}{\eta \cdot V_{ac_min} \cdot PF} = \sqrt{2} \cdot \frac{3300W}{0.98 \cdot 85V_{rms} \cdot 0.98} = 40.4 \text{ A}$$

η = 目標PFC効率

シミュレーションでは、所要の電圧余裕を考慮し、オン・セミコンダクター製の1000 V - 80 A UltraFastダイオードRURG80100を使用しました。

ブーストコンバータのMOSFETおよびダイオード

FAM65CR51DZ1モジュールは、多相インタリーブ型ブーストコンバータ動作向けに特別に開発されたもので、2個のMOSFETチップとそれらに直列接続されたダイオードで構成され、Figure 9に示すように2相インタリーブ型PFC回路を形成しています。

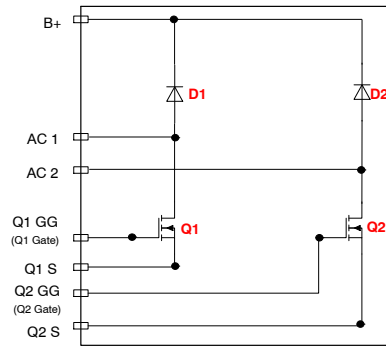


Figure 9. FAM65CR51DZ1 PFC Module Block Diagram

このモジュールには、中心となるブーストコンバータ用スイッチとして、オン・セミコンダクターの第3世代スーパージャンクション(SJ) MOSFETチップを使用しています。2つの異なるサイズのチップ(51 mΩチップと80 mΩチップ)を利用できます。Table 2にFAM65CR51DZ1モジュール内のMOSFETチップの電気的特性を示します。

PFCブーストコンバータではハードスイッチングが行われるため、MOSFETのパラメータを最適化してスイッチング損失と熱インピーダンスを低く抑える必要があります。Table 2からわかるように、第3世代の650 V SJ MOSFETは、1) Q_g が低く高速スイッチングが可能、2) C_{oss} が低くスイッチング損失が少ない、3) 主な競合部品と比較して熱抵抗が小さい、という特徴を備えています。

一般的なDC/DC (LLC)コンバータ

Figure 10に、電気自動車向けOBCのDC/DCコンバータブロックを示します。PFCの出力電圧はDC/DCコンバータの入力に供給されます。この入力波形は純粋なDC信号ではなく、PFCブロックからの120 HzのACリップルを含んでいます。DC/DCコンバータにより入力波形が変調され、方形波パルス波形が発生します。通常、DC/DCコンバータは、LLC共振トポロジーによるハーフブリッジまたはフルブリッジ回路を備え、ゼロ電圧スイッチング(ZVS)によりスイッチング損失を最小限に抑制します。LLCタンク回

路がDCスイッチングブロックの後段に続きます。この共振タンク回路は、共振インダクタ、共振コンデンサ、および絶縁トランスの励磁インダクタンスから構成されているため、LLCと呼ばれます。DC/DCスイッチングブロック(フルブリッジまたはハーフブリッジ)からの方形波は、LLCタンク回路によって「ほぼ正弦波」の信号になり、絶縁トランスに伝達されます。このトランスにより、1次側のスイッチングブロックを2次側の負荷から絶縁し、導電性EMIノイズの伝搬を防ぎ、負荷側の短絡から保護します。

Table 2. ELECTRICAL CHARACTERISTICS OF MOSFET DIE IN FAM65CR51DZ1 MODULE

Symbol	Parameter	Typical Value	Units
V_{DS} (Q1–Q2)	Drain to Source Voltage	650	V
V_{DS} (Q1–Q2)	Gate to Source Voltage	±20	V
I_D (Q1–Q2)	Drain Current Continuous ($T_c = 25^\circ\text{C}$, $V_{GS} = 10\text{ V}$)	33	A
	Drain Current Continuous ($T_c = 100^\circ\text{C}$, $V_{GS} = 10\text{ V}$)	23	A
BVDSS (Q1–Q2)	Drain to Source Breakdown Voltage	650	V
C_{oss}	Output Capacitance ($V_{DS} = 400\text{V}$, $V_{GS} = 0\text{ V}$ and $f_{sw} = 1\text{ MHz}$)	100	pF
Q_g	Total Gate Charge	126	nC
$R_{DS(ON)}$	ON-Resistance of the MOSFET die	51	m Ω
$R_{\theta_{JC}}$	Junction to Case Thermal Resistance	0.66	$^\circ\text{C}/\text{W}$
$R_{\theta_{JS}}$	Junction to Heatsink Thermal Resistance	1.2	$^\circ\text{C}/\text{W}$
T_J	Maximum Junction Temperature	-55 to 150	$^\circ\text{C}$
T_C	Maximum Case Temperature	-40 to 125	$^\circ\text{C}$
T_{STG}	Storage Temperature	-40 to 125	$^\circ\text{C}$

Table 3. BOOST CONVERTER DIODE (ISL9R1560) CHARACTERISTICS

Symbol	Parameter	Typical Value	Units
V_{RRM}	Peak Repetitive Reverse Voltage	600	V
V_{RWM}	Working Peak Reverse Voltage	600	V
V_R	DC Blocking Voltage	600	V
$I_{F(AV)}$	Average Rectified Forward Current $T_c = 25^\circ\text{C}$	15	A
I_{FSM}	Non-Repetitive Peak Surge Current (Half Wave 1 Phase 60 Hz)	45	A
I_{RR}	Reverse Recovery Current ($I_F = 15\text{ A}$, $di_F/dt = 200\text{ A}/\mu\text{sec}$, $V_R = 390\text{ V}$)	5.0	A
T_J	Maximum Junction Temperature	-55 to 175	$^\circ\text{C}$
T_C	Maximum Case Temperature	-40 to 125	$^\circ\text{C}$
T_{STG}	Storage Temperature	-40 to 125	$^\circ\text{C}$
E_{AVL}	Avalanche Energy (1A, 40 mH)	20	mJ
Q_{RR}	Reverse Recovery Charge ($I_F = 15\text{ A}$, $di_F/dt = 800\text{ A}/\mu\text{sec}$, $V_R = 390\text{ V}$)	390	nC
T_{RR}	Reverse Recovery Time ($I_F = 15\text{ A}$, $di_F/dt = 800\text{ A}/\mu\text{sec}$, $V_R = 390\text{ V}$)	52	nsec
S	Softness Factor t_b/t_a ($I_F = 15\text{ A}$, $di_F/dt = 800\text{ A}/\mu\text{sec}$, $V_R = 390\text{ V}$)	1.36	-
$R_{\theta_{JC}}$	Junction to Case Thermal Resistance	1.98	$^\circ\text{C}/\text{W}$
$R_{\theta_{JS}}$	Junction to Heatsink Thermal Resistance	2.97	$^\circ\text{C}/\text{W}$

ほとんどの場合、トランスの巻数比 N_{sec}/N_{pri} は1より大きいので、広範囲の出力(バッテリー)電圧で動作します。2次側では、トランスの出力信号はブリッジ整流回路で整流され、最後にHVバッテリーに供給されるDC電力になります。

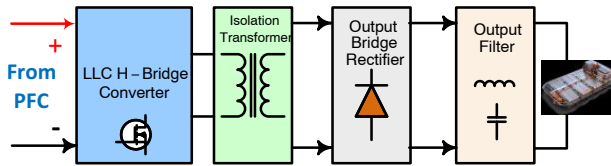


Figure 10. OBC DC/DC Converter Block Diagram

Figure 11に、電流モード制御を備えたフルブリッジLLCコンバータ回路を示します。入力電圧はPFCブロックから供給され、390 V~400 Vです。出力電圧はHVバッテリーによって決まり、通常220 V~450 Vです。DC/DCコンバータステージにおいて、最も高い割合を占める電力損失はMOSFETスイッチで発生するため、MOSFETのスイッチング損失の低減はコンバータの設計上、重要な要素です。チップサイズが大きくなると、 $R_{DS(ON)}$ の値が小さくなるのにもない導通損失は減少しますが、同時にスイッチング損失が増加するため、大面積チップを使用するメリットは小さくなります。小面積のチップを使用すればスイッチング損失は減少しますが、導通損失は増加し、熱インピーダンスの増加により接合温度が高くなる可能性があります。これらの理由から、LLCトポロジーに大面積MOSFETチップを適用する場合は、スイッチングのターンオン過渡期間にゼロ電圧スイッチング(ZVS)を実行するのが合理的です。現在では、LLCコンバータトポロジーは、ZVSの特徴を活用する上で実現可能性が最も高い選択肢です。

従来のフルブリッジコンバータでは、対角上の2つのMOSFETはスイッチングペアを形成し、デューティサイクル50%の同一ゲート駆動信号を共有しています。2組のスイッチングペアは、位相が 180° ずれています。別の方法として、位相シフトフルブリッジトポロジーはLC共振タンク回路を使用しないで導入でき、ボディダイオードのフリーホイール動作により自然なZVSを実現でき、LLCトポロジーより制御が簡単になります。しかし、OBCアプリケーションでは、システム効率が重要であり、ボディダイオードのフリーホイール動作による電力損失が過剰であると、目標効率を実現する上での障害になります。したがって、位相シフトフルブリッジトポロジーは、一般にOBCシステムには使用されず、主に効率が最優先事項ではないHVからLVまでのDC/DCコンバータに使用されます。

制御の観点からは、ピーク電流モード制御または平均電流モード制御のどちらかの手法により、HVバッテリーの充電状態に従って充電電流を設定できます。ここでは、DC/DCコンバータの制御手法の詳細は説明しません。本アプリケーションノートでは、平均電流モード制御を備えたLLCフルブリッジコンバータ回路を導入し、フルブリッジモジュールFAM65HR51DS1のスイッチング挙動、電力損失、効率などの性能を評価します。

LLC共振タンク回路の解析

Figure 12に、単純化したLLC共振コンバータ回路と2次側信号処理の等価ブロック図を示します。LLC共振タンク回路は、共振インダクタ L_r 、共振コンデンサ C_r 、およびトランスの励磁インダクタンス L_{mag} により構成されています。Figure 12(a)に示すように、LLC共振回路の入力電圧は、フルブリッジコンバータブロックのDC入力電圧を絶対値とする正と負の電圧間で交互に変化する方形波です。入力電圧の基本周波数成分のみ絶縁トランスの1次側から2次側へのエネルギー伝達に使用されると仮定すると、複雑な解析手法を使用しないで基本波近似法(FHA)を適用してLLC共振回路の解析を実行できます[4]。

Figure 12(b)では、1次側はAC電流源によるモデルで置き換えられています。 $|i_{ac}(t)|$ の平均値は、DC出力電流 I_o に等しいため、 $i_{ac}(t)$ はEq. 5で与えられます。

$$i_{ac}(t) = \frac{\pi I_o}{2} \sin(2\pi f_{sw} t) \quad (\text{eq. 5})$$

FHAを使用すると、 $v_{ac}(t)$ は方形波 $V_p(t)$ の基本成分で近似でき、Eq. 6で与えられます。

$$\begin{aligned} V_p(t) &= V_0 : \text{if } \sin(2\pi f_{sw} t) \geq 0 \\ V_p(t) &= -V_0 : \text{if } \sin(2\pi f_{sw} t) < 0 \end{aligned} \quad (\text{eq. 6})$$

したがって、次式が成立します。

$$v_{ac}(t) = V_{p_f0}(t) = \frac{4V_0}{\pi} \sin(2\pi f_{sw} t) \quad (\text{eq. 7})$$

where

$$V_{p_f0}(t) = \text{Fundamental frequency component of } V_p(t)$$

AC等価抵抗 r_{ac} は、 $i_{ac}(t)$ と $v_{ac}(t)$ を用いて次式で与えられます。

$$r_{ac} = \frac{v_{ac}(t)}{i_{ac}(t)} \cdot \frac{8}{\pi^2} \cdot \frac{V_0}{I_o} = \frac{8}{\pi^2} R_0 \quad (\text{eq. 8})$$

トランスの巻数比 $n = N_{pri}/N_{sec}$ を考慮すると、1次側から見た実際のAC等価負荷抵抗はEq. 9で与えられます。

$$r_{ac} = \frac{8 \cdot n^2}{\pi^2} R_0 \quad (\text{eq. 9})$$

このAC等価抵抗を使用すると、LLCコンバータ全体のAC等価回路はFigure 13に示すようになります。

AND9813/D

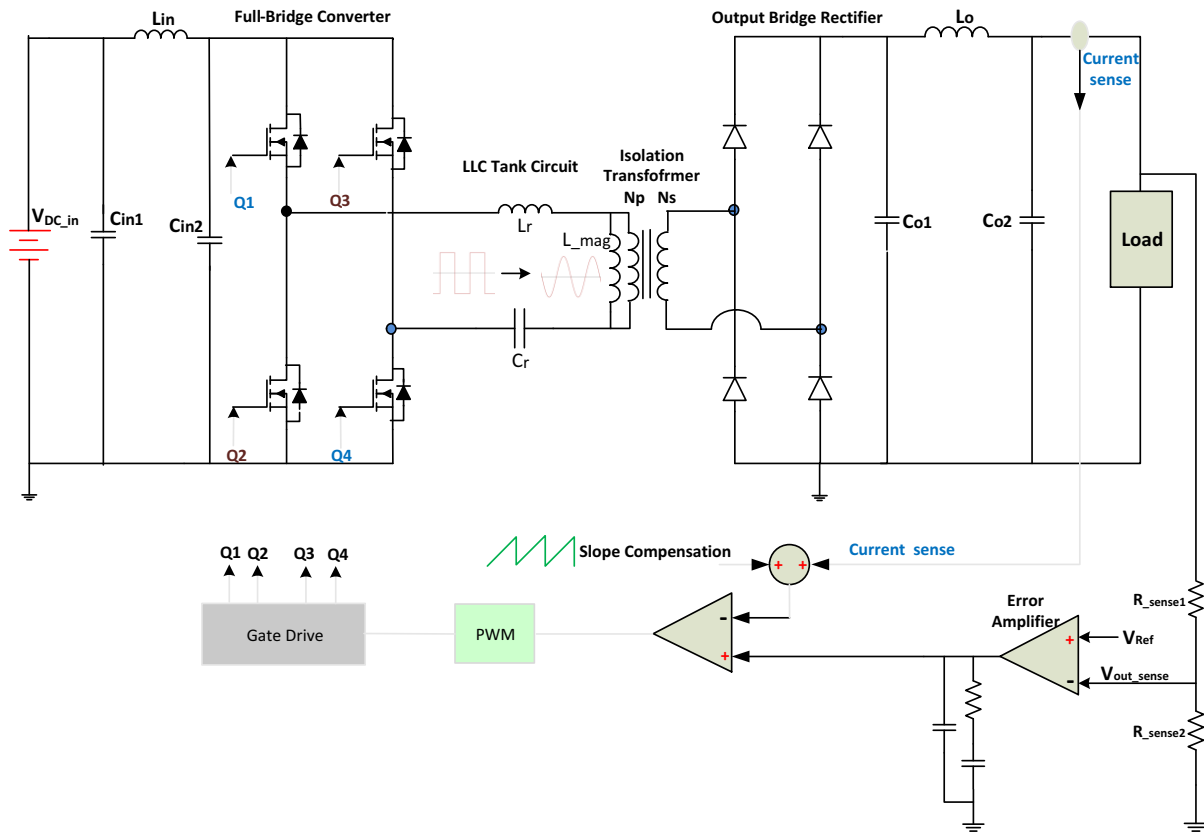


Figure 11. Full-Bridge LLC Converter Circuit with Current Mode Control

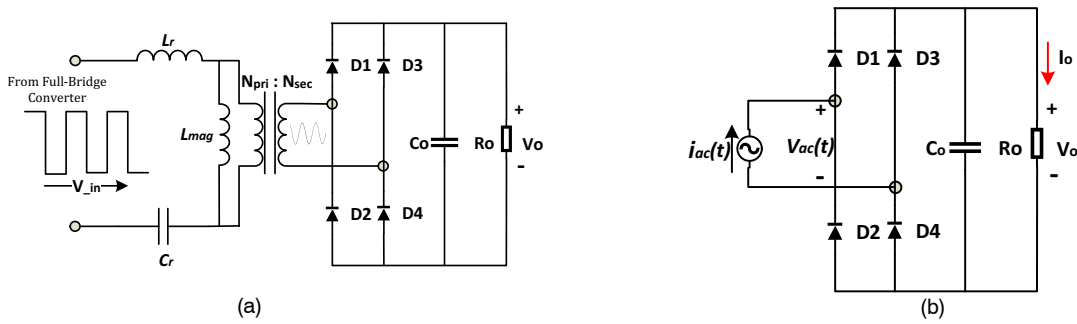


Figure 12. (a) Simplified LLC Circuit and (b) Equivalent Model Replacing Primary Side with AC Current Source

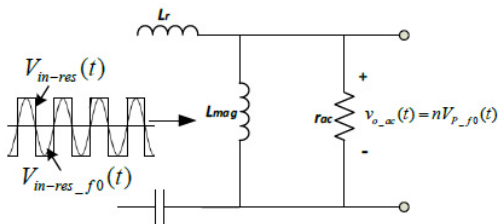


Figure 13. AC Equivalent Circuit for LLC Resonant Converter

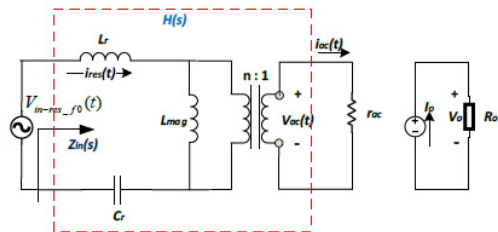


Figure 14. Two Port Network Model of FHA Resonant Circuit

Figure 13の共振タンク回路のQ値Qは、Eq. 10で与えられます。

$$Q = \frac{\sqrt{L_r/V_r}}{n^2 \cdot R_0} = \frac{r_{ac}}{n^2 \cdot R_0}$$

where

$$n = \frac{N_{pri}}{N_{sec}}$$

$$r_{ac} = \frac{8}{\pi^2} \cdot \frac{N_{pri}^2}{N_{sec}^2} \cdot R_0$$

$$R_0 = \frac{V_0}{I_0} \quad (\text{eq. 10})$$

共振タンク回路のゲインは、AC等価回路の伝達関数の振幅で、Eq. 11で定義されます。

$$M = \frac{V_{o_ac}(t)}{V_{in_res_fo}(t)} = \frac{nV_{p_fo}(t)}{V_{in_res_fo}(t)} = \frac{4}{\pi} V_0 \cdot \frac{\sin(2\pi f_{sw}t)}{2 \frac{\pi}{\pi} V_{in} \cdot \sin(2\pi f_{sw}t)}$$

$$= \frac{2n \cdot V_0}{V_{in}} \quad (\text{eq. 11})$$

あるいは、LLC共振タンク回路は、Figure 14に示す2ポート回路網モデルを用いて、その伝達関数H(s)と入力インピーダンスZ_{in}(s)により定義できます。

$$H(s) = \frac{V_{ac}(s)}{V_{in_res_fo}(s)} = \frac{1}{n} \cdot \frac{n^2 \cdot r_{ac} \parallel sL_{mag}}{Z_{in}(s)}$$

where (eq. 12)

$$Z_{in}(s) = \frac{V_{in_res_fo}(s)}{I_{res}(s)} = \frac{1}{sC_r} + sL_r + n^2 r_{ac} \parallel sL_{mag}$$

Eq. 12において、n²・r_{ac}の項はトランスの1次側に反映させた有効負荷抵抗です。

「正規化電圧変換比」つまり「電圧ゲイン」M(f_{sw})の項は、次式で与えられます。

$$M(f_{sw}) = n \cdot \| H(j2\pi f_{sw}) \| = n \cdot \frac{v_{ac}(t) |_{rms}}{V_{in_res_fo}(t) |_{rms}} = n \cdot \frac{\frac{2\sqrt{2}}{\pi} V_0}{\frac{\sqrt{2}}{\pi} V_{in}}$$

$$= \frac{2n \cdot V_0}{V_{in}} \quad (\text{eq. 13})$$

Eq. 13から入力対出力のDC/DC電圧変換比は、次式のようになります。

$$\frac{V_0}{V_{in}} = \frac{1}{2n} M(f_{sw}) \quad (\text{eq. 14})$$

Eq. 10~14を総合的に使用すると、電圧ゲインは、Q値Q、インダクタンス比(m = L_r/L_{mag})、および正規化周波数f₁の関数として、Eq. 15のように記述することができます [2] [4]。

$$M(Q, m, f_1) = \frac{f_1^2 \cdot (m - 1)}{\sqrt{(m \cdot f_1^2 - 1) + f_1^2 \cdot (f_1^2 - 1)^2 \cdot (m - 1)^2 \cdot Q^2}} \quad (\text{eq. 15})$$

Table 4にLLCコンバータの設計パラメータ例を示します。これらのパラメータを、本件の3.3 kW LLCコンバータの実証用ハードウェアおよび関連するシミュレーション作業に適用します。

Table 4. DESIGN PARAMETERS FOR 3.3 kW LLC FULL-BRIDGE CONVERTER

Component	Designation	Value
Converter DC Input Voltage	V _{in_DC}	390–400 V
Converter DC Output Voltage	V _{out_DC}	250–450 V
Switching Frequency	f _{sw}	100–150 kHz
Resonant Frequency	f _{res}	100 kHz
Resonant Inductor	L _r	25 μH
Resonant Capacitor	C _r	100 nF
Magnetizing Inductance	L _{mag}	125 μH
Transformer Turns Ratio	n = N _{pri} / N _{sec}	0.8
Inductance Ratio	m = L _{mag} / L _r	5
Normalized Frequency	f ₁ = f _{sw} / f _{res}	1 – 1.55

Table 4に従って設計したLLCコンバータ回路では、Q値は出力負荷に応じて2.217~0.629の間で変化します。Figure 15に、出力負荷の変化にともなうLLCコンバータのゲイン変化を示します。出力負荷が重くなるのに従ってピークゲイン点は共振点に近づき、ピークゲインは1に近づきます。Figure 16に3.3 kW負荷時のLLCのゲイン特性を示します。この図で、電力伝達動作は2つの領域、ZVS領域1とZVS領域2に分割されます。電力伝達動作の期間中(I_{Lr} > I_{Lmag})には、励磁インダクタは充電中で共振動作には関与しません。この電力伝達モードでは、共振周波数f_{res}は次式で定義されます。

$$f_{res_0} = \frac{1}{2\pi \sqrt{L_r \cdot C_r}} \quad (\text{eq. 16})$$

ZVSは領域1と領域2の両方で実行されます。領域2ではスイッチング周波数は共振周波数よりも低く、コンバータゲインは1より高くなります。そのため、コンバータは昇圧モードで動作します。領域1では、LLCコンバータコンバータは降圧モードで動作しています。スイッチング周波数は共振周波数より高く、LLCゲインは1より低くなります。

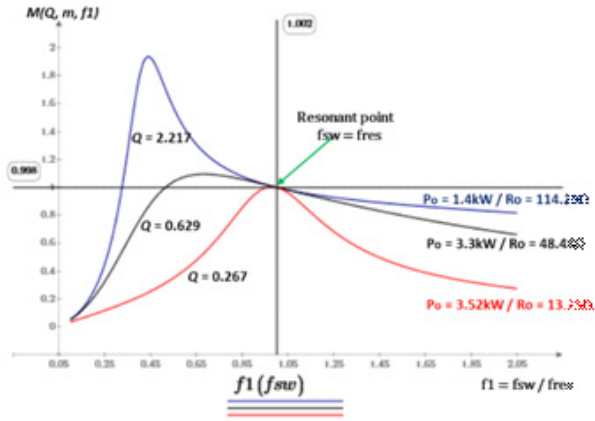


Figure 15. LLC Converter Gain Variation in Accordance with the Load Shift

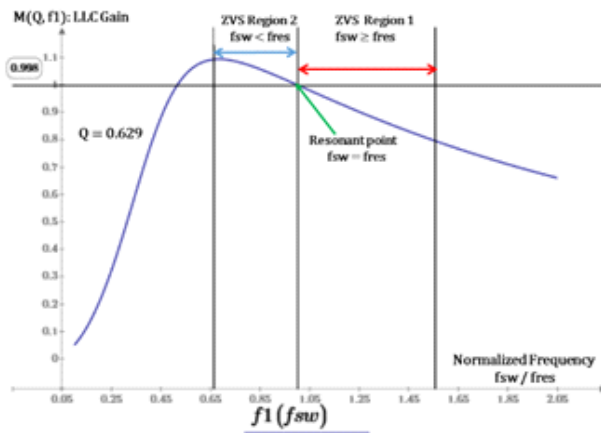


Figure 16. LLC Converter Gain Variation in Accordance with the Load Shift

2つのZVS動作領域について、以下に詳細を説明します。

ZVS領域1

Figure 17に、ZVS領域1で動作しているLLCコンバータの一般的な波形を示します。この領域では、スイッチング周波数 f_{sw} は共振周波数 f_{res} より高く設定され、各スイッチング期間の終わりまで電力がトランスの1次側から2次側に伝達されます。励磁インダクタ電流 $I_{L_{mag}}$ は、共振インダクタ電流 I_{L_r} の一部で、励磁インダクタ L_{mag} を充電するだけです。そのため、 L_{mag} は共振動作には関与しません。トランスの1次側の電流 $I_{TXR_Pri} = I_{L_r} \cdot I_{L_{mag}}$ は2次側に供給されます。電力伝達動作の最後に、 I_{L_r} は方向を変え(di/dt が負になる)、もう一方の位相レグのMOSFETのボディダイオードへ戻り、ZVSがターンオンします。

ゲート駆動信号は、Figure 18に示すように、この期間内のある時点で印加されます。注意すべき点は、共振電流の期間 $T_r = 1/f_{res}$ が完了する前にスイッチング期間 $T_s = 1/f_{sw}$ が終了するため、MOSFETはハードスイッチングによりターンオフし、Figure 19に示すように、2次側の整流ダイオードが激しい転流を受けることです。LLCタンク回路の設計最適化により、MOSFETのターンオフ過渡電流を最小限に抑えられ、ゼロ電流スイッチング(ZCS)に近い条件にすることができます。

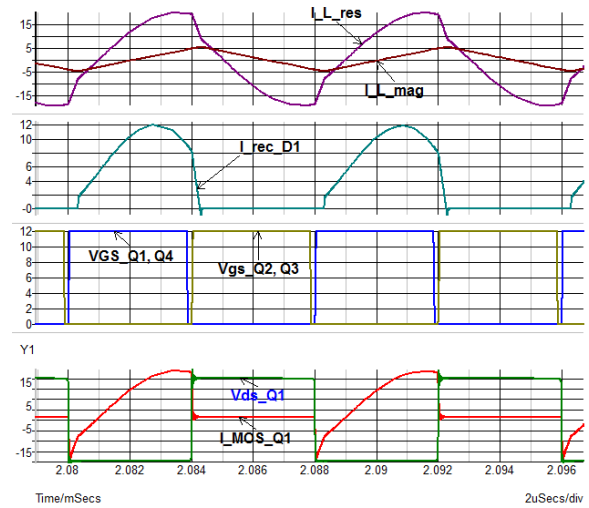


Figure 17. Typical Waveforms in LLC Full-Bridge Converter ($f_{sw} = 125 \text{ kHz}$, $f_{res} = 100 \text{ kHz}$)

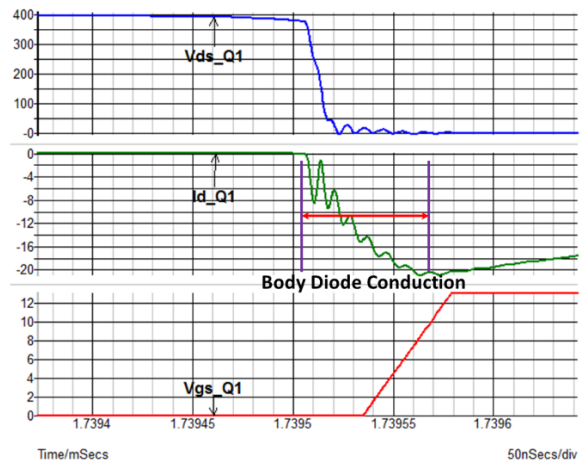


Figure 18. ZVS Operation: Gate Drive Signal is Engaged during the Body Diode Conduction ($V_{DS} \approx 0 \text{ V}$)

ZVS領域2

Figure 20に、ZVS領域2におけるLLCコンバータの波形を示します。この領域では、スイッチング周波数 f_{sw} は共振周波数より低く、各スイッチング期間にフリーホイール期間 T_{fw} が含まれ、この領域では、 $I_{L_{mag}} \approx I_{L_r}$ となります。この期間では、共振動作に励磁インダクタンスの放電が含まれており、MOSFETのチャンネルがまだ開いているため、共振電流がコンバータに還流します。フリーホイール動作中、トランス1次側の電力は2次側に伝達されず、MOSFETで導通損失が発生します。この期間においては、第2共振周波数 f_{res_1} がEq. 17で定義されます。

$$f_{res_1} = \frac{1}{2\pi \sqrt{(L_r + L_{mag}) \cdot C_r}} \quad (\text{eq. 17})$$

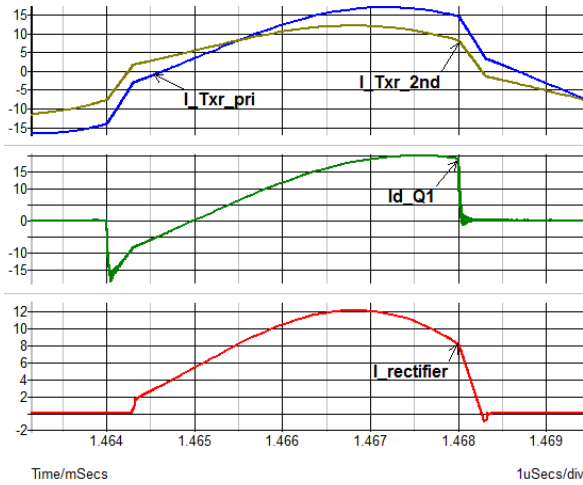


Figure 19. Secondary side rectifier diode hard commutation during the MOSFET turn-off transient

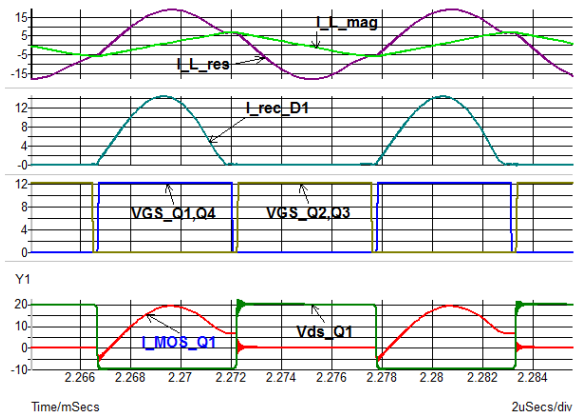
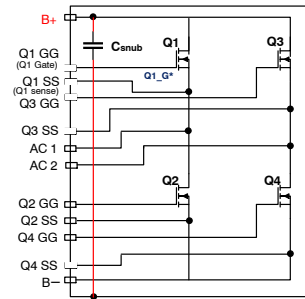


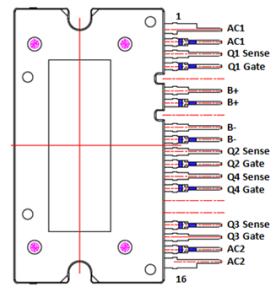
Figure 20. Secondary Side Rectifier Diode Hard Commutation During the MOSFET Turn-off Transient

LLCコンバータ向けMOSFETモジュール

Figure 21に、オン・セミコンダクターのHブリッジモジュールFAM65HR51DS1の回路図とピン配置図を示します。このモジュールは、フルブリッジLLC DC/DCオンボードチャージャ(OBC)向けに特別に設計されています。各ハーフブリッジは、直列接続された2個のMOSFETチップ(トータムポール)で構成されます。FAM65HR51DS1モジュール内のMOSFETチップは、FAM65CR51DZ1モジュールに使用しているものと同一で、さらに2つの異なるサイズのチップ(51 mΩと82 mΩ)を利用できます。本モジュールには、ノイズ抑制のためDCリンクに高電圧スナバコンデンサを備えており、AECQ101とAQG324に準拠しています。LLCコンバータアプリケーションにおいては、導通損失に比べ、MOSFETのターンオフスイッチング損失が支配的です。3.3 kW OBCシステムのシミュレーション結果によると、82 mΩ (小さい方)のチップは、スイッチング損失が小さいため、51 mΩのチップより若干高い効率を達成しています。しかし、51mΩチップは熱抵抗が低いため、優れた熱特性を備えているのは確かです。Tables 5と6に、FAM65HR51DS1モジュールに適用した51 mΩ MOSFETチップの電気的仕様と電気的特性を示します。



(a)



(b)

Figure 21. FAM65HR51DS1 H-bridge Module (a) Circuit Diagram and (b) Pin-out Definition

FAM65CR51DZ1とFAM65HR51DS1のPSPICEモデルを使用したOBCシミュレーション

説明した3.3 kWのオンボードチャージャについて、ワーストケース($P_{out} = 3.52 \text{ kW}$ 、 $V_{out} = 220 \text{ V}$ 、 $I_{out} = 16 \text{ A}$ 、 $T_{case} = 110^\circ\text{C}$)を含むいくつかの動作点でシミュレーションを実施し、PFCモジュールFAM65CR51DZ1とHブリッジモジュールFAM65HR51DS1の性能を反映しました。2相インタリーブ型ブーストPFCトポロジとLLCフルブリッジコンバータトポロジを、このシステムシミュレーションとベンチテストに適用しました。シミュレーションプラットフォームとしてSIMETRIX v8.1を使用しました。Ansys Q3DベースのpSpice寄生パッケージモデルとMOSFETチップモデルをFAM65CR51DZ1とFAM65HR51DS1モジュール両方のシミュレーションに使用しました。

OBCシステムにおける2つのモジュールと主要部品の電力損失をシミュレーションによって見積もり、これらの部品の電力損失に基づいてシステム効率を計算しました。AC入力電源、ブリッジ整流回路、お

よびブーストPFC回路を組み合わせてPFCシミュレーションブロックを構成しました。LLCフルブリッジコンバータ、絶縁トランス、2次側ブリッジ整流回路、および出力フィルタ回路により、独立したDC/DCコンバータシミュレーションブロックを構成しました。OBCシステムの効率は、PFCブロックとDC/DCコンバータブロックの効率を掛け合わせて求めました。シミュレーションでは、接合温度 T_J は通常は 90°C 、ワーストケースでは 110°C と仮定しました。

最後に、FAM65CR51DZ1とFAM65HR51DS1モジュールの性能を、ディスクリットMOSFETをモジュールのシミュレーションで使用したものと同一の回路に適用した場合の性能と比較しました。シミュレーション結果により、FAM65CR51DZ1とFAM65HR51DS1モジュールを使用したOBCは、モジュールのスイッチング損失が低いため、ディスクリットMOSFETデバイスを用いたOBCよりもシステム効率が高いことが明らかになりました。

Table 5. ELECTRICAL SPECIFICATION FOR THE 51 mΩ SJ MOSFET DIE IN FAM65HR51DS1 MODULE

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
BV_{DSS}	Drain-to-Source Breakdown Voltage	$I_D = 1 \text{ mA}$, $V_{GS} = 0 \text{ V}$	650	-	-	V
$V_{GS(th)}$	Gate to Source Threshold Voltage	$V_{GS} = V_{DS}$, $I_D = 3.3 \text{ mA}$	3.0	-	5.0	V
$R_{DS(on)}$	Q1 – Q4 MOSFET On Resistance	$V_{GS} = 10 \text{ V}$, $I_D = 20 \text{ A}$	-	44	51	mΩ
$R_{DS(on)}$	Q1 – Q4 MOSFET On Resistance	$V_{GS} = 10 \text{ V}$, $I_D = 20 \text{ A}$, $T_J = 150^\circ\text{C}$	-	79	-	mΩ
g_{FS}	Forward Transconductance	$V_{DS} = 20 \text{ V}$, $I_D = 20 \text{ A}$	-	30	-	s
I_{GSS}	Gate-to-Source Leakage Current	$V_{GS} = \pm 20 \text{ V}$, $V_{DS} = 0 \text{ V}$	-100	-	+100	nA
I_{DSS}	Drain-to-Source Leakage Current	$V_{DS} = 650 \text{ V}$, $V_{GS} = 0 \text{ V}$	-	-	10	μA

Table 6. ELECTRICAL CHARACTERISTICS FOR THE SF3 51mΩ MOSFET DIE IN FAM65HR51DS1 MODULE

Symbol	Parameters	Conditions	Min	Typ.	Max	Unit
C_{iss}	Input Capacitance	$V_{DS} = 400 \text{ V}$ $V_{GS} = 0 \text{ V}$ $f = 1 \text{ MHz}$	-	4864	-	pF
C_{oss}	Output Capacitance		-	109	-	pF
C_{rss}	Reverse Transfer Capacitance		-	16	-	pF
$C_{oss(eff)}$	Effective Output Capacitance	$V_{DS} = 0 \text{ to } 520 \text{ V}$ $V_{GS} = 0 \text{ V}$	-	652	-	pF
R_g	Gate Resistance	$f = 1 \text{ MHz}$	-	2	-	Ω
$Q_{g(tot)}$	Total Gate Charge	$V_{DS} = 380 \text{ V}$ $I_D = 20 \text{ A}$ $V_{GS} = 0 \text{ to } 10 \text{ V}$	-	123	-	nC
Q_{gs}	Gate to Source Gate Charge		-	37.5	-	nC
Q_{gd}	Gate to Drain "Miller" Charge		-	49	-	nC

注：このページは別に保存しておき、残りのページのフォーマットがこれと同じになるようにしてください。これら2つの表を流用してページの大部分

を作成しない場合、より多くのフォーマット作業が必要になります。

シミュレーションソフトウェア

3.3 kW OBCシステムの主要部品の電力損失とその結果としてのOBCシステム効率の見積もりにSimetrix v.8.1ソフトウェアを使用しました。Simetrixは、非線形ミックスドシグナル回路シミュレータです。このソフトウェアは、UCパークレーのCAD/ICグループが開発したSPiceのプログラミング言語とジョージア工科大学のCS&IT研究所によるXSPiceをベースとしています。

このソフトウェアには次のような特徴があります。1) 完全に一体化された階層構造の回路図エディタ、シミュレータ、およびグラフ表示用ポストプロセッサ、2) DC過渡解析向けの高速収束、3) BSIM3およびBSIM4のサポート、4) 公差仕様を含むモンテカルロ解析、5) 簡単なSPiceモデルインポート、6) 電圧、電流、デバイス電力など、各種測定用プローブ機能。SimetrixにはSimplisシミュレータが含まれており、スイッチング回路シミュレーションにおいてSimetrixよりもはるかに高速なシミュレーションが実現できます。この実現のため、Simplisでは、システム全体をリニア回路トポロジの循環シーケンスとみなします。Simplisを使用することにより、定常状態線形解析やAC解析において高速で信頼できる結果が得られます。しかし、スイッチングMOSFETやダイオードの非線形な挙動が解析すべき重要な要素であることを考えると、Simetrixは、パワーコンバータ回路の過渡解析に最適のツールです。SimetrixをOBCシステムのシミュレーション用の主要ツールとして使用しますが、Simetrixに代わるシミュレータとしてPSpiceが広く使用されているため、Cadence PSpice向けのモデルインポート手順も「FAM65CR51DZ1とFAM65HR51DS1モジュール用パッケージシミュレーションモデル」のセクションで説明します。Cadence PSpiceはデバイスレベルのシミュレーションによく使用され、Simetrixはシステムレベルの回路シミュレーションで好まれます。Ansys Q3Dベースの寄生パッケージモデルは、選択するシミュレーションプラットフォームに合せ、PSpiceまたはSimetrixにインポートできます。

FAM65CR51DZ1とFAM65HR51DS1モジュール用パッケージシミュレーションモデル

Figure 22に、モジュール内のデバイス(ソース)と外部ピン(シンク)間の物理的接続の3次元画像例を示します。Ansys Q3Dは、3次元空間におけるモジュール構造を解析し、あらゆるシンクとソースノード間の寄生R、L、C成分を抽出します。Table 7に、モジュールに対して計算したQ3Dベースの寄生R、Lの値の例を示します。Q3Dの解析結果に基づいてソースファイル(ネットリスト)が生成されると、回路シミュレーションツールがソースファイルをインポート

し、Figure 23(a)に示すように、パッケージシミュレーションモデルを発生します。

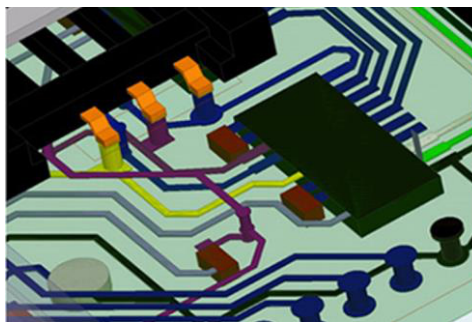


Figure 22. An example of Q3D image to extract the parasitic R, L and C components

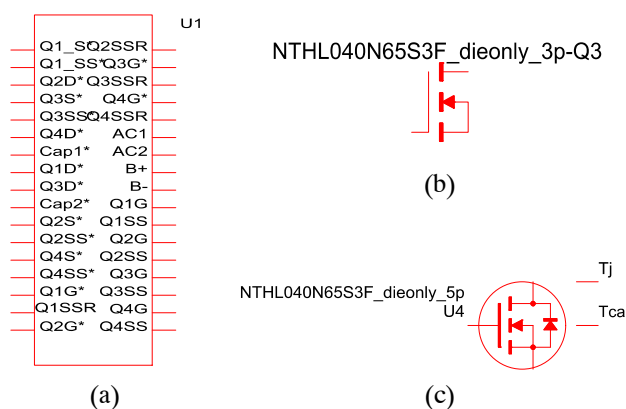


Figure 23. (a) Q3D-extracted FAM65CR51DZ1 and FAM65HR51DS1 Parasitic Package Model, (b) 3-pin Electrical Spice Simulation Model, and (c) 5-pin Electro-thermal Spice Simulation Model

FAM65CR51DZ1とFAM65HR51DS1モジュールのパッケージモデルネットリストは、SPiceのプログラミング言語で書かれています。ソースファイルは、さまざまなシミュレーションソフトウェアツールによってコンパイルされ、それぞれ独自の表現によるパッケージモデルが生成されます。パッケージシミュレーションモデルのソースファイルには、「.LIB」または「.TXT」というファイル拡張子がついています。Cadence PSpiceでは、通常、「.LIB」というファイル拡張子が使われており、Ansys SimplorerとSimetrixでは、両方のファイル拡張子が使われています。次に、Cadence PSpiceとSimetrixについて、Q3Dパッケージモデルのオリジナルソースファイルからシミュレーションモデルを生成する方法を順を追って説明します。

AND9813/D

**Table 7. FAM65HR51DS1 CAA PARASITIC R, L C VALUES EXTRACTED FROM ANSYS Q3D ANALYSIS
(VALUES ARE EMBEDDED IN THE Q3D PACKAGE SIMULATION MODEL)**

Sink	Source	DC Resistance	AC Inductance @20 KHz	Capacitance, pF
AC1	SRC_Q1S	1.1616	12.922	80.734
	SRC_Q2D	0.62705	14.579	
AC2	SRC_Q3S	1.1912	13.133	80.013
	SRC_Q4D	0.62058	14.921	
BM	SRC_Cap2	0.56135	10.968	67.536
	SRC_Q2S	1.0246	14.257	
	SRC_Q4S	1.0501	15	
BP	SRC_Cap1	0.41802	8.0862	94.311
	SRC_Q1D	0.41016	7.2403	
	SRC_Q3D	0.67266	13.103	
Q1_Gate	SRC_Q1G	3.1784	8.7028	2.3192
Q1_Sense	SRC_Q1SS	3.6118	8.792	2.4423
Q2_Gate	SRC_Q2G	13.651	23.466	4.7489
Q2_Sense	SRC_Q2SS	11.722	19.889	5.4937
Q3_Gate	SRC_Q3G	4.6801	9.4025	2.5984
Q3_Sense	SRC_Q3SS	4.2057	10	2.5047
Q4_Gate	SRC_Q4G	10.811	22.332	6.0436
Q4_Sense	SRC_Q4SS	10.558	18.639	5.3266

Cadence PSpice

1. [Cadence 17.x/Product Utilities/PSpice Utilities/Model Editor]のディレクトリでModel Editor(モデルエディタ)を開きます。
2. Figure 24に示すModel Editor(モデルエディタ)のユーティリティ画面で、[File(ファイル)]→[Open(開く)]とクリックし、「.LIB」のシミュレーションファイルを開きます。
3. Model List(モデルリスト)ウィンドウで各サブ回路のファイル名をクリックします。ファイルがメインウィンドウで開きます。
4. [File(ファイル)]メニューをクリックします。→[Export to Part Library(部品ライブラリへエクスポート)]をクリックします。部品作成のサブウィンドウがポップアップします。→サブウィンドウの[OK]をクリックします。ファイルのコンパイルを開始し完了します。
5. すべてのサブ回路ファイルがコンパイルできるまで、3)と4)の手順を繰り返します。
6. Figure 23(a)に示すように、FAM65CR51DZ1とFAM65HR51DS1パッケージ用のPSpiceシミュレーションモデルがCapture part library(キャプチャ部品ライブラリ)内に作成されます。「.OLB」というファイル拡張子を持つシンボルファイルが、元の「.LIB」ファイルがあるのと同じディレクトリに作成されます。
7. Figure 25に示すように、PSpiceのメインシミュレーションウィンドウにある[Add Library(ライブラリの追加)]という機能を使用して、Pspice library(PSpiceライブラリ)ウィンドウに作成された「.OLB」ファイルをインクルードします。
8. 元の「.LIB」ファイルとともに「.OLB」ファイルが既に使用できる場合には、元の「.LIB」ファイルは既にコンパイルに成功しています。その場合、上記の手順をスキップして、手順7)に直接進んでください。

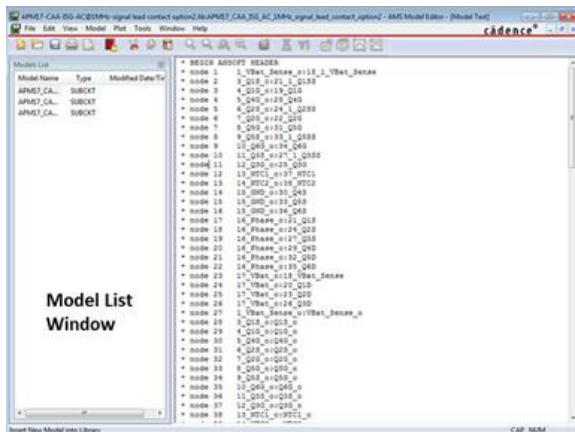


Figure 24. Model Editor Window is Divided into Model List sub-window and Main Program Window

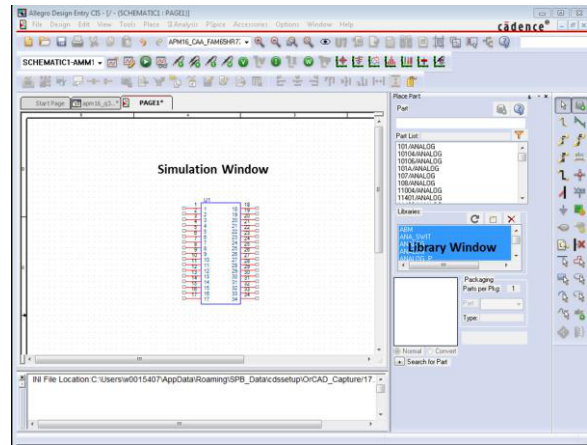


Figure 25. pSpice Main Simulation Window and Library Window

SIMETRIX

1. Simetrixソフトウェアでは、「.LIB」タイプまたは「.TXT」タイプどちらかのモデルファイルを使います。
2. メインのSimetrixを開き、モデルファイルをFigure 26に示すコマンドシェルウィンドウにドラッグアンドドロップすると、サブウィンドウが表示され、シミュレーションモデルをインストールするよう要求します。
3. サブウィンドウの[OK]をクリックすると、Figure 23(a)に示すようにシミュレーションモデルのシンボルが生成されます。
4. [Place(配置)]メニューから[All user Models(全ユーザモデル)]ウィンドウでパッケージシミュレーションモデルを見つけることができます。([Place(配置)] → [From Model Library(モデルライブラリより)] → [All user Models(全ユーザモデル)])

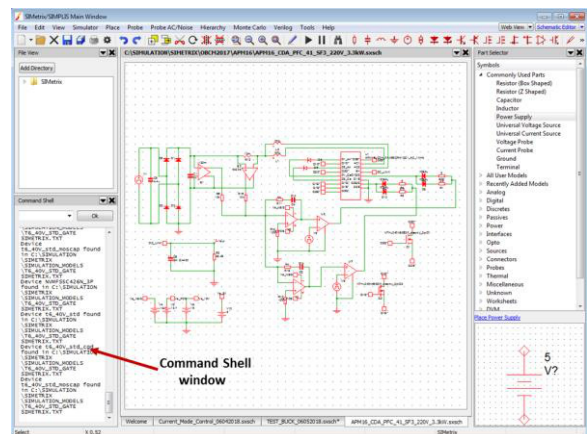


Figure 26. Main Screen of Simetrix Simulation

Figure 27に、HブリッジモジュールFAM65HR51DS1の回路図とAnsys Q3Dから抽出した関連のPSpiceパッケージシミュレーションモデルを示します。Spiceパッケージモデルには、シンクノード(実際のモジュールのピン出力)とソースノード(内部の回路部品)間の寄生R、L、Cがすべて含まれています。パッケージモデルにはMOSFETチップが含まれていないため、Figure 30とFigure 31に示すように、個々のMOSFET用のチップ単独モデルを外部で接続する必要があります。したがって、シミュレーションの実行には、チップ単独モデルはパッケージモデルと連動している必要があります。シミュレーションの目的に合わせて2種類のチップ単独モデルを選択できます。電気的性能の評価には3ピンの電気的モデルを使用し、電気熱的シミュレーションには5ピンの電気熱的モデルを使用します。2種類の熱的シミュレーションが可能です。最初のタイプは、Figure 28に示すように、ケース温度を固定したときの接合温度を見積るためのものです。「T_{case}」ポートは温度の入力源となり、「T_J」ポートは高抵抗(1 MΩ)の負荷に接続して出力ポートとして使用し、その電位が接合温度を表します。

熱的シミュレーションの2番めのタイプは、接合温度を特定の点に固定し、電力損失やR_{DS(on)}(T_J)などMOSFETの性能を測定するためのものです。この場合、Figure 29に示すように、定温度源をT_Jポートに接続し、T_{case}ポートはT_Jポートに短絡します。

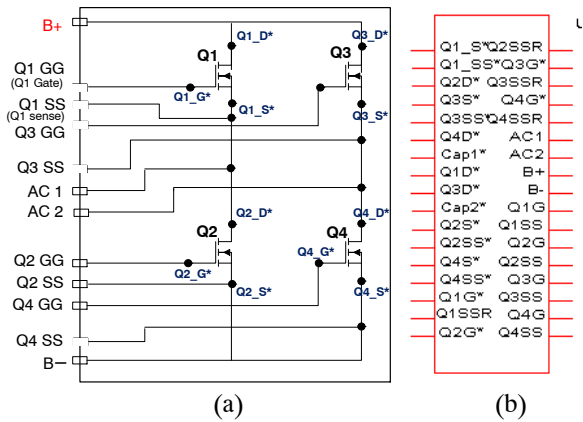


Figure 27. FAM65HR51DS1 H-Bridge
(a) Schematic and (b) pSpice Package Model Pin-out

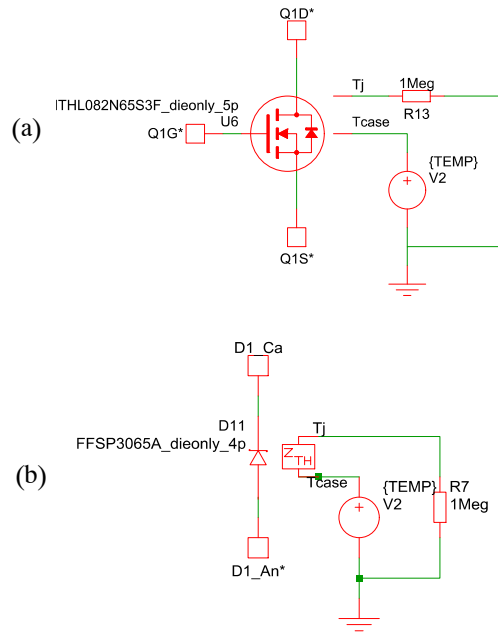


Figure 28. Connection of Electro-thermal Die-only Model to Measure (a) MOSFET and (b) DIODE Loss-dependent Junction Temperature, T_J

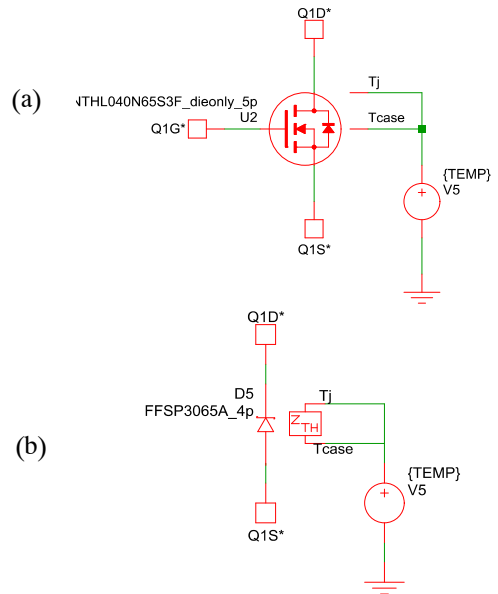


Figure 29. Connection of Electro-thermal Die-only Model to Measure the Performance of (a) MOSFET and (b) DIODE at Fixed T_J Condition

OBCシステムのシミュレーション

Figure 30に、Q3Dから抽出したフルブリッジモジュールFAM65HR51DS1のSpiceパッケージモデルを使用したLLCフルブリッジコンバータ用のシミュレーション回路を示します。各MOSFETのゲート、ドレイン、ソースの接続点にはパッケージモデルの12個の外部ピンを使用し、4個の「チップ単独」MOSFETモデルを外部で接続して、FAM65HR51DS1モジュール全体を表現します。寄生R、L、C成分の値は、アプリケーション環境に応じ、周波数掃引を使用してQ3Dの解析から決めることができます。一般に、1~20 MHz

の周波数範囲では、ゲートループとパワースイッチングループの発振が起きます。このため、寄生インダクタンス値と寄生容量値の抽出には1 MHzの励起信号を使用します。

電気回路シミュレーションでは、解析の設定は、シミュレーションの収束性、精度、速度がこの設定によって決まるため、非常に重要です。Simerixでは、規定すべき3つの重要パラメータ、すなわち、最大/最小の時間ステップ、積分方法、および収束オプションがあります。

Table 8. SIMULATION CONDITIONS FOR PFC AND DC/DC (LLC) CONVERTER BLOCK

System Block	Vin_rms	Tj	Fsw	Vout	Iout	Pout
PFC	220 V	90°C	65 kHz	400 V _{DC}	3.5 A	1.4 kW
	110 V	90°C			4.5 A	1.8 kW
	220 V	90°C			6 A	2.4 kW
	220 V	90°C			8.25 A	3.3 kW
	220 V	110°C			8.8 A	3.52 kW
DC/DC Converter	400 V _{DC}	90°C	139 kHz	400 V _{DC}	3.5 A	1.4 kW
			154 kHz	360 V _{DC}	5 A	1.8 kW
			144 kHz	360 V _{DC}	6.7 A	2.4 kW
			141 kHz	400 V _{DC}	8.25 A	3.3 kW
		110°C	151 kHz	220 V _{DC}	16 A	3.52 kW
PFC Inductor	L = 150 μH, ESR = 20 mΩ					
Resonant L, C	L_resonant = 25 μH (ESR = 10 mΩ) C_resonant = 100 nF					
Transformer	L_Pri = 125 μH, ESR_Pri = 20 mΩ, ESR_sec = 30 mΩ					

1. 最大/最小の時間ステップは、過渡解析の時間分解能を定義します。マニュアル入力により直接、または、デフォルト設定を使用して簡単に、時間分解能を調整できます。デフォルト設定を使うと適応収束法で進行されるため、通常の過渡解析ではデフォルト設定を使うのが便利です。デバイスの特性評価シミュレーションの場合には、デバイスのデータシートなどの参考資料に基づいて時間分解能を設定する必要があります。
2. 過渡解析では、台形積分法とGear積分法を選択できます。LCコンバータなどの共振回路をシミュレーションする場合、Gear積分では数値の減衰効果が起こり、共振回路が本来あるべき状態より急速に減衰します。そのため、パワーコンバータ回路の過渡解析には台形積分を選択する必要があります。
3. メニューバーウィンドウの[Simulator (シミュレータ)]メニュー下で、[Convergence Options

(収束オプション)]サブメニューをクリックすると、さまざまな収束オプションを選択できます。たとえば、「No convergence in transient analysis(過渡解析では収束しません)」というメッセージがポップアップしたときには、まず反復モードをデフォルトの[Normal Mode(ノーマルモード)]から[Extended Precision(拡張精度)]に変更し、次に[Advanced Iteration(高度反復)]または[Extended/quad precision(拡張/4倍精度)]を選択します。これらのオプションでは、シミュレーションの精度を損なわずにシミュレーション速度を犠牲にすることにより収束性が改善されます。また、その他にも[Absolute current tolerance(絶対電流誤差)]や[Circuit modifiers(回路モディファイヤ)]など、収束性を改善するためのオプションがあります。[Convergence Options(収束オプション)]メニューのウィンドウには、これらのオプションの設定に関する説明があります。

AND9813/D

OBCシステムのシミュレーション条件

シミュレーションは、PFCブロックとDC/DC (LLC)コンバータブロックに対して独立に実行されます。このシミュレーションでは、部品の電力損失は、起動時の過渡期間を含まない定常状態条件で測定します。まず各機能ブロックの効率を測定し、OBCシステム全体の効率は、PFCブロックとDC/DCコンバータブロックの効率を乗算することにより、各電力レベルで算出します。PFCとDC/DCコンバータブ

ロックのシミュレーション回路が複雑なため、両ステージを一度にシミュレートすると、収束の問題が起こる可能性があります。Table 8に、PFCとDC/DCコンバータ回路の各5種類の動作点におけるシミュレーション条件を示します。Figure 30と31に、寄生パッケージモデルとチップ単独MOSFETモデルを使用したPFCとDC/DCのシミュレーション用ブロック図をそれぞれ示します。

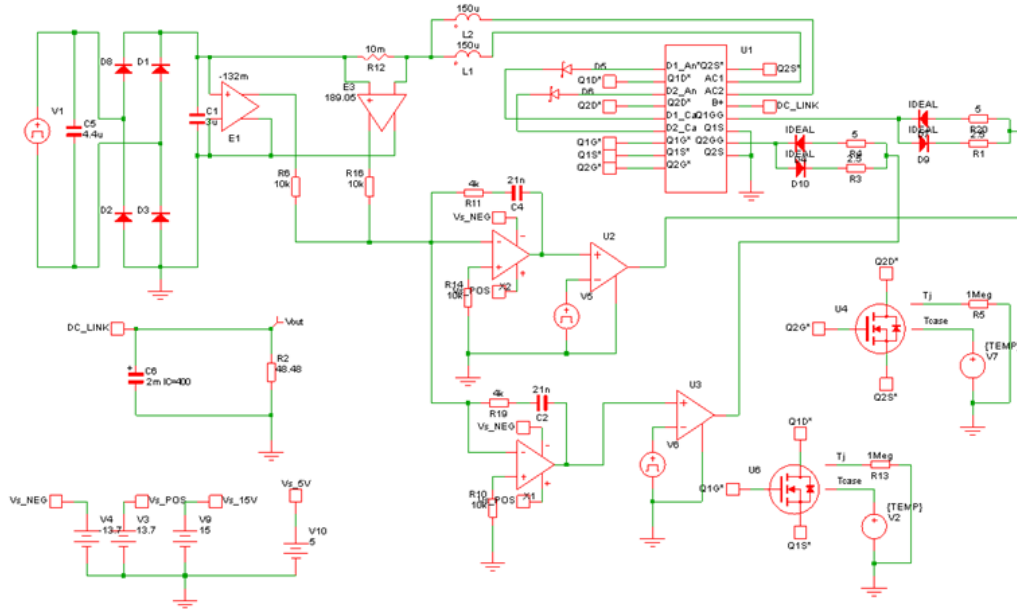


Figure 30. PFC Circuit Simulation Block Diagram using FAM65CR51DZ1 PFC Module and 5-pin Electro-thermal Die-only MOSFET Model: Tj was set to 90°C using External Temperature Source

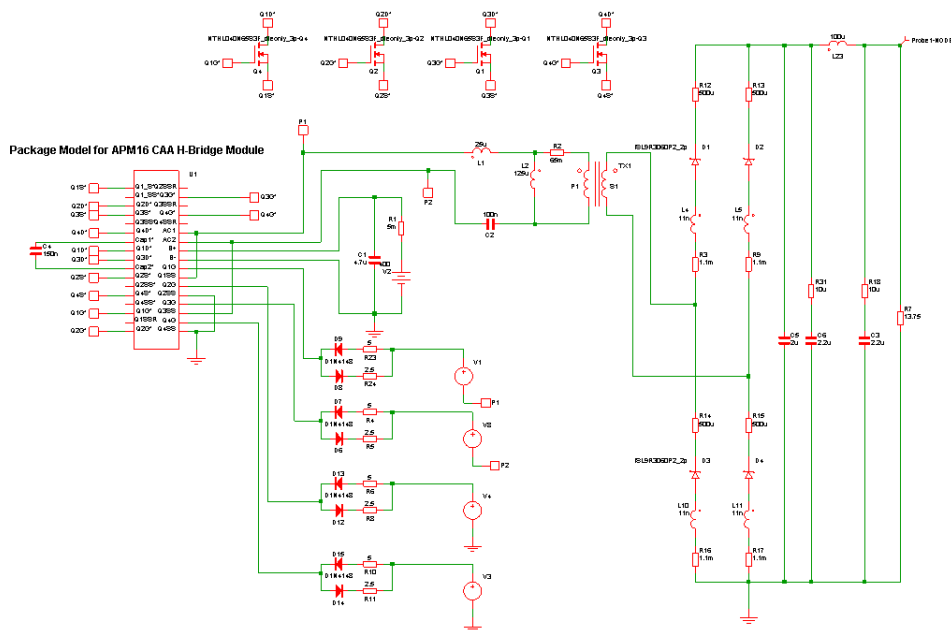


Figure 31. LLC Converter Circuit Simulation Block Diagram using FAM65HR51DS1 H-bridge Module and 3-pin Electrical Die-only MOSFET Model: Tj was set to 90°C in the Simulation Setup Option

システムシミュレーションの結果

Table 9に、OBCシステムのシミュレーション結果を示します。システム効率は、Eq. 18に基づいて計算しました。

$$E_{OBC} = E_{PFC} \times E_{DC/DC} = \frac{P_{out_PFC}}{P_{in_PFC}} \times \frac{P_{out_DC/DC}}{P_{in_DC/DC}} \times 100\% \quad (\text{eq. 18})$$

このシミュレーションでは、FAM65CR51DZ1とFAM65HR51DS1モジュールとディスクリートMOSFETの性能を、個々の電力損失とシステム効率を比べることにより比較しました。Figure 32から34に、各動作点におけるPFC、DC/DC、およびOBCシステム全体の効率をそれぞれ示します。Figure 34により、モジュールソリューションを用いたOBCは、ワーストケース条件以外では95%以上の効率を備えていることがわかります。Figure 35に示す実際のベンチ評価テストの結果と比較すると、シミュレーションから求めた効率は、±0.2%の範囲の差で、ベンチ評価データに非常に近い値になっています。これにより、シミュレーションデータには整合性と信頼性があることが確認できます。

Figure 36と37に、PFCとDC/DCにおける電力損失の内訳を示します。シミュレーション結果から、PFCモジュールFAM65CR51DZ1とHブリッジモジュールFAM65HR51DS1を使用したOBCは、これら2つのモジュールのスイッチング損失が低いため、ディスクリートのSJ MOSFETを使用した場合に比べ、明らかに高い効率を備えていることがわかります。スイッチング損失がこのように低いのは、モジュールの寄生インダクタンスと寄生抵抗が低いためです。Figure 36は、AC入力ブリッジの電力損失がPFCブロックの他のどの部品よりも支配的であることを示しています。Figure 32から、PFCブロックの効率は、220 Vac入力による主な動作範囲のどこでも97.5%より高いことがわかります。そのため、OBCシステムの効率は、主にDC/DCステージの効率で決まります。

Figure 37は、フルブリッジコンバータにおける4個のMOSFETによる電力損失がDC/DCの効率を決める重要要素であることを示しています。DC/DCステージでは、4個のMOSFETの電力損失は、全消費電力の57%を占めています。また、Figure 36と37から、OBCの効率向上のためには、AC入力ブリッジの電力損失とDC/DCコンバータのMOSFETのスイッチング損失の低減に重点を置くべきであることがわかります。トータムポルトポロジータなどのブリッジレスPFCの導入は、AC入力整流器の電力損失を最小限に抑えるための最も効果的な方法です。DC/DCコンバータブロックにおいては、あらゆる動作点が共振点より高く、ターンオンによる損失はZVS動作により非常に低いため、結果的にターンオフ過渡時のMOSFETのスイッチング損失が過半数を占めます。理想的には、動作点が正確に共振点のときには、ターンオフ過渡状態に対してはZCSが実現できます。この場

合、MOSFETのターンオン損失は最小に抑えられます。LLCコンバータの動作点が共振点よりも高いところにある場合は、ハードスイッチングによるターンオフは避けられないため、ターンオフ時のスイッチング損失を低減するためには、トランスやLLC共振回路などコンバータブロックの設計最適化が必要です。

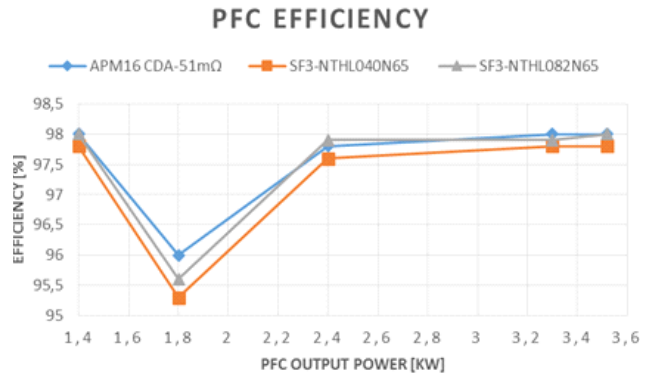


Figure 32. PFC Block Efficiency at each Operating Point: at 1.8 kW Power, Vac_in = 110 vrms (Worst Case) and Vac_in = 220 vrms at all other Points

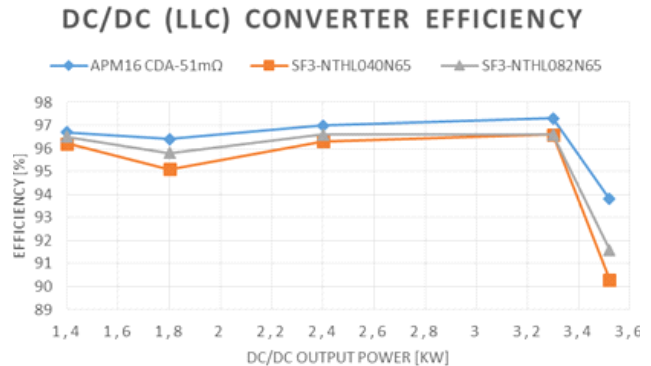


Figure 33. DC/DC (LLC) Converter Block Efficiency: at 3.52 kW, Vout = 220 V Iout = 16 A (Worst Case)

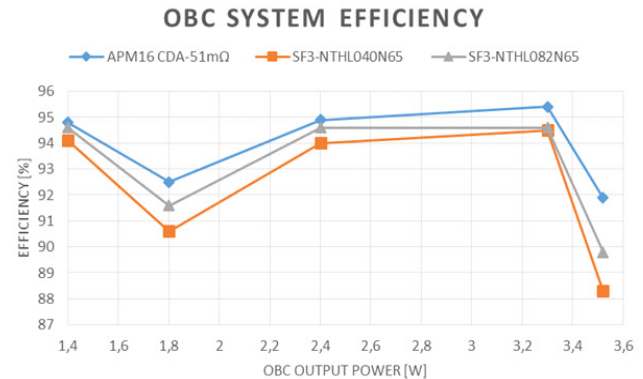


Figure 34. OBC System Efficiency with WCS at 1.8 kW and 3.52 kW

AND9813/D

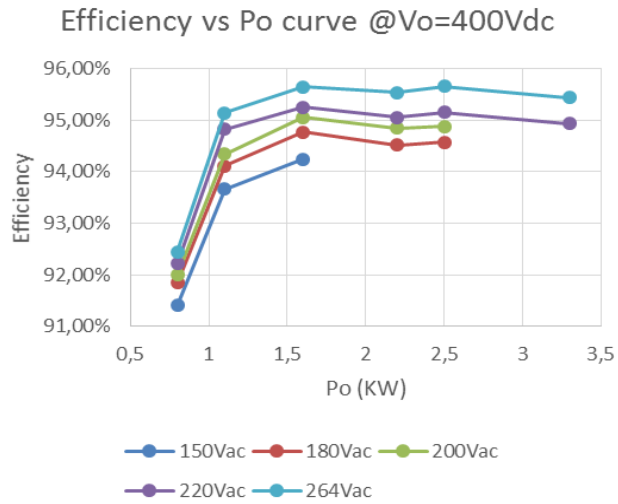


Figure 35. OBC Efficiency Measured from Bench Test using FAM65CR51DZ1 PFC Module and FAM65HRDS1 H-bridge Module

Table 9. EFFICIENCY SIMULATION RESULTS FOR 3.3 kW OBC SYSTEM

OBC Power	Switching Device	Efficiency [%]		
		PFC	DC/DC	OBC Total
1.4 kW	FAM65CR51DZ1 and FAM65HR51DS1-51 mΩ Die	98	96.7	94.8
	NTHL040N65 (TO247)	97.8	96.2	94.1
	NTHL082N65 (TO247)	98	96.5	94.6
1.8 kW	FAM65CR51DZ1 and FAM65HR51DS1-51 mΩ Die	96	96.4	92.5
	NTHL040N65 (TO247)	95.3	95.1	90.6
	NTHL082N65 (TO247)	95.6	95.8	91.6
2.4 kW	FAM65CR51DZ1 and FAM65HR51DS1-51 mΩ Die	97.8	97	94.9
	NTHL040N65 (TO247)	97.6	96.3	94
	NTHL082N65 (TO247)	97.9	96.6	94.6
3.3 kW	FAM65CR51DZ1 and FAM65HR51DS1-51 mΩ Die	98	97.3	95.4
	NTHL040N65 (TO247)	97.8	96.6	94.5
	NTHL082N65 (TO247)	97.9	96.6	94.6
3.52 kW (Worst Case in DC/DC)	FAM65CR51DZ1 and FAM65HR51DS1-51 mΩ Die	98	93.8	91.9
	NTHL040N65 (TO247)	97.8	90.3	88.3
	NTHL082N65 (TO247)	98	91.6	89.8

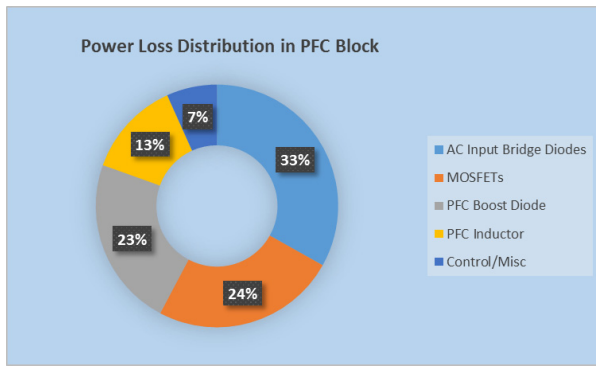


Figure 36. Power Loss Distribution in PFC Function Block

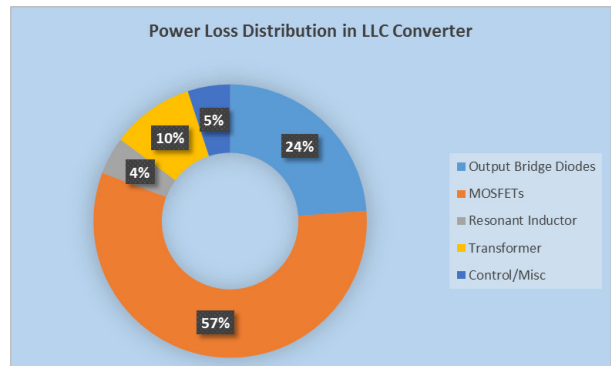


Figure 37. Power Loss Distribution in DC/DC Converter Function Block

参考文献

- [1] “Power Factor Correction Converter Design with FAN6982”, ON Semiconductor Application Note, AN-6982 Rev. 1.0.1, November 26th 2014
- [2] S. De Simone, C. Adragna, C. Spini, “Design guideline for magnetic integration in LLC resonant converters”, Power Electronics, Electrical Drives, Automation Motion, 2008. SPEEDAM 2008. International Symposium, May, 11th – 13th, 2008, pp. 950 – 957
- [3] Hangseok Choi, “Half-Bridge LLC Resonant Converter Design Using FSR-Series Fairchild Power Switch”. ON Semiconductor Application Note, AN-4151, Rev. 1.0.2 October 10th, 2014
- [4] S. De Simone, C. Adragna, C. Spini, G. Gattavari, “Design-oriented steady-state analysis of LLC resonant converters based on FHA”, Power Electronics, Electrical Drives, Automation Motion, 2006
- [5] SPEEDAM 2006. International Symposium, May, 23rd – 26th, 2006 Page(s): 200 – 207

ON Semiconductor及びON SemiconductorのロゴはON Semiconductorという商号を使うSemiconductor Components Industries, LLC 若しくはその子会社の米国及び/または他の国における商標です。ON Semiconductorは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。ON Semiconductorの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marketing.pdf。ON Semiconductorは通告なしで、本書記載の製品の変更を行うことがあります。ON Semiconductorは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害など一切の損害に対して、いかなる責任も負うことはできません。お客様は、ON Semiconductorによって提供されたサポートやアプリケーション情報の如何にかかわらず、すべての法令、規制、安全性の要求あるいは標準の遵守を含む、ON Semiconductor製品を使用したお客様の製品とアプリケーションについて一切の責任を負うものとします。ON Semiconductorデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。ON Semiconductorは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。ON Semiconductor製品は、生命維持装置や、いかなるFDA (米国食品医薬品局)クラス3の医療機器、FDAが管轄しない地域において同一もしくは類似のものと分類される医療機器、あるいは、人体への移植を対象とした機器における重要部品などへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にON Semiconductor製品を購入または使用した場合、たとえ、ON Semiconductorがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、ON Semiconductorとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。ON Semiconductorは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:
Literature Distribution Center for ON Semiconductor
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910

ON Semiconductor Website: www.onsemi.com
Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative