



最新パワーエレクトロニクス  
デバイス向け物理ベース、  
スケーラブルSPICEモデリング手法

# 最新パワーエレクトロニクスデバイス向け物理ベース、 スケーラブルSPICEモデリング手法

## 要約

パワーエレクトロニクスの効率的な設計は、正確で予測能力の高いSPICEモデルを使用できるかどうかにかかっています。本書では、ワイドバンドギャップデバイスを含むパワーエレクトロニクス半導体向けに、物理に基づくスケーラブルな新しいSPICEモデルを提案します。このモデルはプロセスおよびレイアウトパラメータに基づいており、SPICE、物理的設計、およびプロセス技術間を直接結びつけることにより設計を最適化できます。本モデルは、技術開発期間中の重要な設計要素として、そして新製品の普及のために使用されます。

## はじめに

現代のパワーエレクトロニクスは、広範な種類の半導体デバイスを包含しており、それらすべてがデザインスペースにおいて独自のメリットやトレードオフをもたらします。そのようなデバイスには、トレンチIGBT、スーパージャンクションMOSFET、トレンチMOSFET、GaN HEMT、SiC MOSFET、SiCダイオードなどがあります。さまざまなデバイスのメリットをすべて実現するためのパワーモジュールの効率的な設計は、正確で予測能力の高いSPICEモデルを使用できるかどうかにかかっています。業界で従来から行われている時代に逆行したモデリングアプローチでは、デバイスは、時間のかかるTCADと製造サイクルの組み合わせにより、最初に設計され、ついで製造されます。デバイス設計が完了し認定されると、測定した特性に合わせてSPICEモデルが抽出され、アプリケーションのシミュレーションに使用できるようになります。プロセスパラメータやレイアウトの変動に敏感な物理的なSPICEモデルがあれば、時代に逆行したこの悪循環を断ち切り、デバイス設計手順における重要なリンクとしてシミュレーションが可能になります[参考文献1-3]。このような物理モデルは、TCAD、回路設計、製造の間のギャップを埋めることにより、サイクル時間の短縮を促進します。回路設計者は、製造の反復ではなくシミュレーションによって、プロセス開発の初期段階で技術を評価できます。

歴史的に、SPICEレベルのパワー半導体モデルは、シンプルなサブサーキットまたはビヘイビアモデルに基づいていました。シンプルなサブサーキットモデルは、多くの場合、初歩的すぎて、電流-電圧、容量-電圧、過渡、熱的挙動など、すべてのデバイス特性を適切に取り入れることができません。より高度なビヘイビアモデルは、多くの場合、デバイスレイアウトやプロセスパラメータと直接リンクすることができません。例えば、[4-7]で報告されたSiC MOSFETの最近のモデルでは、単純なSPICEレベル1ベースのMOSFETモデルがチャンネルに使用されており、固定の線形抵抗が明らかに非線形である

JFETのようなドリフト領域に使用されています。さらに、重要な $C_{GD}$ 容量は、すべて物理モデルではないダイオード回路網、経験的なフィッティング関数、あるいは[8]に記載されるテーブルモデルを用いて記述されています。これらのモデルは、プロセスやレイアウトに基づいておらず、またスケラビリティも明確ではありません。さらに多くの物理モデルが[9, 10]に報告されています。しかし、これらのモデルも非線形ドリフト領域を線形抵抗で取り扱っており、 $C_{GD}$ における空乏層ピンチ効果が取り入れられていません。さらに、[9]のモデルは、固有のシミュレータ言語を導入しており、複数のSPICEシミュレータプラットフォーム間での移植性には問題が生じます。これまで述べたことは、SiC MOSFETのモデルに関するものばかりでした。同様の状況は、あらゆる種類のパワー半導体デバイスにも存在します。本書では、複数のパワー半導体デバイス向けの、物理に基づいた、スケラブルで堅牢な初めてのSPICE非依存モデルによる最先端事例を提示します。この方法はスーパージャンクション[1]、トレンチMOSFET [2]、ごく最近のGaN HEMTデバイスなど幅広いデバイスに適用されていますが、SiC MOSFETとトレンチIGBTのモデルについて詳細に取り上げます。堅牢なSPICE非依存モデルの生成についての詳細は、セクションVIで説明します。

## SiC MOSFETモデルの説明

Figure 1はSiC MOSFETの断面図、Figure 2は対応するSPICEのサブサーキット表現を示しています。

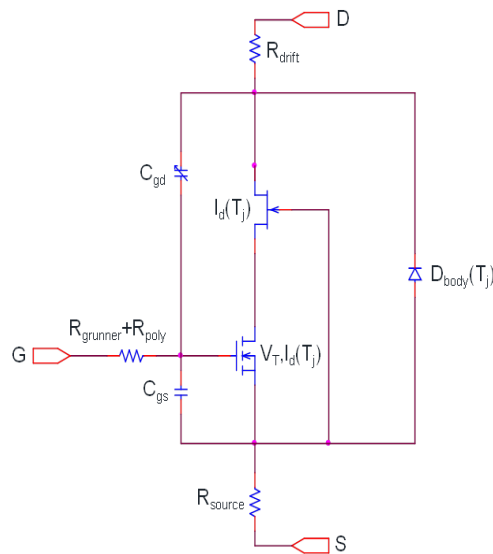


Figure 1. SiC MOSFET Subcircuit Model

## チャネル

チャネルは、関連するチャネルの物理特性すべてを取り入れた物理ベースのBSIM3v3モデル[11]により記述されています。特に、サブスレッショルド、弱反転、強反転領域間の遷移については、正確に取り入れられています。抽出された移動度パラメータU0は、SiCチャネルの標準値である10~50cm<sup>2</sup>/(V-s)という低い範囲を採用しており、本モデルをSiC MOSFETに適用できることを示しています。SiC MOSFETに固有の挙動に合わせて調整できる柔軟な温度モデリングも含まれています。さらに、広く利用可能なBSIM3v3モデルは、ビヘイビアモデルに比べ、卓越した速度と収束性を備えています。

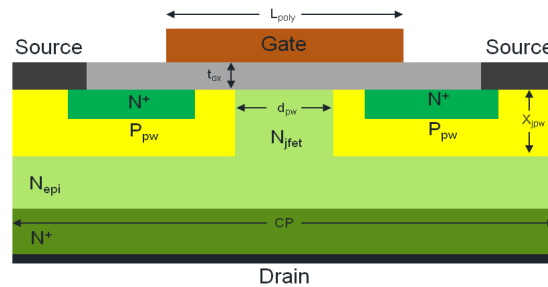


Figure 2. SiC MOSFET Cross Section

## エピタキシャルJFET

pウェル間のエピ領域は、標準SPICE JFETモデルに取り入れられています。以前導出したJFETパラメータの解析モデル[1]を、SiC MOSFET JFET領域に適用するために修正しています。BSIM3v3モデルと同様に、SPICEのJFETモデルは広く利用可能で、非常に高速で収束性に優れています。ドリフト領域の線形および非線形挙動を取り入れているJFETのSPICEモデルパラメータは、電流増幅率ベータと、スレッショルドまたはピンチオフ電圧vtoです。これらのパラメータは、三極管領域の式(1)のような、よく知られたJFETの電流方程式で使われます。

$$I_D = \beta \cdot [2 \cdot (V_{GS} - v_{to}) - V_{DS}] \cdot V_{DS} \cdot (1 + \lambda \cdot V_{DS}) \quad (\text{eq. 1})$$

JFETの増幅率(ベータ)とSiC MOSFETのピンチオフ(vto)パラメータの解析モデルは、物理的プロセスとJFETの空乏層幅に関する標準的な式を用いたレイアウトパラメータの関数として導出されています。空乏層幅がpウェル間距離の半分に等しい点を求めると、vtoパラメータは、次式で表されます。

$$v_{to} = \phi - \left( \frac{d_{pw}}{2 \cdot \alpha} \right)^2 \quad (\text{eq. 2})$$

ここで、d<sub>pw</sub>はpウェル間の距離、その他はJFET領域として知られています。pウェルとJFET間のビルトインポテンシャルφは、関連するドーピング濃度P<sub>pw</sub>とN<sub>jfet</sub>を用いて、次式で与えられます。

$$\phi = \phi_t \cdot \log \left( \frac{N_{jfet} \cdot P_{pw}}{n_i^2} \right) \quad (\text{eq. 3})$$

ここで、 $n_i$ は真性キャリア濃度、 $\phi_t$ は熱電圧です。空乏化係数 $\alpha$ は、次式で与えられます。

$$\alpha = \frac{\sqrt{2 \cdot \epsilon_{SiC} \cdot P_{pw}}}{q \cdot N_{jfet} \cdot (N_{jfet} + P_{pw})} \quad (\text{eq. 4})$$

ここで、 $q$ は素電荷、 $\epsilon_{SiC}$ はSiCの誘電率です。

ベータパラメータをさらに導出すると、次式のようにになります。

$$\beta = \frac{2 \cdot H_{bayeff}}{X_{jpw} \cdot \rho \cdot (-vto)} \cdot \left( \frac{d_{pw}}{2} - \alpha \cdot \sqrt{\phi} \right) \quad (\text{eq. 5})$$

ここで、 $X_{jpw}$ はpウェルの接合深さです。抵抗率 $\rho$ は、移動度 $\mu$ の関数として、次式で与えられます。

$$\rho = \frac{1}{q \cdot N_{jfet} \cdot \mu} \quad (\text{eq. 6})$$

$H_{bayeff}$ はゲートランナ間の実効距離であり、後のスケーリングセクションで導出します。

JFET領域を越えて拡張したドリフト領域は、エピ層と $N^+$ のドーピング量およびセルピッチCPに依存する断面積によってパラメータ化した $R_{drift}$ を用いてモデリングします。

## ボディダイオード

SiC MOSFETは、他のパワーMOSFETと同様に、 $P_{pw}$ と $N_{epi}$ 層の間に、都合よく逆導通用の接合ダイオードを内蔵しています。よく知られているように、単純なSPICEのダイオードモデルには、逆回復効果を取り入れられていません。逆回復をとまなう物理的なダイオードモデルが[13]で提案されました。本研究では、このモデルを、SiC MOSFET向けに固有のレイアウトスケーリングを採り入れるように拡張しました。[14]に提示されているこのダイオードモデルは、オンセミのあらゆるファーストリカバリダイオードモデルの基礎となっています。

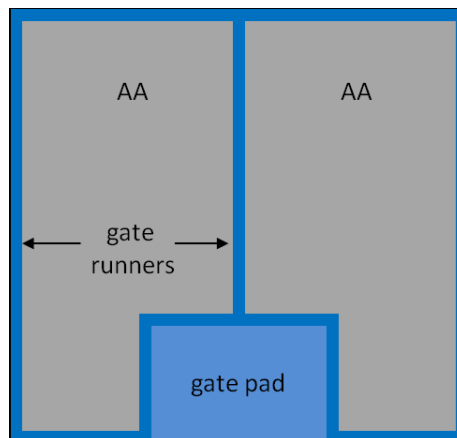


Figure 3. SiC MOSFET Typical Layouts

## 容量

SiC MOSFETデバイスの $C_{GD}$ 容量は、ゲート酸化膜厚 $t_{ox}$ 、 $d_{pw}$ および $N_{jfet}$ などのプロセスパラメータとレイアウトパラメータに依存するMOS容量のビヘイビアモデルによって取り入れられています。JFET領域のドーピング量は、容量と電流の非線形効果のバランスを取るよう設計されることが多いため、容量を測定すると、ドーピング量と形状に依存して複数の遷移領域を示します。 $C_{GD}$  MOS容量の基本式は次式で与えられます。

$$C_{GD} = \frac{C_{ox} \cdot C_{dep}}{C_{ox} + C_{dep}} \quad (\text{eq. 7})$$

ここで、 $C_{ox}$ は、酸化膜厚 $t_{ox}$ によって直接的に決まる酸化膜容量です。さらに、 $C_{dep}$ は次式で与えられます。

$$C_{dep} = \frac{\epsilon_{SiC}}{W_{dep}} \quad (\text{eq. 8})$$

ここで、空乏層幅 $W_{dep1}$ は、ドーピング量とJFETのピンチオフ条件の関数になります。空乏領域は、複数の成分の総和により得られます。最初の2成分は、JFETのピンチオフ前に発生し、表面からJFET領域へのドーピングプロファイルの変化によって変動します。最初の部分は次式で与えられます。

$$W_{dep1} = \left( \frac{2 \cdot \epsilon_{SiC}}{q \cdot N_{surf}} \cdot \min((V_{DG} - V_{FB}), V_{surf}) \right)^{mjsurf} \quad (\text{eq. 9})$$

ここで、 $V_{FB}$ はフラットバンド電圧、 $N_{surf}$ は酸化膜直下のドーピング量、 $mjsurf$ と(10)の $mj$ は0.5に近いグレーディングパラメータ、 $V_{surf}$ はドーピングプロファイルで $N_{jfet}$ への遷移が生じる場合の実効電圧です。2番目の成分は次式で与えられます。

$$W_{dep2} = \left( \frac{2 \cdot \epsilon_{SiC}}{q \cdot N_{surf}} \cdot \min((V_{DG} - V_{FB} - V_{surf}), -vto) \right)^{mj} \quad (\text{eq. 10})$$

すべての最小値および最大値関数は平方根を介して導入し、データフィッティングと良好な収束性のために必要な滑らかな遷移を示すように式を制限します。3番目の空乏層は、JFET領域がピンチオフすると、空乏領域の下部プレートが下降することを表しています。 $V_{DS} = vto$ で $X_{jpw}$ に直接関係する $W_{dep3}$ を導入する滑らかなステップ関数を導入します。ピンチオフ後に付け加わる $W_{dep}$ は、 $N_{epi}$ によって制御され、エピ領域の厚さによって制限されます。

$C_{GS}$ は主にBSIM3v3のチャネルモデルから決定されます。さらに、 $N^+$ 層とゲートポリシリコンとの重なり、およびゲートポリシリコンとソース電極との重なりによる固定容量が本モデルに含まれています。

$C_{DS}$ 容量は、前述のようにボディダイオードの接合容量によるものです。

## スケーリング

本モデルは集中定数素子を使用するため、BSIM3v3、JFET、ダイオード、容量などデバイス要素のレイアウトパラメータから有効幅や多重度係数を導出する必要があります。まず、入力レイアウトパラメータに基づいて、次式のようにアクティブ領域を計算します。

$$AA = (W_{\text{chip}} - 2 \cdot X_{\text{edge}}) \cdot (H_{\text{chip}} - 2 \cdot Y_{\text{edge}}) - GP_{\text{loss}} - GR_{\text{loss}} - CNR_{\text{loss}} \quad (\text{eq. 11})$$

ここで、 $W_{\text{chip}}$ はチップの幅、 $H_{\text{chip}}$ はチップの高さ、 $X_{\text{edge}}$ と $Y_{\text{edge}}$ はチップ端からアクティブ領域までの寸法です。 $GP_{\text{loss}}$  (ゲートパッド面積)、 $GR_{\text{loss}}$  (ゲートランナ面積)、および $CNR_{\text{loss}}$  (コーナ面積)の計算式は、ここには記載していませんが導出方法は明らかです。ゲートパッドのために、ゲートフィンガーはすべて同じ高さになるわけではないので、実効高さは次式で与えられます。

$$H_{\text{bayeff}} = \frac{AA}{[(W_{\text{chip}} - 2 \cdot X_{\text{edge}}) \cdot 2 \cdot (1 + N_{\text{grunner}})]} \quad (\text{eq. 12})$$

ここで、 $N_{\text{grunner}}$ はサイドランナを除いた内部ゲートランナの数です。多重性係数は次式で与えられます。

$$\text{mult} = \frac{2 \cdot (W_{\text{chip}} - 2 \cdot X_{\text{edge}}) \cdot 2 \cdot (1 + N_{\text{grunner}})}{CP} \quad (\text{eq. 13})$$

最初の2という係数はセルの対称性を計上したものです。

Figure 3は、チップエッジ、ランナ、およびゲートパッドの非アクティブ領域に明らかに寄生容量や寄生抵抗が存在する典型的なレイアウトを示しています。能動素子に対する寄生成分の比例度合いがさまざまであることは明らかです。本モデルには、各寄生要素に対して物理に基づくスケーラブルな成分が含まれています。

## その他

ゲートポリシリコンと金属ランナの抵抗は、デバイスのプロセスとレイアウトパラメータに関してスケーラブルです。ゲートポリシリコン抵抗は次式で与えられます。

$$R_{\text{poly}} = \rho_{\text{shpoly}} \cdot \frac{H_{\text{bayeff}}}{L_{\text{poly}} \cdot \frac{\text{mult}}{2} \cdot \text{rdist}} \quad (\text{eq. 14})$$

ここで、 $\rho_{\text{shpoly}}$ はゲートポリシリコンのシート抵抗、 $\text{rdist}$ は通常3の範囲の分布フィッティングパラメータです。ゲート抵抗については、単純なSPICE  $tc1$ および $tc2$ 温度パラメータがサポートされています。

本モデルは完全に電気-熱的なもので、[1, 12]に従い、チャネルとJFET領域について周囲温度や自己発熱を含んでいます。さらに、ダイオードモデルは、自己発熱を含むように拡張されています。デバイスの電力を熱インピーダンスネットワークに入れると、SPICEでは暗黙的に接合温度 $T_j$ が求められます。システムの $Z_{\text{TH}}$ のネットワークを物理的にカスケード接続するために、カウアー型ネットワークが導入されています。

個別パッケージ部品のモデルには、寄生インダクタンスが含まれています。

## SiC MOSFETモデルの検証

オンセミの1200 V SiC MOSFETに対するベンチマーク結果を示します。

### 電流-電圧(IV)特性

電流と電圧の関係の複数の側面を調べます。IVテストはすべてパルス幅250  $\mu$ sのパルス条件下で実施します。テスト条件を模倣するために、パルス印加に対する過渡シミュレーションを行います。電流は測定と同様にパルス印加の最後にサンプリングします。これにより、パワー半導体のモデル抽出に不可欠な、シミュレーション結果と測定結果の $T_j$ の一貫性を確保します。Figure 4に $T = 25^\circ\text{C}$ における出力特性を示します。出力コンダクタンスの非常に正確なモデリングが実現できます。高いゲートおよびドレインバイアスにおいてJFET領域の影響をはっきり見ることができ、電流が圧縮し始めています。Figure 5に $V_{DS} = 0.1 \text{ V}$ での $T = 25^\circ\text{C}$ における伝達特性を示します。 $V_{GS}$ の範囲全体にわたって電流と相互コンダクタンスが非常によく一致しており、これまで報告されていないサブスレシヨルド領域の正確なモデリングができています。

SiC MOSFETデバイスの堅牢な温度挙動は、技術を採用する場合に重要な特徴であるため、回路設計には温度に対するデバイス特性の正確なモデリングが不可欠です。Figure 6は $V_{GS} = 20 \text{ V}$ の場合の温度変化に対する出力特性を示しています。Figure 7は $V_{DS} = 0.1 \text{ V}$ での温度変化に対する伝達特性を示しています。 $I_D = 10 \text{ mA}$ における温度に対するスレシヨルド電圧をFigure 8に、温度に対する $R_{DSon}$ をFigure 9にプロットしています。KT1、UTE、UA1、AT、BTEE、VTTCなどの、BSIM3v3およびJFETモデルに関連する温度パラメータが導入されています。最後に、温度に対するボディダイオードの電流-電圧特性をFigures 10、11にプロットしています。温度に対するこの結果は全体的に、本モデルがSiC MOSFETの温度挙動を正確に捕捉できていることを明確に示しています。

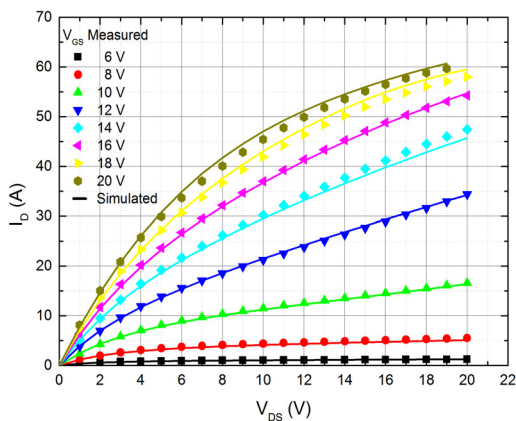


Figure 4. SiC MOSFET Output Current at  $T = 25^\circ\text{C}$

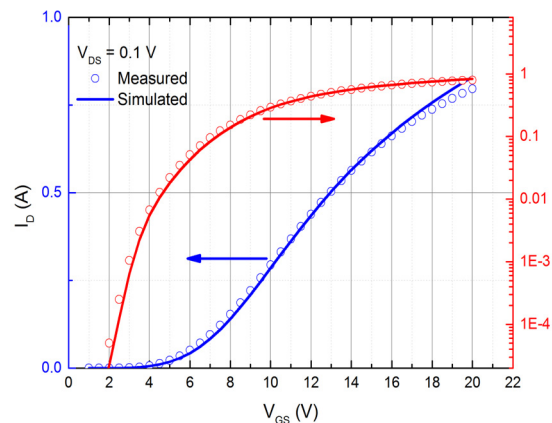
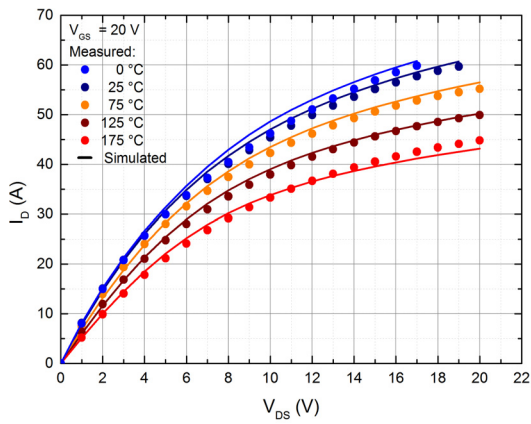
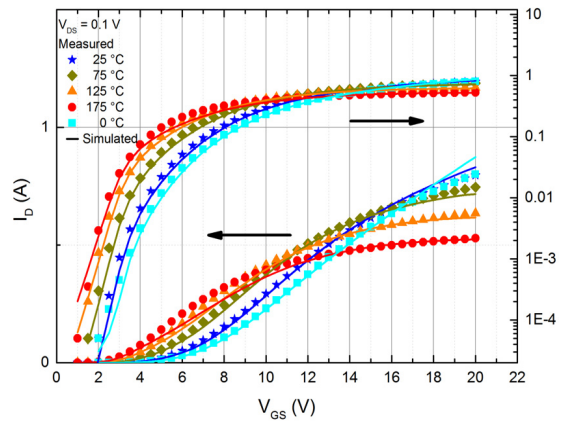


Figure 5. SiC MOSFET Transfer Current at  $V_{DS} = 0.1 \text{ V}$ ,  $T = 25^\circ\text{C}$

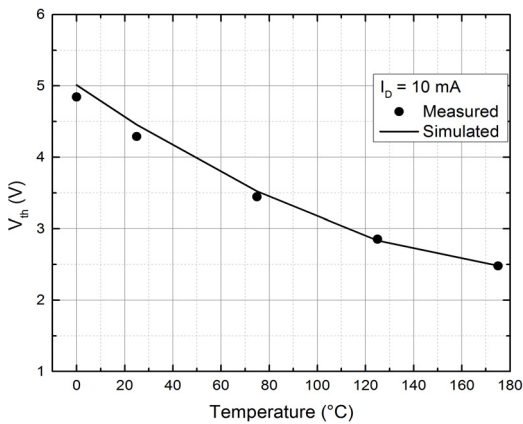




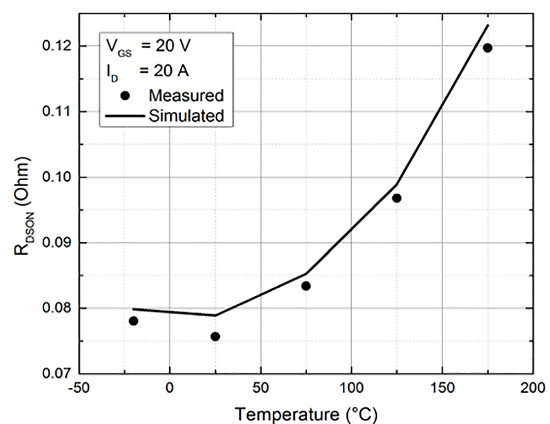
**Figure 6. SiC MOSFET Output Current over Temperature**



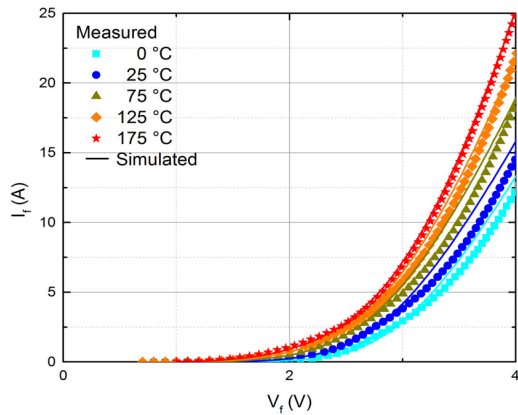
**Figure 7. SiC MOSFET Transfer Current over Temperature**



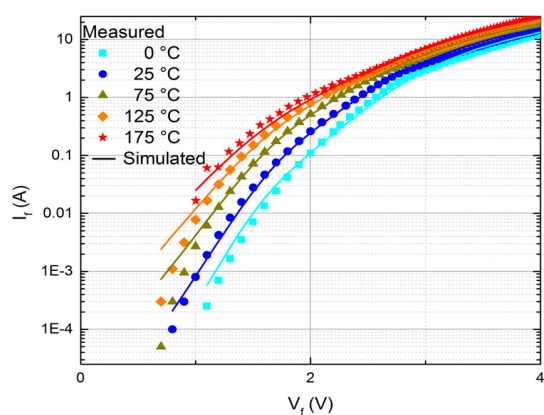
**Figure 8. SiC MOSFET Threshold Voltage over Temperature**



**Figure 9. SiC MOSFET R\_DS(on) over Temperature**



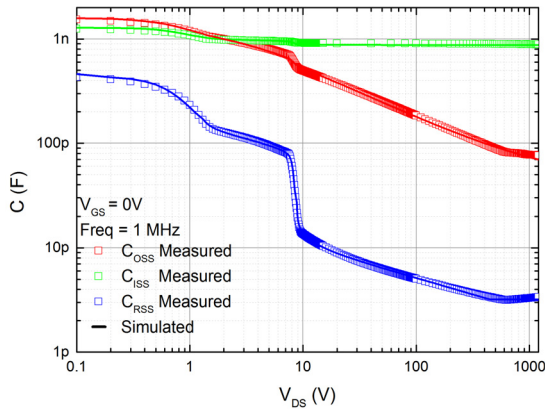
**Figure 10. SiC MOSFET Body Diode Current-voltage on Linear Scale**



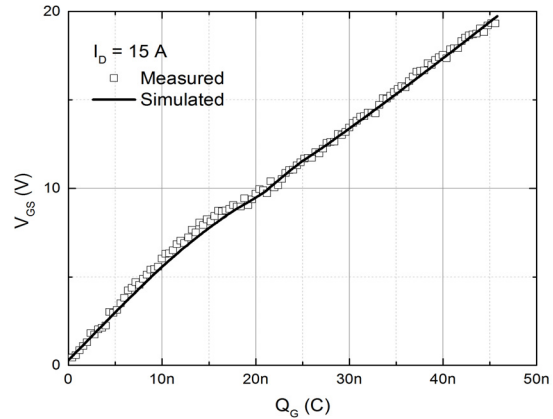
**Figure 11. SiC MOSFET Body Diode Current-voltage on Log Scale**

## 容量-電圧(CV)特性およびゲート電荷

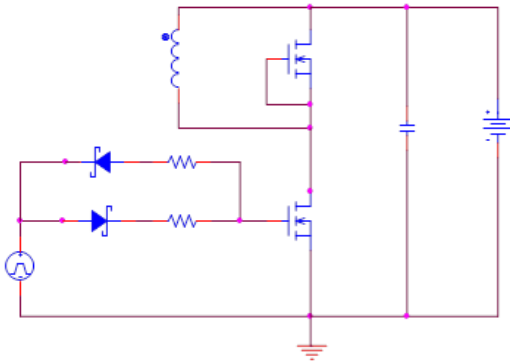
Figure 12は、従来の容量 $C_{ISS}$ 、 $C_{RSS}$ 、および $C_{OSS}$ に対するモデルの正確さを示しています。 $C_{RSS}$ において複数の遷移領域が正確に一致していることから、提案した $C_{GD}$ モデルの正当性が確認できます。これらの特性は、数桁にわたる非線形の高い挙動を強調するために、両対数スケールで示しています。正確な容量シミュレーションの直接の結果として、Figure 13に示すように、妥当なゲート電荷の結果が期待されます。



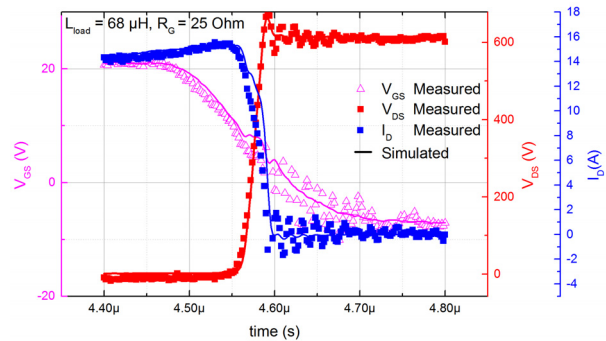
**Figure 12. SiC MOSFET Standard Capacitances**



**Figure 13. SiC MOSFET Gate Charge, Note the Presence of a Parasitic  $C_{GS} = 1$  nF in Test Setup**



**Figure 14. Double Pulse Switching Circuit**



**Figure 15. SiC MOSFET Double Pulse Switching OFF at  $I_D = 15$  A**

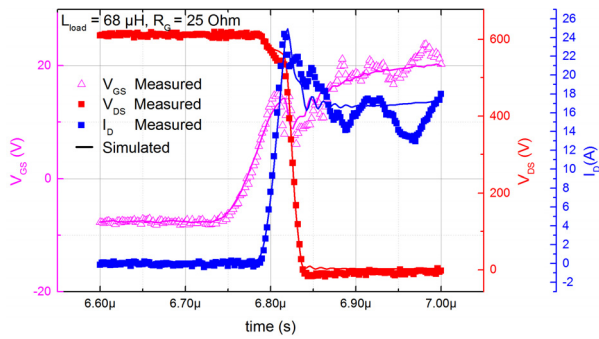


Figure 16. SiC MOSFET Double Pulse switching ON at  $I_D = 15$  A

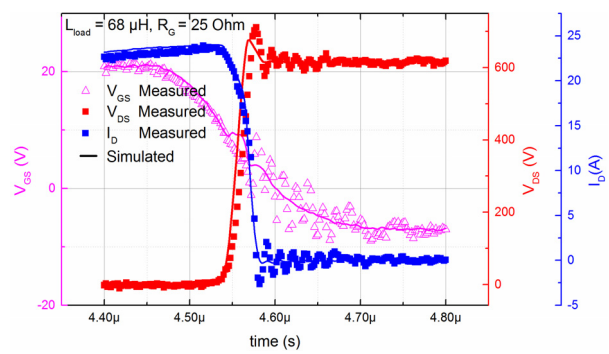


Figure 17. SiC MOSFET Double Pulse switching OFF at  $I_D = 24$  A

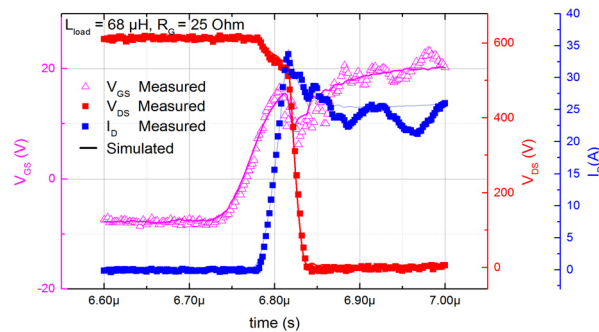


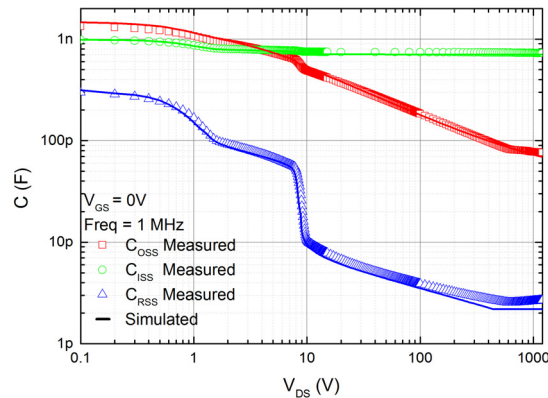
Figure 18. SiC MOSFET Double Pulse switching ON at  $I_D = 24$  A

## ダブルパルススイッチングと逆回復

ダブルパルス回路は、パワー半導体のスイッチング特性の評価に広く使用されています。基本的なスイッチング回路をFigure 14に示します。ここでは、単純化するために、受動素子と基板に関連する寄生素子の多くを省略しています。また、以前に特性評価したSiC MOSFETをハイサイドとローサイドデバイスとして組み込んでいます。Figures 15~18は、2種類の電流レベルにおけるターンオンおよびターオフ時の過渡波形を本モデルが正確に捕捉できていることを示しています。非線形性の高い容量と $Q_G$ におけるミラー効果がほぼ正確に予測できているため、これ以上の調整は必要なく、スイッチング結果を無理なく予測可能です。SiC MOSFETは、高速スイッチング特性と低いスイッチング損失を実現しています。振動の不一致は、負荷インダクタ、電解コンデンサ、回路基板の配線引き回しなど、テスト回路の部品とそれらの寄生素子のモデリングの不正確さによるものです。

## スケーリング

同じチップ寸法でセルピッチを42%増やし、 $L_{poly}$ を12%増やした2個目のデバイスを特性評価します。基本モデルを新しいレイアウトパラメータで、これ以上何も調整せずに、そのままシミュレーションします。Figure 19は、適切なスケーリングの重要な指標である容量を示しています。極めて正確な結果が得られており、本モデルのスケーラビリティの正当性が確認できます。



**Figure 19. Standard Capacitances for Device with a 42% Increase in CP and 12% Increase in  $L_{poly}$**

## トレンチIGBTモデルの説明

Figure 20にIGBTの断面図を示し、Figure 21に対応するSPICEのサブサーキット表現を示します。物理的なモデルの出発点は、[15]に報告されているLauritzenによるプレーナIGBTに関する研究です。このモデルには、IGBTのキャリア輸送物理に関する強固な基盤が含まれています。しかし、さまざまなレイアウトやプロセスパラメータを備えたトレンチデバイスの挙動に関する物理方程式は含まれていません。このモデルは、本研究において以下の属性が拡張されました。

- トレンチIGBTのプロセスに関する物理/スケーリング方程式の開発
- 経験的な固有のMOSFETモデルをSiC MOSFETモデルに類似したBSIM3v3モデルで置き換え
- トレンチ間のピンチ効果を含むトレンチ技術に関する物理的/非線形動的容量モデルの追加
- 短絡に対して堅牢な製品のためのエミッタセルおよびソースブロッキングモデリングの追加
- 完全な電気-熱的効果の追加
- 任意電源によるSPICEでの実装
- 数値的に堅牢で、優れた収束/速度性能

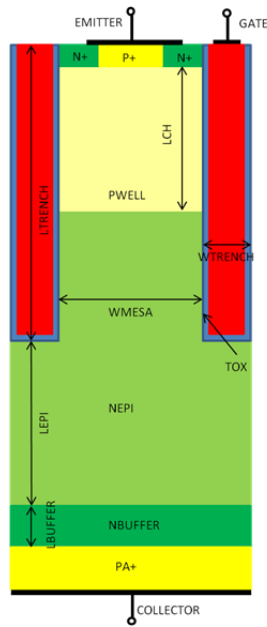


Figure 20. Trench IGBT Cross Section

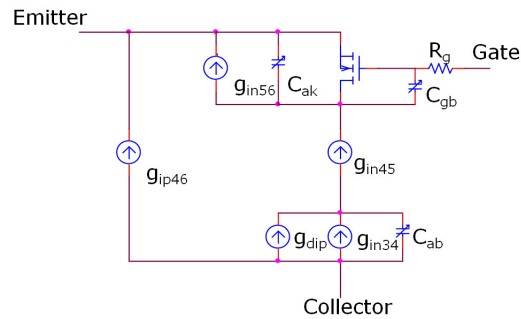


Figure 21. Trench IGBT Subcircuit Model

従来の $C_{RES}$ に関連するサブサーキットの $C_{gb}$ 容量の詳細をここで説明します。本モデルは、SiC MOSFETに類似したMOSの空乏層の定式化を使用していますが、トレンチ間のピンチオフ電圧は異なる物理に従います。ピンチオフ電圧の方程式は、次式で与えられます。

$$V_p = \frac{q \cdot N_{jfet} \cdot W_{mesa}}{2} \cdot \left( \frac{1}{C_{ox}} + \frac{W_{mesa}}{4 \cdot \epsilon_{Si}} \right) + V_j \quad (\text{eq. 15})$$

ここで、 $N_{jfet}$ はPwell下のトレンチ間のドーピング量で、 $V_j$ は層のドーピング濃度によって決まるアノードとバッファ層の接合電位です。

トレンチIGBTは、SiC MOSFETに関して前述したのと同様のレイアウトとゲート抵抗スケールングに従います。

## トレンチIGBTモデルの検証

オンセミの複数世代の650 VフィールドストップトレンチIGBT技術に対するベンチマーク結果を示します。

### 電流-電圧(IV)特性

前述したパルス過渡条件下における電流-電圧関係の複数の側面を調べます。Figure 22は、 $T = 25^{\circ}\text{C}$ での自己発熱の影響を見るために、高い電力レベルまでの標準的な出力特性を示しています。Figure 23は、 $T = 25^{\circ}\text{C}$ および $T = 175^{\circ}\text{C}$ での $V_{\text{CEsat}}$ 領域に注目した出力電流です。Figure 24は、 $T = 25^{\circ}\text{C}$ および $T = 175^{\circ}\text{C}$ での伝達特性を示しています。両方の温度依存性プロットとも、本モデルが温度挙動を正確に予測していることを示しています。

### 容量-電圧(CV)特性およびゲート電荷

Figure 25は、従来の容量 $C_{\text{IES}}$ 、 $C_{\text{RES}}$ 、および $C_{\text{OES}}$ のモデル正確度を明確に示しています。 $C_{\text{RES}}$ の降下電圧に正確に一致していることから、ピンチオフ電圧に関する本物理モデルの正当性が確認できます。Figure 26に示すように、正確なゲート電荷のシミュレーションが期待されます。

### ダブルパルススイッチング

Figure 14に示した、MOSFETで使用したものと同じスイッチング回路を、同じパッケージのトレンチIGBTに置き換えて使用します。Figures 27と28は、本モデルがターンオンおよびターンオフ時の過渡波形を正確に捕捉できていることを示しています。オフへの遷移中に $V_{\text{CE}}$ が徐々に立ち上がる状態が正確にシミュレーションできているのは、動的容量 $C_{\text{gb}}$ によるものです。オンへの遷移中を通じてコレクタ電流 $I_{\text{C}}$ が正確にモデリングできていることから、一括パッケージ化されたダイオードの逆回復が正確にモデリングできていることが確認できます。

### レイアウトのスケーリング

オンセミの最新トレンチIGBT技術であるFS4の中から、75 Aデバイスを基本スケラブルモデルの特性評価のために使用します。この基本モデルを、50 Aデバイス用の新しいレイアウトパラメータを使用して、何も調整せずに、そのままシミュレーションします。Figures 29と30は、それぞれ電流-電圧特性と $C_{\text{RES}}$ を示しています。非常に正確な結果が得られており、本モデルのスケラビリティの正当性が確認できます。

### プロセスのスケーリング

固有モデルの物理およびプロセスのパラメータ化により、IGBTでよく知られたトレードオフ曲線( $E_{\text{OFF}}$  vs.  $V_{\text{CEsat}}$ )などの重要なデバイスのトレードオフを評価できます。通常、パワー半導体メーカは、1つの技術世代の複数の派生品から製品を提供します。大抵の場合、IGBTの派生品間の唯一の違いは、トレードオフ曲線を制御するためのアノードのドーピング量です。ここで提示するモデルは、Figure 31に示すようにアノードドーピング量を直接調整することにより、トレードオフ曲線の特性を正確に予測できます。スケラブルなプ

プロセスパラメータは、Figure 32に示すように、シンボルレベルで提示されます。ここで、 $ncolln$ は、正規化されたコレクタ(またはアノード)のドーピング量を表します。このモードでは、アノードドーピング量のパラメトリックスイープを実行して、主要なプロセスパラメータに対する設計とアプリケーションの感度を把握できます。

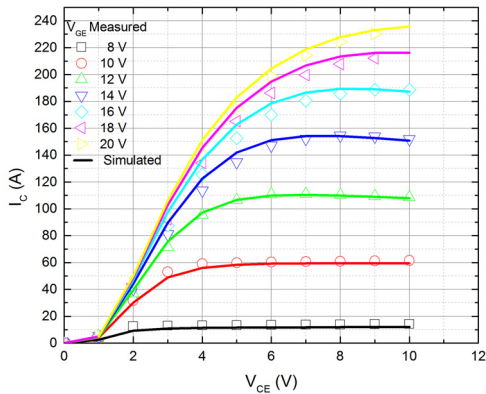


Figure 22. Trench IGBT  $I_C$  vs.  $V_C$  at  $T = 25^\circ\text{C}$

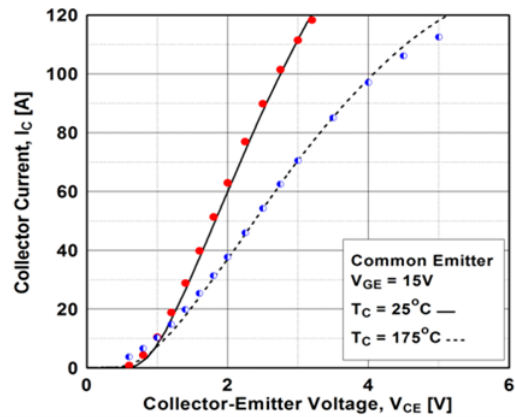


Figure 23. Trench IGBT  $I_C$  vs.  $V_C$  at  $T = 25^\circ\text{C}$  and  $175^\circ\text{C}$

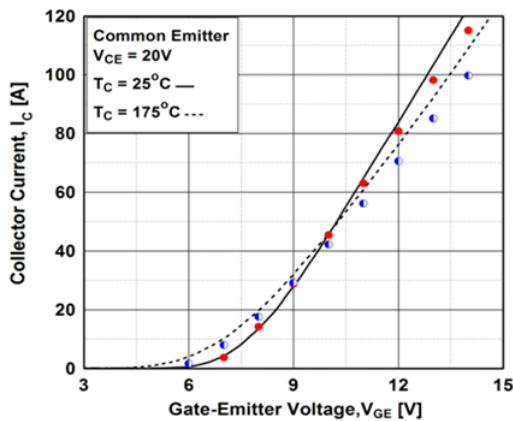


Figure 24. Trench IGBT  $I_C$  vs.  $V_G$  at  $T = 25^\circ\text{C}$  and  $175^\circ\text{C}$

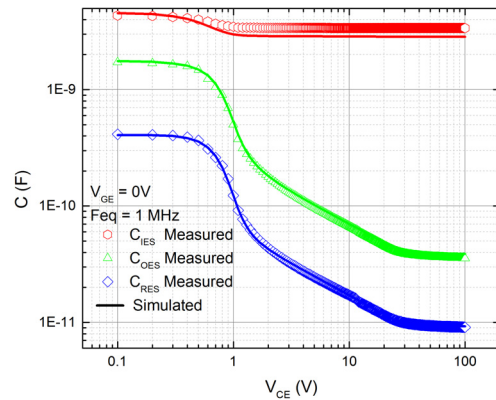


Figure 25. Trench IGBT Standard Capacitances

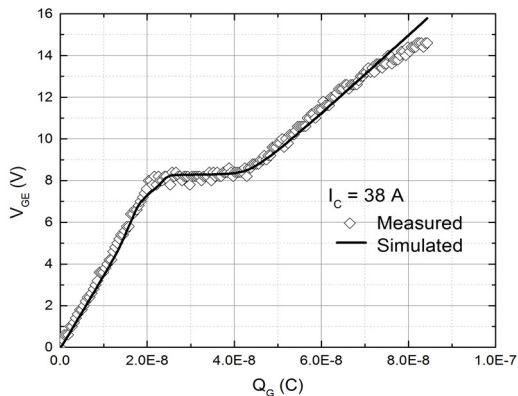


Figure 26. Trench IGBT Gate Charge

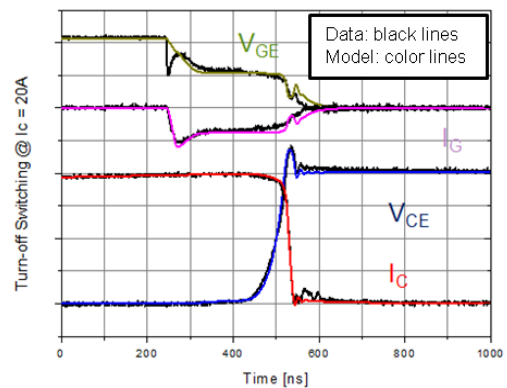
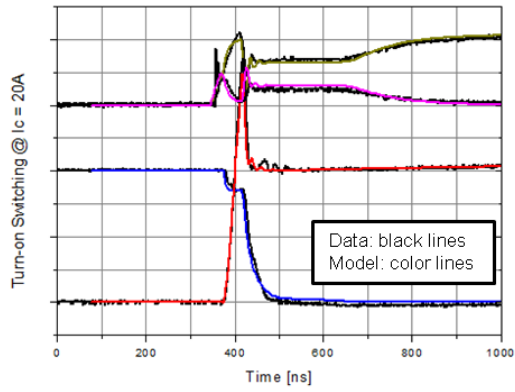
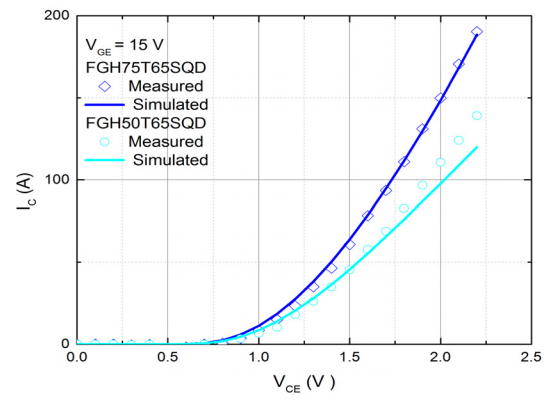


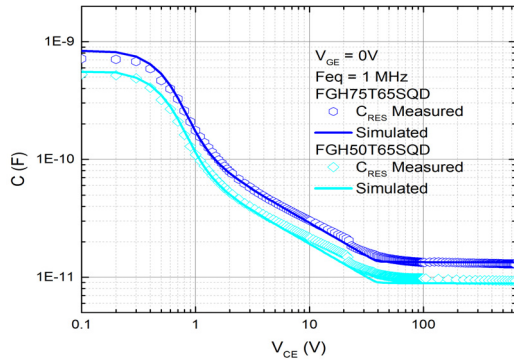
Figure 27. Trench IGBT Double Pulse Switching OFF at  $I_C = 20\text{ A}$



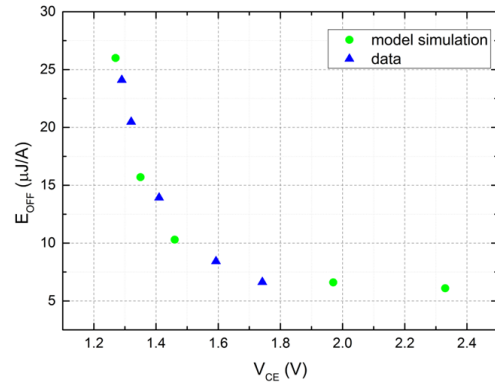
**Figure 28. Trench IGBT Double Pulse Switching ON at  $I_C = 20$  A**



**Figure 29. Trench IGBT  $I_C$  vs.  $V_{CE}$  Scaling**



**Figure 30. Trench IGBT  $C_{RES}$  Scaling**



**Figure 31.  $E_{OFF}$  vs.  $V_{CE}$  Trade**



## 堅牢なSPICE非依存モデリング

オンセミのモデルは、物理ベースのサブサーキットとして構築されています。最良の速度と収束を実現するために、可能な限りSPICEプリミティブが使用されます。しかし、最新のパワー半導体デバイスに関連する物理は複雑なので、正確で物理的なSPICEプリミティブは、ほとんど利用できません。特定デバイスのデバイス物理がいったん導出されれば、制御電源(通常はGとE)を使用して、電流、電荷、および容量に対する物理的な温度依存性の式を導入できます。

パワー半導体の設計コミュニティでは、SPICEに類似した幅広いシミュレータが使用されています。したがって、複数のシミュレータ固有モデルのサポートを最小限に抑え、シミュレータ間で一貫性のある結果を提供するために、SPICEにとらわれないアプローチが取られます。重要な要素は、PSPICEに一般的に見られるSPICE要素と構文の最小公倍数を使用することです。Verilog-AやMASTなどのビヘイビア言語は、モデルの導入には非常に魅力的ですが、これらは一般的なシミュレータのすべてでサポートされているわけではないため除外します。

## 結論

本書では、パワー半導体デバイスのSPICEレベルのモデリングに対する新しいアプローチを提示しました。サブスレッショルド、線形、飽和の各領域を通して、電流の非線形性や温度の影響に関して非常に正確な結果が得られました。さらに、MOSFETの $C_{RSS}$ やIGBTの $C_{RES}$ に関連する非常に重要な伝達容量はすべて、バイアス範囲全体にわたって正確に取り入れられており、一般的なアプリケーション回路の正確なシミュレーションが可能です。デバイスレイアウトとプロセス変動のスケラブルなモデリングを導入したことにより、以前から認識されていたのに手がつけられなかったデバイスの最適化ポイントへの扉が開かれました。この堅牢なモデルは、PSPICE、LTSPICE、Simetrix、Spectre、ADS、SABER、Simplorerなど複数のSPICEプラットフォームで利用できます。

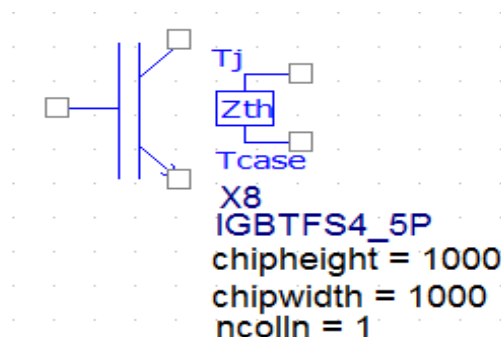


Figure 32. Trench IGBT PSPICE Symbol

## 参考文献

- [1] J. Victory, D. Son, T. Neyer, K. Lee, E. Zhou, J. Wang, and M. B. Yazdi, "A Physically Based Scalable SPICE Model for High-Voltage Super-Junction MOSFETs," 2014 PCIM Europe, pp. 956–963, May 2014.
- [2] J. Victory, S. Pearson, S. Benczkowski, T. Sarkar, H. Jang, M. Yazdi, and K. Mao, "A Physically Based Scalable SPICE Model for Shielded-Gate Trench Power MOSFETs," 2016 ISPSD, pp. 219–222, June 2016.
- [3] C. He, J. Victory, M. B. Yazdi, K. Lee, M. Domeij, F. Allerstam, and T. Neyer, "A Physically Based Scalable SPICE Model for Silicon Carbide Power MOSFETs," 2017 APEC, pp. 2678–2684, March 2017.
- [4] J. Wang, T. Zhao, J. Li, A. Huang, R. Callana, F. Husna, and A. Argawal, "Characterization, Modeling, and Application of 10-kV SiC MOSFET," IEEE Transactions on Electron Devices, vol. 55, no. 8, pp. 1798–1806, August 2009.
- [5] A. Arribas, F. Shang, M. Krishnamurthy, and K. Shenai, "Simple and Accurate Circuit Simulation Model for SiC Power MOSFETs," IEEE Transactions on Electron Devices, vol. 62, no. 2, pp. 449–457, Feb. 2015.
- [6] A. Lakrim and D. Tahri, "The DC Behavioural Electrothermal Model of Silicon Carbide Power MOSFETs under SPICE," in IEEE 2015 International Conference on Industrial Technology, 2015, pp. 2818–2823, 2015.
- [7] K.Sun, H.Wu, J.Lu, Y.Xing and L.Huang, "Improved Modeling of Medium Voltage SiC MOSFET within Wide Temperature Range," IEEE Trans. Power Electronics, vol.29, no.5, pp. 2229–2237, May 2014.
- [8] G. Bonanza, D. Cavallaro, R. Greco, A. Raffa, and P. Veneziano, "A New Analog Behavioral SPICE Macro Model with Thermal and Self-Heating effects for Silicon Carbide Power MOSFETs," in 2015 PCIM Europe, 2015, pp. 1023–1030.
- [9] T. McNutt, A. Hefner, H. A. Mantooth, D. Berning, and S. Ryu, "Silicon Carbide Power MOSFET Model and Parameter Extraction Sequence," IEEE Transactions on Power Electronics, vol. 22, no. 2, pp. 352–363, March 2007.
- [10] M.Mudholkar, S.Ahmed, M.Ericson, S.S.Frank, C.L.Britton, and H.A.Mantooth, "Datasheet Driven Silicon Carbide Power MOSFET Model," IEEE Trans. Power Electronics, vol. 29, no.5, pp. 2220–2228, May 2014.
- [11] BSIM3v3.2 MOSFET Model User's Manual, <http://bsim.berkeley.edu/models/bsim3>
- [12] M. Maerz and P. Nance, "Thermal Modeling of Power-electronic Systems", Application Note, <http://www.infineon.com/>
- [13] P. O. Lauritzen and C. L. Ma, "A Simple Diode Model with Reverse Recovery", IEEE Transactions on Power Electronics, vol. 6, no. 2, pp. 188–191, April 1991.
- [14] M. B. Yazdi and J. Victory, "A Scaled PIN Diode SPICE Model for Power System Optimization," 2017 PCIM Europe, pp. 956–963, 2017.
- [15] P. O. Lauritzen, G. K. Andersen, and M. Helsper, "A Basic IGBT Model with Easy Parameter Extraction", IEEE Power Electronics Specialists Conference, June 2001.

**onsemi**, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

## PUBLICATION ORDERING INFORMATION

### LITERATURE FULFILLMENT:

Email Requests to: [orderlit@onsemi.com](mailto:orderlit@onsemi.com)

**onsemi Website:** [www.onsemi.com](http://www.onsemi.com)

### TECHNICAL SUPPORT

**North American Technical Support:**

Voice Mail: 1 800-282-9855 Toll Free USA/Canada

Phone: 011 421 33 790 2910

**Europe, Middle East and Africa Technical Support:**

Phone: 00421 33 790 2910

For additional information, please contact your local Sales Representative