

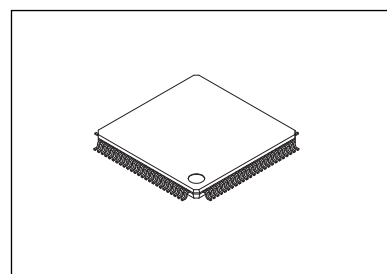
LC88FC3K0A

16-bit Microcontroller 768K-byte Flash ROM / 47.5K-byte RAM / 100-pin



ON Semiconductor®

www.onsemi.jp



TQFP 100,14X14

LC88FC3K0Aは、768K-byte Flash ROM / 47.5K-byte RAM, 100-pinパッケージの16-bit Microcontrollerである。主な特長として赤外線リモコン受信回路 (PPM, マンチェスター方式対応), 12bit分解能ADC × 16ch, リセット回路, CRC回路など、ソフト制御が容易な専用の周辺回路を多数内蔵しており部品点数削減に貢献している。また、豊富なシリアルインターフェイス回路 (同期式 × 3, I²C × 3, UART × 3)は、周辺LSIとの通信を可能とし複雑な制御を要するホームアプライアンス、白物家電などの制御用にも適している。ソフト開発には自社オリジナルの統合環境を準備しており、オンチップデバッグ機能と合わせて、実際のアプリケーションでソフトデバッグが容易に実現可能である。

特長

- 12ビットADコンバータ16チャンネル
- 赤外線リモコン受信回路
- CRC演算回路
- 内蔵リセット回路

Performance

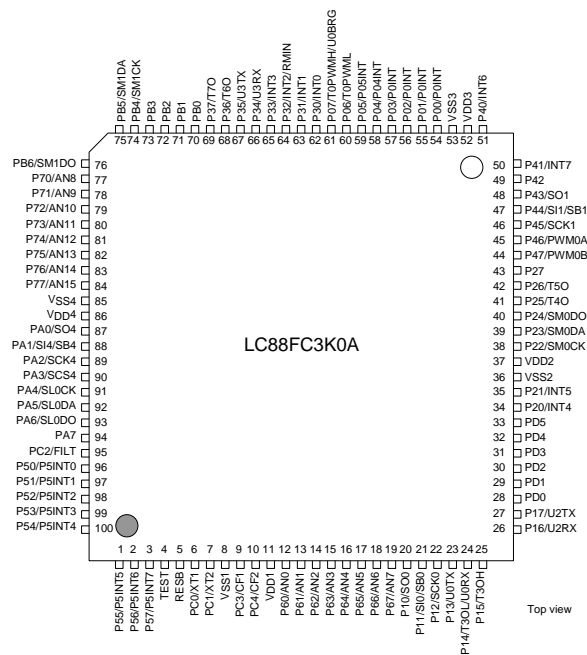
- 100ns (10.0MHz) $V_{DD}=2.7\sim 3.6V$ $T_a=-40\sim +85^\circ C$

機能

- Xstromy16 CPU
 - 4Gバイトのアドレス空間
 - 汎用レジスタ: 16ビット × 16本
- ポート
 - I/Oポート 86
 - 電源端子 8 (VSS1~VSS4, VDD1~VDD4)
- タイマ
 - 16ビットタイマ × 8
 - 時計用ベースタイマ
- シリアルインタフェース
 - 自動転送機能付き同期式 SIO × 3
 - シングルマスタ I²C / 同期式 SIO × 2
 - スレーブ I²C / 同期式 SIO
 - 非同期式 SIO (UART) × 3
- 周期可変 12ビット PWM × 2
- 12ビット分解能 × 16チャンネル AD コンバータ
- ウォッチドッグタイマ
- 赤外線リモコン受信回路
- CRC 演算回路
- リアルタイムクロック
- システムクロック分周機能
- CF 発振回路、水晶発振回路、RC 発振回路
- 61要因 14ベクタ割り込み機能
- オンチップデバッグ機能

アプリケーション

- ホームオーディオ、白物家電



ピン配置図 (Top view)

この製品は米国 SST 社 (Silicon Storage Technology, Inc.) のライセンスを受けています。

ORDERING INFORMATION

See detailed ordering and shipping information on page 48 of this data sheet.

機能詳細

■Xstromy16 CPU

- ・4Gバイトのアドレス空間
- ・汎用レジスタ：16ビット×16本

■フラッシュROM

- ・786432×8ビット
- ・書き換え電源電圧：2.7～3.6V
- ・消去単位：2Kバイト
- ・書き込み単位：2バイト

■RAM

- ・48640×8ビット

■最小命令サイクルタイム(tCYC)

- ・100ns(10.0MHz) $V_{DD}=2.7\sim 3.6V$

■ポート

- ・ノーマル耐圧入出力ポート
1ビット単位で入出力指定可能 86(P0n, P1n, P2n, P3n, P4n, P5n, P6n, P7n, PAn, PB0～PB6, PC2, PD0～PD5)
- ・発振/ノーマル耐圧入出力ポート 4(PC0, PC1, PC3, PC4)
- ・リセット端子 1(RESB)
- ・TEST端子 1(TEST)
- ・電源端子 8(VSS1～4, VDD1～4)

■タイマ

- ・タイマ0：PWM/トグル出力可能な16ビットのタイマ
 - ①5ビットプリスケアラ付き
 - ②8ビットPWM×2、8ビットタイマ+8ビットPWM分割モード選択可能
 - ③クロックソースをシステムクロック、OSCO、OSC1、内臓RCから選択
- ・タイマ1：キャプチャレジスタ付き16ビットタイマ
 - ①5ビットプリスケアラ付き
 - ②8ビットタイマ×2chの分割可能
 - ③クロックソースをシステムクロック、OSCO、OSC1、内臓RCから選択
- ・タイマ2：キャプチャレジスタ付き16ビットタイマ
 - ①4ビットプリスケアラ付き
 - ②8ビットタイマ×2chに分割可能
 - ③クロックソースをシステムクロック、OSCO、OSC1、外部イベントから選択
- ・タイマ3：PWM/トグル出力可能な16ビットタイマ
 - ①8ビットプリスケアラ付き
 - ②8ビットタイマ×2ch、8ビットタイマ+8ビットPWMの分割モード選択可能
 - ③クロックソースをシステムクロック、OSCO、OSC1、外部イベントから選択
- ・タイマ4：トグル出力可能な16ビットタイマ
 - ①クロックソースをシステムクロック、プリスケアラ0から選択
- ・タイマ5：トグル出力可能な16ビットタイマ
 - ①クロックソースをシステムクロック、プリスケアラ0から選択
- ・タイマ6：トグル出力可能な16ビットタイマ
 - ①クロックソースをシステムクロック、プリスケアラ0から選択
- ・タイマ7：トグル出力可能な16ビットタイマ
 - ①クロックソースをシステムクロック、プリスケアラ0から選択
- *プリスケアラ0,1は4ビットで構成されクロックソースをシステムクロック、OSCO、OSC1から選択。
- ・ベースタイマ
 - ①クロックは、OSCO(32.768kHz水晶発振)、システムクロックの分周出力から選択できる。
 - ②7種類の時間での割り込み発生が可能。

LC88FC3K0A

■リアルタイムクロック (RTC)

- ① 西暦 2000 年 1 月 1 日から西暦 2799 年 12 月 31 までのカレンダー機能 (うるう年を含む)
- ② 秒, 分, 時, 日, 月, 年, 世紀の独立したカウンタ構成

■シリアルインタフェース

- SI00 : 8 ビット同期式 SIO
 - ① LSB 先頭/MSB 先頭切り替え可能
 - ② 8 ビット以下の通信可能 (1 ビット~8 ビットのビット指定可能)
 - ③ 8 ビットボーレートジェネレータ内蔵 (転送クロック 4tCYC~512tCYC)
 - ④ 連続データ自動転送機能 (9 ビット~32768 ビットのビット単位指定可能)
 - ⑤ インターバル機能 (インターバル時間 0~64tSCK 単位で指定可能)
 - ⑥ ウェークアップ機能
- SI01 : 8 ビット同期式 SIO
 - ① LSB 先頭/MSB 先頭切り替え可能
 - ② 8 ビット以下の通信可能 (1 ビット~8 ビットのビット指定可能)
 - ③ 8 ビットボーレートジェネレータ内蔵 (転送クロック 4tCYC~512tCYC)
 - ④ 連続データ自動転送機能 (9 ビット~32768 ビットのビット単位指定可能)
 - ⑤ インターバル機能 (インターバル時間 0~64tSCK 単位で指定可能)
 - ⑥ ウェークアップ機能
- SI04 : 8 ビット同期式 SIO
 - ① LSB 先頭/MSB 先頭切り替え可能
 - ② 8 ビット以下の通信可能 (1 ビット~8 ビットのビット指定可能)
 - ③ 8 ビットボーレートジェネレータ内蔵 (転送クロック 4tCYC~512tCYC)
 - ④ 連続データ自動転送機能 (9 ビット~32768 ビットのビット単位指定可能)
 - ⑤ インターバル機能 (インターバル時間 0~64tSCK 単位で指定可能)
 - ⑥ ウェークアップ機能
- SMIIC0 : シングルマスタ I²C/8 ビット同期式 SIO
 - モード 0 : Single-master のマスタモードによる通信
 - モード 1 : 同期式 8 ビットシリアル I/O (データ MSB 先頭)
- SMIIC1 : シングルマスタ I²C/8 ビット同期式 SIO
 - モード 0 : Single-master のマスタモードによる通信
 - モード 1 : 同期式 8 ビットシリアル I/O (データ MSB 先頭)
- SLIIC0 : スレーブ I²C/8 ビット同期式 SIO
 - モード 0 : スレーブモードでの I²C 通信
 - モード 1 : 同期式 8 ビットシリアル I/O (データ MSB 先頭)

注)外部クロックでのみ使用可能

LC88FC3K0A

・UART0

- ①データ長 : 8 ビット (LSB ファースト)
- ②スタートビット : 1 ビット
- ③ストップビット : 1 ビット
- ④パリティビット : なし/偶数パリティ/奇数パリティ
- ⑤転送レート : 4/8 サイクル
- ⑥ボーレートソースクロック : P07 入力信号を 1 サイクルとして使用 (TOPWMH をクロックソースとして使用可能) またはタイマ 4 周期
- ⑦全二重通信
(注) サイクルはボーレートクロックソースの 1 周期

・UART2

- ①データ長 : 8 ビット (LSB ファースト)
- ②スタートビット : 1 ビット
- ③ストップビット : 1/2 ビット
- ④パリティビット : なし/偶数パリティ/奇数パリティ
- ⑤転送レート : 8~4096 サイクル
- ⑥ボーレートソースクロック : システムクロック/OSC0/OSC1/P26 入力信号
- ⑦ウェークアップ機能
- ⑧全二重通信
(注) サイクルはボーレートクロックソースの 1 周期

・UART3

- ①データ長 : 8 ビット (LSB ファースト)
- ②スタートビット : 1 ビット
- ③ストップビット : 1/2 ビット
- ④パリティビット : なし/偶数パリティ/奇数パリティ
- ⑤転送レート : 8~4096 サイクル
- ⑥ボーレートソースクロック : システムクロック/OSC0/OSC1/P36 入力信号
- ⑦ウェークアップ機能
- ⑧全二重通信
(注) サイクルはボーレートクロックソースの 1 周期

■AD コンバータ

- ①12/8 ビット分解能切り替え
- ②アナログ入力 : 16 チャンネル
- ③コンパレータモード

■PWM

- ・PWM0 : 周期可変12ビットPWM×2チャンネル (PWMOA, PWMOB)
 - ① 2チャンネル1組で構成され制御は独立
 - ② クロックソースをシステムクロック, OSC1から選択可能
 - ③ 8ビットプリスケアラ内臓 : $TPWMR0 = (\text{プリスケアラ設定値} + 1) \times \text{クロック周期}$
 - ④ 8ビット基本波PWM発生回路+4ビット付加パルス発生回路
 - ⑤ 基本波PWMモード
 - 基本波周期 16TPWMR0~256TPWMR0
 - HIGHパルス幅 0~(基本波周期-TPWMR0)
 - ⑥ 基本波+付加パルスモード
 - 基本波周期 16TPWMR0~256TPWMR0
 - 全体周期 基本波周期×16
 - HIGHパルス幅 0~(基本波周期-TPWMR0)

■CRC演算回路

■ウォッチドッグタイマ

- ① ベースタイマ+内臓ウォッチドック専用カウンタにより動作する。
- ② 割込み, リセットの選択可能

LC88FC3K0A

■赤外線リモコン受信回路

- ① ノイズ除去機能
(ノイズ除去フィルタの時定数：基準クロックに 32.768kHz の水晶発振を選択した場合、約 120 μ s)
- ② PPM(Pulse Position Modulation)、マンチェスター方式などの符号化方式に対応
- ③ HOLDX モード解除機能

■内蔵リセット回路

- ・パワーオンリセット (POR)機能
POR は電源投入時のみリセットがかかる。
POR の解除レベルはオプションにて切り替え可能。
- ・低電圧検知リセット (LVD)機能
LVD は POR との併用により、電源投入時と電源低下時ともにリセットがかかる。
LVD 機能の使用/不使用をオプションにて切り替え可能。

■割り込み (周辺機能)

- ・61要因 (33モジュール) 14ベクタ
 - ① 割り込みは3レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けない。
 - ② 2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先される。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先される。

No.	ベクタ	割り込みモジュール
1	08000H	ウォッチドックタイマ(1)
2	08004H	ベースタイマ(2)
3	08008H	タイマ0(2)
4	0800CH	INT0(1)
5	08014H	INT1(1)
6	08018H	INT2(1)/タイマ1(2)/UART2(4)
7	0801CH	INT3(1)/タイマ2(4)/SMIIC0(1)/SLIIC0(1)
8	08020H	INT4(1)/タイマ3(2)/赤外線リモコン受信(4)
9	08024H	INT5(1)/タイマ4(1)/SIO1(2)
10	0802CH	PWM0(1)/SMIIC1(1)
11	08030H	ADC(1)/タイマ5(1)/SIO4(2)
12	08034H	INT6(1)/タイマ6(1)/UART3(4)
13	08038H	INT7(1)/タイマ7(1)/SIO0(2)
14	0803CH	ポート0(3)/ポート5(8)/RTC(1)/CRC(1)

- ・優先レベルを3レベル指定可能
- ・同一レベルではベクタアドレスの小さいものが優先
- ・()の数字はモジュール内の要因数

■サブルーチンスタック：RAM領域

- ・PSWを自動退避するサブルーチンコール、割り込みベクタコール：6バイト
- ・PSWを自動退避しないサブルーチンコール：4バイト

■乗除算命令

- ・16ビット×16ビット (実行時間：4tCYC)
- ・16ビット÷16ビット (実行時間：18～19tCYC)
- ・32ビット÷16ビット (実行時間：18～19tCYC)

LC88FC3K0A

■発振回路

- ・ RC発振回路(内蔵) : システムクロック用
- ・ CF発振回路 (Rf内蔵) : システムクロック用(OSC1)
- ・ 水晶発振回路(Rf内蔵) : システムクロック用(OSC0)
- ・ SLRC発振回路(内蔵) : システムクロック用(例外処理時)
- ・ VCO 発振回路 : タイマ 3, 4, 5, 6, 7 用

■システムクロック分周機能

- ・ 低消費電流動作可能
- ・ システムクロックの1~128分周の設定が可能

■スタンバイ機能

- ・ HALTモード：命令実行停止, 周辺回路動作継続
 - ①発振の停止は自動的には行わない。
 - ②システムリセットまたは割り込みの発生により解除。
- ・ HOLDモード：命令実行停止, 周辺回路動作停止
 - ①OSC1, RC発振, OSC0のいずれも自動的に停止する。
 - ②HOLDモードを解除するには次の6つの方法がある。
 - (1) リセット端子に「L」レベルを入力する。
 - (2) INT0, INT1, INT2, INT3, INT4, INT5, INT6, INT7の少なくとも1つの端子に指定されたレベルを入力する。
 - (3) ポート0で割り込み要因が成立する。
 - (4) ポート5で割り込み要因が成立する。
 - (5) SI00, SI01, SI04で割り込みが成立する。
 - (6) UART2, UART3で割り込みが成立する。
- ・ HOLDXモード：命令実行停止, OSC0で動作する周辺回路以外の動作停止
 - ① OSC1, RC発振は自動的に停止する。
 - ② OSC0は突入時の状態を維持する。
 - ③ HOLDXモードを解除するには次の9つの方法がある。
 - (1) リセット端子に「L」レベルを入力する。
 - (2) INT0, INT1, INT2, INT3, INT4, INT5, INT6, INT7の少なくとも1つの端子に指定されたレベルを入力する。
 - (3) ポート0で割り込み要因が成立する。
 - (4) ポート5で割り込み要因が成立する。
 - (5) ベースタイマ回路で割り込み要因が成立する。
 - (6) SI00, SI01, SI04で割り込みが成立する。
 - (7) UART2, UART3で割り込みが成立する。
 - (8) 赤外線リモコン受信で割り込みが成立する
 - (9) RTCで割り込みが成立する。

■オンチップデバッグ機能

- ・ ターゲット基板に実装状態でソフトデバッグ可能
- ・ ソースラインデバッグ機能, トレース機能, ブレークポイント設定, リアルタイム表示機能
- ・ 1ワイヤー通信

■パッケージ

- ・ TQFP100, 14×14 : 『鉛フリー・ハロゲンフリー仕様品』

LC88FC3K0A

■開発ツール

- ・オンチップデバッガ : EOCUIF1 or EOCUIF2 + LC88FC3K0A

■書き込み基板

パッケージ	書き込み基板
TQFP 100, 14×14	W88F52TQ

■フラッシュライタ

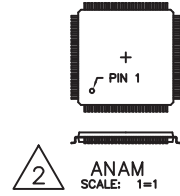
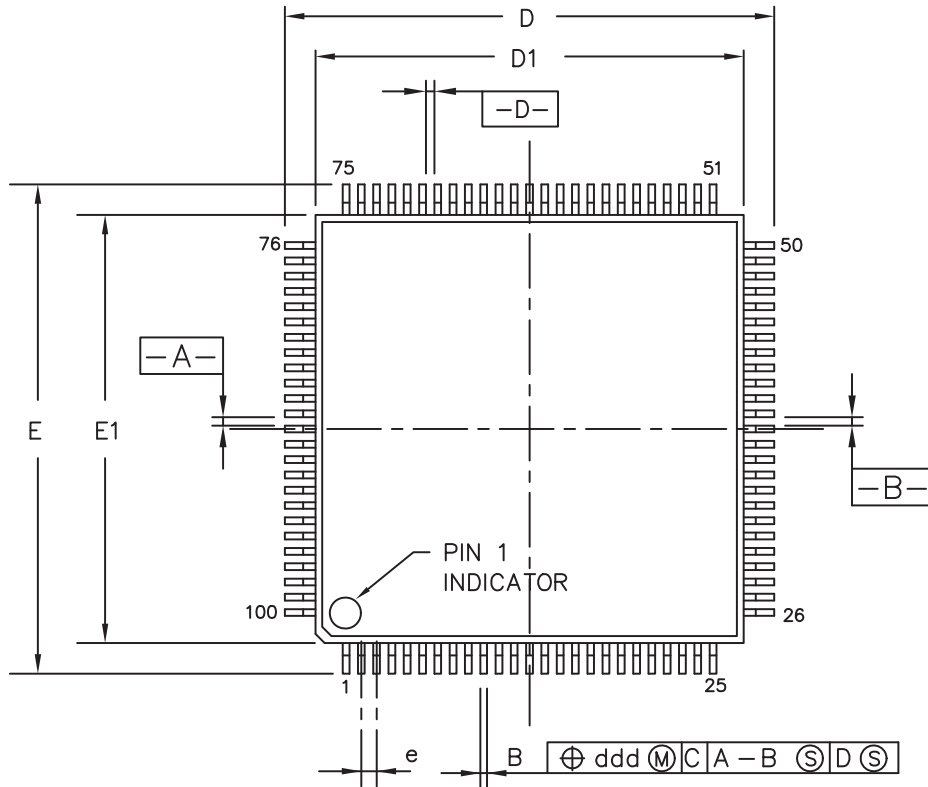
メーカ	モデル	対応バージョン	デバイス
オン・ セミコンダクター	シングル/ ギャング	SKK Type C (SanyoFWS)	Application Version 1.08A 以降 Chip Data Version 2.51 以降 LC88FC3x0
	オンボード シングル	FWS-X16DI Type 3 (SanyoFWS)	Application Version 1.08A 以降 Chip Data Version 2.51 以降 LC88FC3x0

LC88FC3K0A

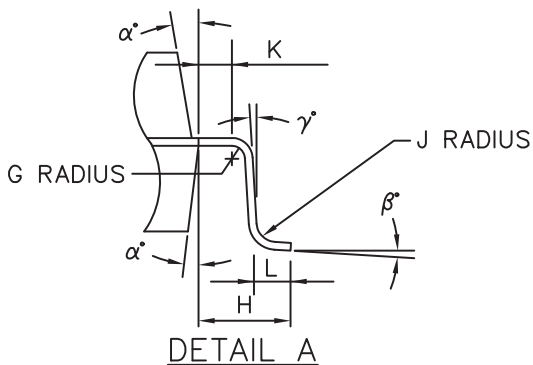
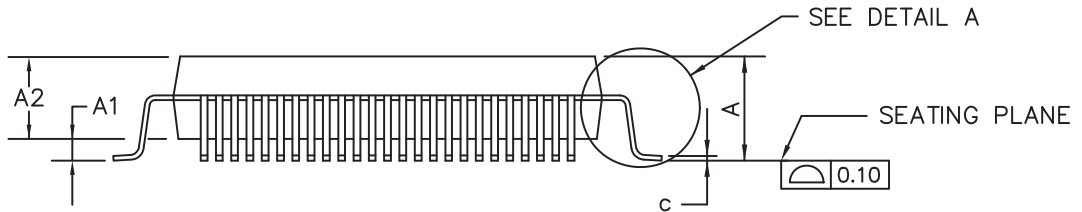
外形図

unit : mm

TQFP 100, 14x14
CASE 932AN-01
ISSUE O



SYMBOL	MIN	NOM	MAX
A	-	-	1.20
A1	0.05	-	0.15
A2	0.95	1.00	1.05
D	16.00 BSC		
D1	14.00 BSC		
E	16.00 BSC		
E1	14.00 BSC		
L	0.45	0.60	0.75
e	0.50 BSC		
B	0.17	0.22	0.27
c	0.09	-	0.20
α°	11	-	13
β°	0	-	7
γ°	0	-	-
G	0.08	-	-
H	1.00 REF.		
J	0.08	-	0.20
K	0.20	-	-
ddd	-	-	0.08



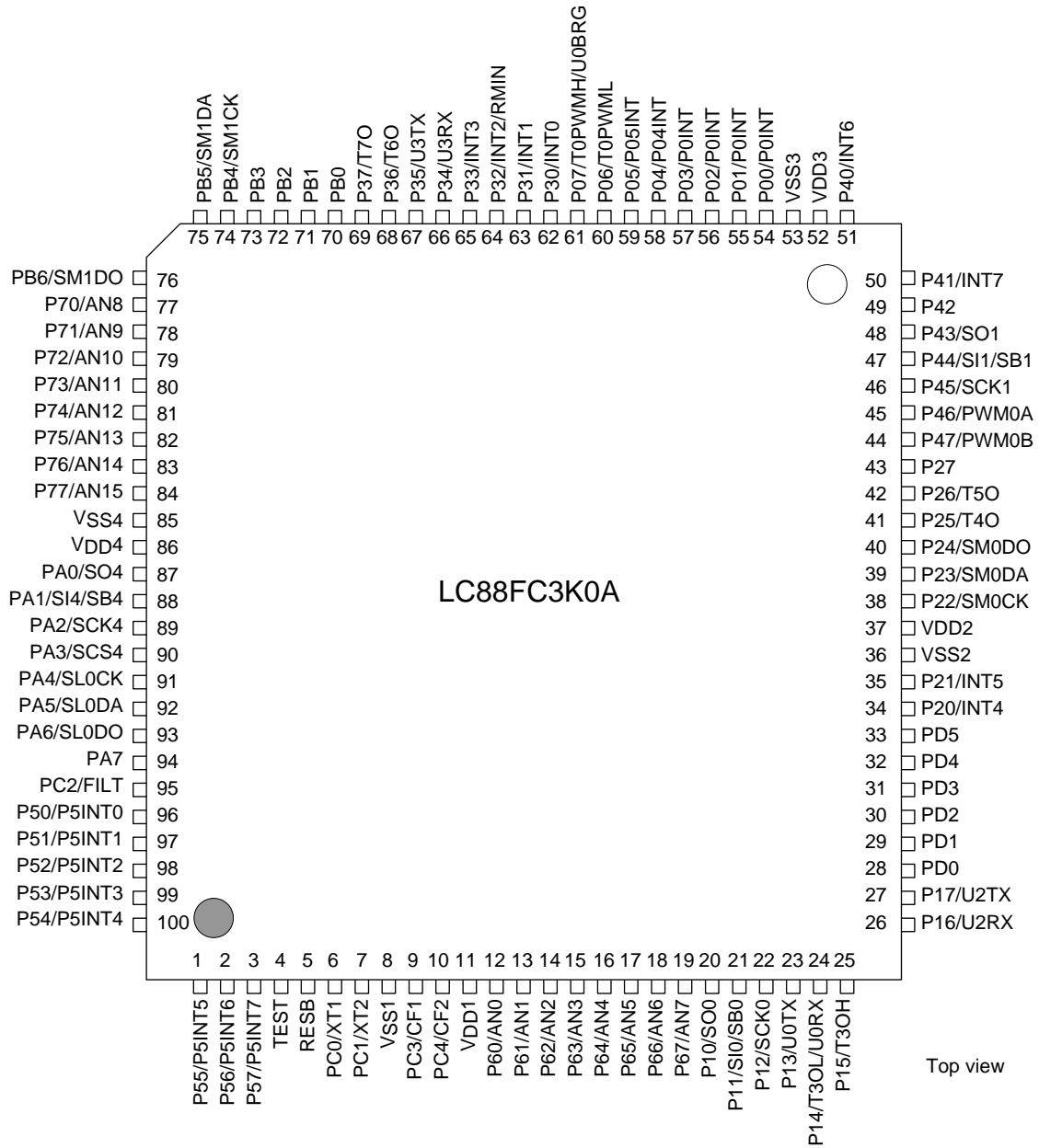
1. ALL DIMENSIONS ARE IN MILLIMETERS.

2. PACKAGE OUTSIDE FEATURES AND PIN 1 INDICATOR VARY FROM VENDOR TO VENDOR.

3. THIS PART CONFORMS TO JEDEC 95, MS-026, VARIATION "AED".

LC88FC3K0A

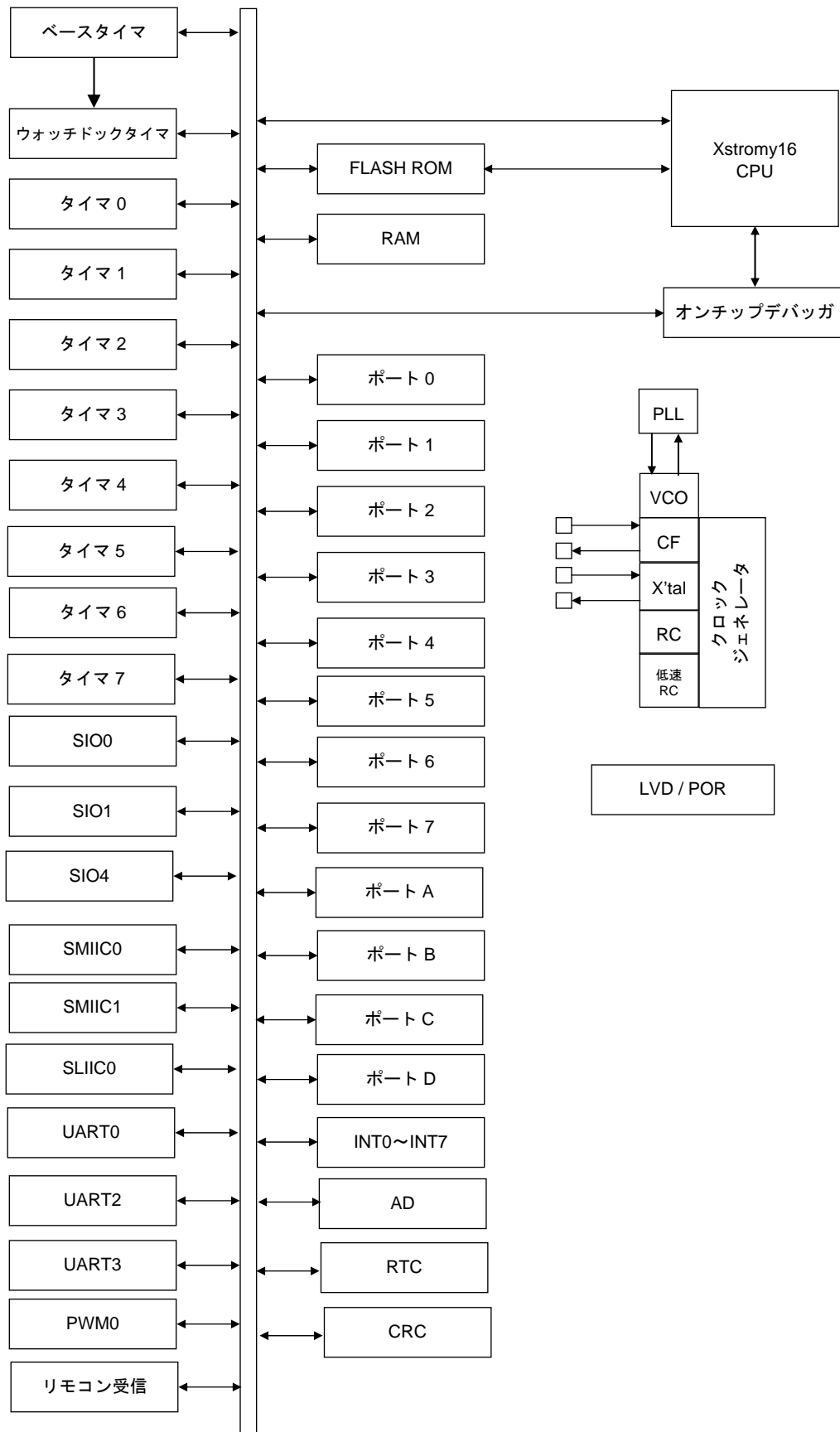
ピン配置図



TQFP100, 14×14 『鉛フリー・ハロゲンフリー仕様品』

LC88FC3K0A

システムブロック図



LC88FC3K0A

端子機能表

端子名	I/O	機能説明
VSS1, VSS2, VSS3, VSS4	-	電源の-端子
VDD1, VDD2, VDD3, VDD4	-	電源の+端子
ポート 0 P00~P07	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON/OFF 可能 ・ HOLD 解除入力 (P00~P03, P04, P05) ・ ポート 0 割り込み入力 (P00~P03, P04, P05) ・ 端子機能 P06 : タイマ 0L 出力 P07 : タイマ 0L 出力/UART0 クロック入力
ポート 1 P10~P17	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON/OFF 可能 ・ 端子機能 P10 : SI00 データ出力 P11 : SI00 データ入力/バス入出力 P12 : SI00 クロック入出力 P13 : UART0 送信 P14 : タイマ 3L 出力/UART0 受信 P15 : タイマ 3H 出力 P16 : UART2 受信 P17 : UART2 送信
ポート 2 P20~P27	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON/OFF 可能 ・ 端子機能 P20 : INT4 入力/HOLD 解除入力/タイマ 3 イベント入力/ タイマ 2L キャプチャ入力/タイマ 2H キャプチャ入力/ P21 : INT5 入力/HOLD 解除入力/タイマ 3 イベント入力/ タイマ 2L キャプチャ入力/タイマ 2H キャプチャ入力 P22 : SMIIC0 クロック入出力 P23 : SMIIC0 バス入出力/データ入力 P24 : SMIIC0 データ出力 (3 線式 SIO モード時使用) P25 : タイマ 4 出力 P26 : タイマ 5 出力 インタラプト受付形式 INT4, INT5 : H レベル, L レベル, H エッジ, L エッジ, 両エッジ

次ページへ続く。

LC88FC3K0A

前ページより続く。

端子名	I/O	機能説明
ポート 3 P30~P37	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON/OFF 可能 ・ 端子機能 P30 : INT0 入力/HOLD 解除/タイマ 2L キャプチャ入力 P31 : INT1 入力/HOLD 解除/タイマ 2H キャプチャ入力 P32 : INT2 入力/HOLD 解除/タイマ 2 イベント入力/タイマ 2L キャプチャ入力 /赤外線リモコン受信入力 P33 : INT3 入力/HOLD 解除/タイマ 2 イベント入力/タイマ 2H キャプチャ入力 P34 : UART3 受信 P35 : UART3 送信 P36 : タイマ 6 出力 P37 : タイマ 7 出力 インタラプト受付形式 INT0~INT3 : H レベル, L レベル, H エッジ, L エッジ, 両エッジ
ポート 4 P40~P47	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON/OFF 可能 ・ 端子機能 P40 : INT6 入力/HOLD 解除入力 P41 : INT7 入力/HOLD 解除入力 P43 : SI01 データ出力 P44 : SI01 データ入力/バス入出力 P45 : SI01 クロック入出力 P46 : PWMOA 出力 P47 : PWMOB 出力 インタラプト受付形式 INT6, INT7 : H レベル, L レベル, H エッジ, L エッジ, 両エッジ
ポート 5 P50~P57	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON/OFF 可能 ・ ポート 5 割り込み機能 ・ HOLD 解除入力
ポート 6 P60~P67	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON/OFF 可能 ・ 端子機能 AN0 (P60) ~ AN7 (P67) : AD 変換入力ポート
ポート 7 P70~P77	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON/OFF 可能 ・ 端子機能 AN8 (P70) ~ AN15 (P77) : AD 変換入力ポート

次ページへ続く。

LC88FC3K0A

前ページより続く。

端子名	I/O	機能説明
ポート A PA0~PA7	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON/OFF 可能 ・ 端子機能 <ul style="list-style-type: none"> PA0 : SI04 データ出力 PA1 : SI04 データ入力/バス入出力 PA2 : SI04 クロック入出力 PA3 : SI04 チップセレクト入力 PA4 : SLIIC0 クロック入力 PA5 : SLIIC0 バス入出力/データ入力 PA6 : SLIIC0 データ出力 (3 線式 SIO モード時使用)
ポート B PB0~PB6	I/O	<ul style="list-style-type: none"> ・ 7 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON/OFF 可能 ・ 端子機能 <ul style="list-style-type: none"> PB4 : SMIIC1 クロック入出力 PB5 : SMIIC1 バス入出力/データ入力 PB6 : SMIIC1 データ出力 (3 線式 SIO モード時使用)
ポート C PC0~PC4	I/O	<ul style="list-style-type: none"> ・ 5 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位プルアップ抵抗 ON/OFF 可能(PC2) ・ 端子機能 <ul style="list-style-type: none"> PC0 : 32.768kHz 水晶発振子入力 PC1 : 32.768kHz 水晶発振子出力 PC2 : VC0 用 FILT 接続 PC3 : セラミック発振子入力 PC4 : セラミック発振子出力
ポート D PD0~PD5	I/O	<ul style="list-style-type: none"> ・ 6 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位プルアップ抵抗 ON/OFF 可能
TEST	I/O	<ul style="list-style-type: none"> ・ TEST 端子 ・ オンチップデバッグ通信端子 ・ 100KΩ のプルダウン抵抗を外部に接続してください。
RESB	I/O	リセット端子

LC88FC3K0A

ポート出力形態

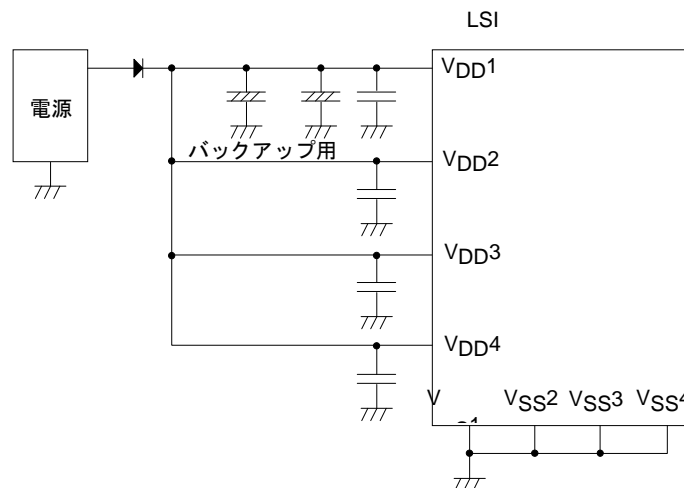
ポート出力形態とプルアップ抵抗の有無を以下に示す。

なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能である。

ポート名	出力切換え単位	出力形式	プルアップ抵抗
P00～P07	1ビット単位	CMOS	プログラマブル
P10～P17 P20～P27 P30～P37 P40～P47 PA0～PA7 PB0～PB6		兼用機能の出力形式は CMOS 出力 / Nch-オープンドレイン出力の設定をプログラマブルに制御可能	
P60～P67 P70～P77 PD0～PD5 PC2		CMOS	
PC0		CMOS (32.768kHz 水晶発振子用入力)	なし
PC1		CMOS (32.768kHz 水晶発振子用出力)	なし
PC3		CMOS (セラミック発振子用入力)	なし
PC4		CMOS (セラミック発振子用出力)	なし

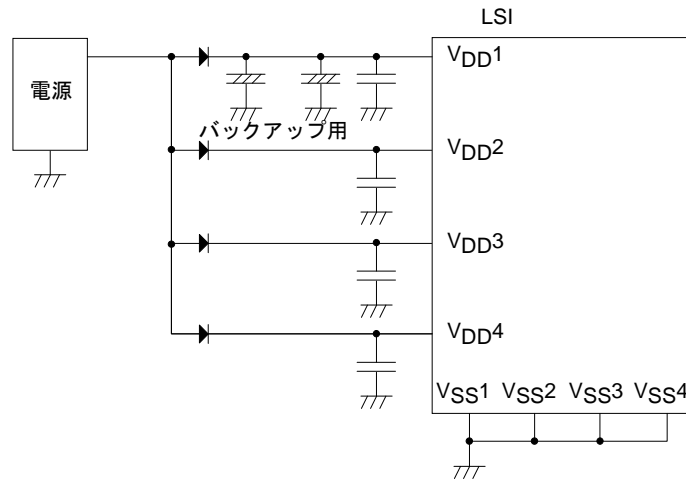
※VDD1 端子に入るノイズを小さくし、バックアップ時間を長くするために、次のように接続すること。VSS1 端子と VSS2 端子と VSS3 端子と VSS4 端子は必ず電氣的にショートすること。

(例 1) HOLD モードでバックアップ時、ポート出力の「H」レベルはバックアップ用コンデンサより供給される。



LC88FC3K0A

(例2) HOLDモードバックアップ時、ポートの「H」レベル出力は保持されず不定となる。



LC88FC3K0A

絶対最大定格/ $T_a=25^\circ\text{C}$, $V_{SS1}=V_{SS2}=V_{SS3}=V_{SS4}=0\text{V}$

項目	記号	適用端子・備考	条件	規格				
				V_{DD} [V]	min	typ	max	unit
最大電源電圧	$V_{DD\ max}$	$V_{DD1}, V_{DD2}, V_{DD3}, V_{DD4}$	$V_{DD1}=V_{DD2}=V_{DD3}=V_{DD4}$		-0.3		+4.6	V
入力電圧	$V_I(1)$	RESB			-0.3		$V_{DD} + 0.3$	
入出力電圧	$V_{IO}(1)$	ポート 0, 1, 2 ポート 3, 4, 5 ポート 6, 7 ポート A, B, C, D			-0.3		$V_{DD} + 0.3$	
高レベル出力電流	ピーク出力電流	IOPH(1)	ポート 0, 1, 2, 3 P40~P45 ポート 7, A, D PB2~PB6	CMOS 出力選択 適用 1 端子当り			-7.5	mA
		IOPH(2)	P46, P47 PB0, PB1	適用 1 端子当り			-12.5	
		IOPH(3)	ポート 5, 6 PC2	適用 1 端子当り			-4.5	
	平均出力電流 (注 1-1)	IOMH(1)	ポート 0, 1, 2, 3 P40~P45 ポート 5, 6, 7, A PB2~PB6 ポート D	CMOS 出力選択 適用 1 端子当り			-5	
		IOMH(2)	P46, P47 PB0, PB1	適用 1 端子当り			-10	
		IOMH(3)	ポート 5, 6 PC0~PC4	適用 1 端子当り			-3	
	合計出力電流	$\Sigma IOAH(1)$	ポート 5, PC0~PC4	適用全端子合計			-10	
		$\Sigma IOAH(2)$	ポート 6	適用全端子合計			-10	
		$\Sigma IOAH(3)$	ポート 5, 6 PC0~PC4	適用全端子合計			-20	
		$\Sigma IOAH(4)$	ポート 1, D P20, P21	適用全端子合計			-20	
		$\Sigma IOAH(5)$	P22~P27	適用全端子合計			-20	
		$\Sigma IOAH(6)$	ポート 1, 2, D	適用全端子合計			-40	
$\Sigma IOAH(7)$		ポート 4	適用全端子合計			-20		
$\Sigma IOAH(8)$		ポート 0, 3	適用全端子合計			-20		
$\Sigma IOAH(9)$		ポート 0.3.4	適用全端子合計			-40		
$\Sigma IOAH(10)$		ポート B, 7	適用全端子合計			-20		
$\Sigma IOAH(11)$		ポート A	適用全端子合計			-20		
$\Sigma IOAH(12)$		ポート 7, A, B	適用全端子合計			-40		

注1-1：平均出力電流は100ms期間の平均値を示す。

次ページへ続く。

LC88FC3K0A

前ページより続く。

項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
低レベル出力電流	IOPL(1)	ポート 0, 1, 3, 4 ポート 7, D P20, P21, P24~P27 PA0~PA3, PA6, PA7 PB0~PB3, PB6	適用 1 端子当り				15	mA
	IOPL(2)	P22, P23 PA4, PA5 PB4, PB5	適用 1 端子当り				20	
	IOPL(3)	ポート 5, 6 PC0~PC4	適用 1 端子当り				7.5	
平均出力電流 (注 1-1)	IOML(1)	ポート 0, 1, 3, 4 ポート 7, D P20, P21, P24~P27 PA0~PA3, PA6, PA7 PB0~PB3, PB6	適用 1 端子当り				12.5	
	IOML(2)	P22, P23 PA4, PA5 PB4, PB5	適用 1 端子当り				15	
	IOML(3)	ポート 5, 6 PC0~PC4	適用 1 端子当り				5	
合計出力電流	ΣIOAL(1)	ポート 5 PC0~PC2	適用全端子合計				10	
	ΣIOAL(2)	ポート 6 PC3~PC4	適用全端子合計				10	
	ΣIOAL(3)	ポート 5, 6 PC0~PC4	適用全端子合計				20	
	ΣIOAL(4)	ポート 1, D P20, 21	適用全端子合計				35	
	ΣIOAL(5)	P22~P27	適用全端子合計				35	
	ΣIOAL(6)	ポート 1, 2, D	適用全端子合計				70	
	ΣIOAL(7)	ポート 4	適用全端子合計				35	
	ΣIOAL(8)	ポート 0, 3	適用全端子合計				35	
	ΣIOAL(9)	ポート 0, 3, 4	適用全端子合計				70	
	ΣIOAL(10)	ポート 7, B	適用全端子合計				35	
	ΣIOAL(11)	ポート A	適用全端子合計				35	
	ΣIOAL(12)	ポート 7, A, B	適用全端子合計				70	
許容消費電力	Pd max	TQFP100	Ta=-40~+85℃ 熱抵抗評価基板に 実装(注 1-2)				460	mW
動作周囲温度	Topr				-40		+85	℃
保存周囲温度	Tstg				-55		+125	

注1-1：平均出力電流は100ms期間の平均値を示す。

注1-2：熱抵抗評価基板はSEMI準拠(サイズ：76.1×114.3×1.6 tmm, ガラエポ)を使用。

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じたり、信頼性に影響を及ぼす危険性があります。

LC88FC3K0A

許容動作条件/ $T_a = -40 \sim +85^\circ\text{C}$, $V_{SS1} = V_{SS2} = V_{SS3} = V_{SS4} = 0\text{V}$

項目	記号	適用端子・備考	条件	規格				
				V_{DD} [V]	min	typ	max	unit
動作電源電圧	$V_{DD}(1)$	$V_{DD1} = V_{DD2} = V_{DD3} = V_{DD4}$	$0.098\mu\text{s} \leq t_{CYC} \leq 66\mu\text{s}$		2.7		3.6	V
メモリ保持電源電圧	V_{HD}	$V_{DD1} = V_{DD2} = V_{DD3} = V_{DD4}$	HOLD モード時 RAM, レジスタ保持		2.0		3.6	
高レベル入力電圧	$V_{IH}(1)$	ポート 0, 1, 2, 3, 4 ポート 5, A, B		2.7~3.6	$0.3V_{DD} + 0.7$		V_{DD}	
	$V_{IH}(2)$	ポート 6, 7, D, PC2		2.7~3.6	$0.3V_{DD} + 0.7$		V_{DD}	
	$V_{IH}(3)$	RESB PC0, PC1, PC3, PC4		2.7~3.6	$0.75V_{DD}$		V_{DD}	
	$V_{IH}(4)$	P22, P23, PA4, PA5, PB4, PB5 の I ² C 側		2.7~3.6	$0.7V_{DD}$		V_{DD}	
低レベル入力電圧	$V_{IL}(1)$	ポート 1, 2, 3, 4 ポート 5, A, B の PnFSAn=0 の時 ポート 0, 6, 7, D, PC2		2.7~3.6	V_{SS}		$0.2V_{DD}$	
	$V_{IL}(2)$	ポート 1, 2, 3, 4 ポート 5, A, B の PnFSAn=1 の時		2.7~3.6	V_{SS}		$0.2V_{DD}$	
	$V_{IL}(3)$	RESB PC0, PC1, PC3, PC4		2.7~3.6	V_{SS}		$0.25V_{DD}$	
	$V_{IL}(4)$	P22, P23, PA4, PA5, PB4, PB5 の I ² C 側		2.7~3.6	V_{SS}		$0.3V_{DD}$	
命令サイクルタイム (注 2-1)	t_{CYC}			2.7~3.6	0.098		66	μs
外部システム クロック周波数	FEXCF(1)	PC3 (CF1)	・CF2 端子オープン ・システムクロック分周 1/1 ・外部システムクロック の DUTY50±5%	2.7~3.6	0.1		10	MHz
			・CF2 端子オープン ・システムクロック分周 1/2	2.7~3.6	0.2		20	

注 2-1: t_{CYC} と発振周波数の関係式は、1/1 分周時: $1/F_{mCF}$ 、1/2 分周時: $2/F_{mCF}$ 。

次ページへ続く。

LC88FC3K0A

前ページより続く。

項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
発振周波数範囲 (注 2-2)	FmCF	PC3 (CF1), PC4 (CF2)	10MHz セラミック発振時 図 1 参照	2.7~3.6		10		MHz
	FmRC		内蔵 RC 発振	2.7~3.6	0.5	1.0	2.0	
	FmSLRC		内蔵低速 RC 発振	2.7~3.6	18	30	45	kHz
	FsX'tal	PC0 (XT1), PC1 (XT2)	32.768kHz 水晶発振時 図 2 参照	2.7~3.6		32.768		
	FmVCO(1)		VCO 発振 FRQSEL=0 の時 図 9 参照	2.7~3.6	12		28	MHz
	FmVCO(2)		VCO 発振 FRQSEL=1 の時 図 9 参照	2.7~3.6	38		70	
	FmVCO(3)		VCO 発振	2.7~3.6		注 2-3		

注2-2：発振定数は表1, 2参照のこと。

注2-3：VCO発振周波数=CF発振周波数×SELREF設定値

推奨動作範囲を超えるストレスでは推奨動作機能を得られません。推奨動作範囲を超えるストレスの印加は、デバイスの信頼性に影響を与える危険性があります。

LC88FC3K0A

電気的特性/ $T_a = -40 \sim +85^\circ\text{C}$, $V_{SS1} = V_{SS2} = V_{SS3} = V_{SS4} = 0\text{V}$

項目	記号	適用端子・備考	条件	規格				
				V_{DD} [V]	min	typ	max	unit
高レベル入力電流	$I_{IH}(1)$	ポート 0, 1, 2 ポート 3, 4, 5 ポート 6, 7 ポート A, B, C, D RESB	出力ディセーブル プルアップ抵抗オフ $V_{IN} = V_{DD}$ (出力 Tr. のオフリーク 電流を含む)	2.7~3.6			1	μA
低レベル入力電流	$I_{IL}(1)$	ポート 0, 1, 2 ポート 3, 4, 5 ポート 6, 7 ポート A, B, C, D RESB	出力ディセーブル プルアップ抵抗オフ $V_{IN} = V_{SS}$ (出力 Tr. のオフリーク 電流を含む)	2.7~3.6	-1			
高レベル出力電圧	$V_{OH}(1)$	ポート 0, 1, 2, 3 ポート 5, 6 ポート A, D, PC2	$I_{OH} = -0.4\text{mA}$	3.0~3.6	$V_{DD} - 0.4$			V
	$V_{OH}(2)$	P40~P45 PB2~PB6	$I_{OH} = -0.2\text{mA}$	2.7~3.6	$V_{DD} - 0.4$			
	$V_{OH}(3)$	P46, P47	$I_{OH} = -1.6\text{mA}$	3.0~3.6	$V_{DD} - 0.4$			
	$V_{OH}(4)$	PB0, PB1	$I_{OH} = -1.0\text{mA}$	2.7~3.6	$V_{DD} - 0.4$			
	$V_{OH}(5)$	PC0~PC1,	$I_{OH} = -1.0\text{mA}$	3.0~3.6	$V_{DD} - 0.4$			
	$V_{OH}(6)$	PC3~PC4	$I_{OH} = -0.4\text{mA}$	2.7~3.6	$V_{DD} - 0.4$			
低レベル出力電圧	$V_{OL}(1)$	ポート 0, 1, 3, 4 ポート 5, 6, 7, D	$I_{OL} = 1.6\text{mA}$	3.0~3.6			0.4	V
	$V_{OL}(2)$	PC2 P20~P21, P24~P27 PA0~PA3, PA6~PA7 PB0~PB3, PB6	$I_{OL} = 1.0\text{mA}$	2.7~3.6			0.4	
	$V_{OL}(3)$	P22, P23 PA4, PA5	$I_{OL} = 3.0\text{mA}$	3.0~3.6			0.4	
	$V_{OL}(4)$	PB4, PB5	$I_{OL} = 1.3\text{mA}$	2.7~3.6			0.4	
	$V_{OL}(5)$	PC0~PC1,	$I_{OL} = 1.0\text{mA}$	3.0~3.6			0.4	
	$V_{OL}(6)$	PC3~PC4	$I_{OL} = 0.4\text{mA}$	2.7~3.6			0.4	
プルアップ抵抗	$R_{pu}(1)$	ポート 0, 1, 2, 3 ポート 4, 5, 6, 7	$V_{OH} = 0.9V_{DD}$	3.0~3.6	15	35	80	$\text{k}\Omega$
	$R_{pu}(2)$	ポート A, B, D, PC2		2.7~3.6	15	35	100	
ヒステリシス電圧	VHYS	RESB ポート 1, 2, 3, 4 ポート A, B の $PnFSAn=1$ の時		2.7~3.6		$0.1V_{DD}$		V
端子容量	CP	全端子	被測定端子以外 $V_{IN} = V_{SS}$ $f = 1\text{MHz}$ $T_a = 25^\circ\text{C}$	2.7~3.6		10		pF

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

LC88FC3K0A

シリアル入出力特性/ $T_a = -40 \sim +85^\circ\text{C}$, $V_{SS1} = V_{SS2} = V_{SS3} = V_{SS4} = 0\text{V}$

SI00 シリアル入出力特性(ウェークアップ機能不使用時) (注 4-1-1)

項目			記号	適用端子 ・備考	条件	V_{DD} [V]	規格			
							min	typ	max	unit
シリアル クロック	入力 クロック	周期	tSCK(1)	SCK0(P12)	・図 6 参照	2.7~3.6	4			tCYC
		低レベル パルス幅	tSCKL(1)				2			
		高レベル パルス幅	tSCKH(1)				2			
			tSCKHA(1)				6			
		tSCKHBSY (1a)	23							
		tSCKHBSY (1b)					4			
	出力 クロック	周期	tSCK(2)	SCK0(P12)	・CMOS 出力選択時 ・図 6 参照	2.7~3.6				4
		低レベル パルス幅	tSCKL(2)				1/2		tCYC	
		高レベル パルス幅	tSCKH(2)				1/2			
			tSCKHA(2)				6			
		tSCKHBSY (2a)	4							
		tSCKHBSY (2b)					4			
シリアル 入力	データセット アップ時間	tsDI(1)	SI0(P11), SB0(P11)	・SIOCLK の立ち上がり に対して規定する ・図 6 参照	2.7~3.6	0.03				
	データホールド 時間	thDI(1)				0.03				
シリアル 出力	出力遅延 時間	tD0(1)	S00(P10), SB0(P11)	・(注 4-1-2)	2.7~3.6			1tCYC +0.05	μs	
		tD0(2)				・(注 4-1-2)				1tCYC +0.05

注 4-1-1: 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注 4-1-2: SIOCLK の立ち下がりに対して規定する。オープンドレイン出力時は出力変化開始までの時間として規定する。図 6 参照。

LC88FC3K0A

SI00 シリアル入出力特性(ウェークアップ機能使用時) (注 4-2-1)

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格			
						min	typ	max	unit
シリアル クロック 入力	周期	tSCK (3)	SCK0 (P12)	・図 6 参照	2.7~3.6	2			tCYC
	低レベル パルス幅	tSCKL (3)				1			
	高レベル パルス幅	tSCKH (3)				1			
		tSCKHBSY (3)				2			
シリアル 入力	データセット アップ時間	tsDI (2)	SI0 (P11), SB0 (P11)	・SI0CLK の立ち上がり に対して規定する ・図 6 参照	2.7~3.6	0.03			μs
	データホールド 時間	thDI (2)				0.03			
シリアル 出力	出力遅延 時間	tdD0 (3)	S00 (P10), SB0 (P11)	・(注 4-2-2)	2.7~3.6			1tCYC +0.05	

注 4-2-1: 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注 4-2-2: SI0CLK の立ち下がりに対して規定する。オープンドレイン出力時は出力変化開始までの時間として規定する。図 6 参照。

LC88FC3K0A

SI01 シリアル入出力特性(ウェークアップ機能不使用時) (注 4-3-1)

項目	記号	適用端子 ・備考	条件	規格					
				V _{DD} [V]	min	typ	max	unit	
シリアル 入力 クロック	周期	tSCK (4)	SCK1 (P45)	・図 6 参照	2.7~3.6	4			tCYC
	低レベル パルス幅	tSCKL (4)				2			
	高レベル パルス幅	tSCKH (4)				2			
		tSCKHA (4)	・自動通信モード ・図 6 参照	6					
	tSCKHBSY (4a)	・自動通信モード ・図 6 参照	23						
	tSCKHBSY (4b)	・自動通信モード以外 ・図 6 参照	4						
出力 クロック	周期	tSCK (5)	SCK1 (P45)	・CMOS 出力選択時 ・図 6 参照	2.7~3.6	4			tSCK
	低レベル パルス幅	tSCKL (5)				1/2			
	高レベル パルス幅	tSCKH (5)				1/2			tCYC
		tSCKHA (5)	・自動通信モード ・CMOS 出力選択時 ・図 6 参照	6					
	tSCKHBSY (5a)	・自動通信モード ・CMOS 出力選択時 ・図 6 参照	4			23			
	tSCKHBSY (5b)	・自動通信モード以外 ・図 6 参照	4						
シリアル 入力	データセット アップ時間	tsDI (3)	SI1 (P44), SB1 (P44)	・SIOCLK の立ち上がり に対して規定する	2.7~3.6	0.03			
	データホールド 時間	thDI (3)		・図 6 参照		0.03			
シリアル 出力	出力遅延 時間	tdD0 (4)	S01 (P43), SB1 (P44)	・(注 4-3-2)	2.7~3.6			1tCYC +0.05	μs
		tdD0 (5)		・(注 4-3-2)				1tCYC +0.05	

注 4-3-1 : 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注 4-3-2 : SIOCLK の立ち下がりに対して規定する。オープンドレイン出力時は出力変化開始までの時間として規定する。図 6 参照。

LC88FC3K0A

SI01 シリアル入出力特性(ウェークアップ機能使用時) (注 4-4-1)

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格			
						min	typ	max	unit
シリアル クロック 入力	周期	tSCK (6)	SCK1 (P45)	・図 6 参照	2.7~3.6	2			tCYC
	低レベル パルス幅	tSCKL (6)				1			
	高レベル パルス幅	tSCKH (6)				1			
		tSCKHBSY (6)				2			
シリアル 入力	データセット アップ時間	tsDI (4)	SI1 (P44), SB1 (P44)	・SIOCLK の立ち上がり に対して規定する ・図 6 参照	2.7~3.6	0.03			μs
	データホールド 時間	thDI (4)				0.03			
シリアル 出力	出力遅延 時間	tdD0 (6)	S01 (P43), SB1 (P44)	・(注 4-4-2)	2.7~3.6			1tCYC +0.05	

注 4-4-1 : 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注 4-4-2 : SIOCLK の立ち下がりに対して規定する。オープンドレイン出力時は出力変化開始までの時間として規定する。図 6 参照。

LC88FC3K0A

SI04 シリアル入出力特性(ウェークアップ機能不使用時) (注 4-5-1)

項目	記号	適用端子 ・備考	条件	規格															
				V _{DD} [V]	min	typ	max	unit											
シリアル入出力	入力クロック	周期	tSCK (7)	SCK4 (PA2)	2.7~3.6	4			tCYC										
		低レベルパルス幅	tSCKL (7)	・図 6 参照						2									
		高レベルパルス幅	tSCKH (7)										・自動通信モード ・図 6 参照	2					
			tSCKHA (7)														・自動通信モード ・図 6 参照	6	
		tSCKHBSY (7a)	・自動通信モード以外 ・図 6 参照										23						
		tSCKHBSY (7b)														4			
	出力クロック	周期	tSCK (8)		SCK4 (PA2)	2.7~3.6	4						tSCK						
		低レベルパルス幅	tSCKL (8)	・CMOS 出力選択時 ・図 6 参照	1/2														
		高レベルパルス幅	tSCKH (8)		1/2														
			tSCKHA (8)		・自動通信モード ・CMOS 出力選択時 ・図 6 参照					6									
		tSCKHBSY (8a)	・自動通信モード ・CMOS 出力選択時 ・図 6 参照											4		23			
		tSCKHBSY (8b)															・自動通信モード以外 ・図 6 参照	4	
データセットアップ時間	tsDI (5)	SI4 (PA1), SB4 (PA1)	2.7~3.6			0.03													
データホールド時間	thDI (5)	・図 6 参照		0.03															
シリアル出力	出力遅延時間		tdD0 (7)			S04 (PA0), SB4 (PA1)	2.7~3.6					1tCYC +0.05	μs						
		tdD0 (8)	・(注 4-5-2)		1tCYC +0.05														

注 4-5-1 : 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注 4-5-2 : SIOCLK の立ち下がりに対して規定する。オープンドレイン出力時は出力変化開始までの時間として規定する。図 6 参照。

LC88FC3K0A

SI04 シリアル入出力特性(ウェークアップ機能使用時) (注 4-6-1)

項目		記号	適用端子 ・備考	条件	規格				
					V _{DD} [V]	min	typ	max	unit
シリアル クロック 入力	周期	tSCK (9)	SCK4 (PA2)	・図 6 参照	2.7~3.6	2			tCYC
	低レベル パルス幅	tSCKL (9)				1			
	高レベル パルス幅	tSCKH (9)				1			
		tSCKHBSY (9)				2			
シリアル 入力	データセット アップ時間	tsDI (6)	SI4 (PA1), SB4 (PA1)	・SIOCLK の立ち上がり に対して規定する ・図 6 参照	2.7~3.6	0.03			μs
	データホールド 時間	thDI (6)				0.03			
シリアル 出力	出力遅延 時間	tdD0 (9)	S04 (PA0), SB4 (PA1)	・(注 4-6-2)	2.7~3.6			1tCYC +0.05	

注 4-6-1 : 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注 4-6-2 : SIOCLK の立ち下がりに対して規定する。オープンドレイン出力時は出力変化開始までの時間として規定する。図 6 参照。

LC88FC3K0A

SMIICO 単純 SIO モード時入出力特性 (注 4-7-1)

項目		記号	適用端子 ・備考	条件	規格					
					V _{DD} [V]	min	typ	max	unit	
シリアル クロック	入力 クロック	周期	tSCK(10)	SMOCK (P22)	図 6 参照	2.7~3.6	4			tCYC
		低レベル パルス幅	tSCKL(10)				2			
		高レベル パルス幅	tSCKH(10)				2			
	出力 クロック	周期	tSCK(11)	SMOCK (P22)	・CMOS 出力選択時 ・図 6 参照	2.7~3.6	4			tSCK
		低レベル パルス幅	tSCKL(11)				1/2			
		高レベル パルス幅	tSCKH(11)				1/2			
シリアル 入力	データセット アップ時間	tsDI(7)	SMODA (P23),	・SIOCLK の立ち上がり に対して規定する ・図 6 参照	2.7~3.6	0.03			μs	
	データホールド 時間	thDI(7)				0.03				
シリアル 出力	出力遅延時間	tdD0(10)	SMOD0 (P24), SMODA (P23)	・SIOCLK の立ち下がり に対して規定する ・出力変化開始までの時 間として規定する。 ・図 6 参照	2.7~3.6			1tCYC +0.05		

注 4-7-1 : 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

LC88FC3K0A

SMIICO I²C モード時入出力特性 (注 4-8-1) (注 4-8-2) (注 4-8-4)

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格				
						min	typ	max	unit	
クロック	入力 クロック	周期	tSCL	SMOCK (P22)	・図 8 参照	2.7~3.6	5			Tfilt
		低レベル パルス幅	tSCLL				2.5			
		高レベル パルス幅	tSCLH				2			
	出力 クロック	周期	tSCLx	SMOCK (P22)	・出力変化開始までの時間として規定する。	2.7~3.6	10			tSCL
		低レベル パルス幅	tSCLLx				1/2			
		高レベル パルス幅	tSCLHx				1/2			
SMOCK, SMODA 端子 入力スパイク抑圧 時間		tsp	SMOCK (P22) SMODA (P23)	・図 8 参照	2.7~3.6			1	Tfilt	
スタート、 ストップ間の バス開放時間	入力	tBUF	SMOCK (P22) SMODA (P23)	・図 8 参照	2.7~3.6	2.5			Tfilt	
	出力	tBUFx	SMOCK (P22) SMODA (P23)	・標準クロックモード時 ・出力変化開始までの時間として規定する。 ・高速クロックモード時 ・出力変化開始までの時間として規定する。		5.5			μs	
						1.6				
スタート、 リスタート コンディション のホールド時間	入力	tHD;STA	SMOCK (P22) SMODA (P23)	・SMIIC レジスタ制御ビット I2CSHDS=0 のとき ・図 8 参照	2.7~3.6	2.0			Tfilt	
				・SMIIC レジスタ制御ビット I2CSHDS=1 のとき ・図 8 参照		2.5				
	出力	tHD;STAx	SMOCK (P22) SMODA (P23)	・標準クロックモード時 ・出力変化開始までの時間として規定する。		4.1			μs	
				・高速クロックモード時 ・出力変化開始までの時間として規定する。		1.0				
リスタート コンディション のセットアップ 時間	入力	tSU;STA	SMOCK (P22) SMODA (P23)	・図 8 参照	2.7~3.6	1.0			Tfilt	
	出力	tSU;STAx	SMOCK (P22) SMODA (P23)	・標準クロックモード時 ・出力変化開始までの時間として規定する。		5.5			μs	
				・高速クロックモード時 ・出力変化開始までの時間として規定する。		1.6				

LC88FC3K0A

項目	記号	適用端子 ・備考	条件	規格					
				V _{DD} [V]	Min	typ	max	Unit	
ストップコンディションのセットアップ時間	入力	tSU;STO	SMOCK (P22) SMODA (P23)	・図 8 参照	2.7~3.6	1.0			Tfilt
	出力	tSU;STOx	SMOCK (P22) SMODA (P23)	<ul style="list-style-type: none"> ・標準クロックモード時 ・出力変化開始までの時間として規定する。 ・高速クロックモード時 ・出力変化開始までの時間として規定する。 		4.9			μs
						1.1			
データホールド時間	入力	tHD;DAT	SMOCK (P22) SMODA (P23)	・図 8 参照	2.7~3.6	0			Tfilt
	出力	tHD;DATx	SMOCK (P22) SMODA (P23)	・出力変化開始までの時間として規定する。		1		1.5	
データセットアップ時間	入力	tSU;DAT	SMOCK (P22) SMODA (P23)	・図 8 参照	2.7~3.6	1			Tfilt
	出力	tSU;DATx	SMOCK (P22) SMODA (P23)	・出力変化開始までの時間として規定する。		1tSCL- 1.5Tfilt			
SMOCK, SMODA 端子の立下り時間	入力	tF	SMOCK (P22) SMODA (P23)	・図 8 参照	2.7~3.6			300	ns
	出力	tF	SMOCK (P22) SMODA (P23)	<ul style="list-style-type: none"> ・SMIIC レジスタ制御ビット PSLW=1, PHV=1 のとき 	3	20+0.1Cb (注 4-8-3)		250	
<ul style="list-style-type: none"> ・SMOCK, SMODA ポート出力 FAST モード設定時 ・Cb ≤ 100pF 				3.0~3.6			100		

注 4-8-1: 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注 4-8-2: Tfilt は、レジスタ SMICOBRG の bit7,6 (BRP1, BRP0) の設定値と、システムクロック周波数により決定される値である。

BRP1	BRP0	Tfilt
0	0	tCYC×1
0	1	tCYC×2
1	0	tCYC×3
1	1	tCYC×4

Tfilt は以下の範囲になるように、(BRP1, BRP0)を設定してください。

$$250\text{ns} \geq \text{Tfilt} > 140\text{ns}$$

注 4-8-3: Cb は各バスに接続された負荷のトータル(単位: pF) $Cb \leq 100\text{pF}$

注 4-8-4: 標準クロックモードは SMICOBRG の設定を、以下の条件の範囲内とした場合

$$250\text{ns} \geq \text{Tfilt} > 140\text{ns}$$

$$\text{BRDQ}(\text{bit}5) = 1$$

$$\text{SCL 周波数設定} \leq 100\text{kHz}$$

高速クロックモードは SMICOBRG の設定を、以下の条件の範囲内とした場合

$$250\text{ns} \geq \text{Tfilt} > 140\text{ns}$$

$$\text{BRDQ}(\text{bit}5) = 0$$

$$\text{SCL 周波数設定} \leq 400\text{kHz}$$

LC88FC3K0A

SMIIC1 単純 SIO モード時入出力特性 (注 4-9-1)

項目		記号	適用端子 ・備考	条件	規格					
					V _{DD} [V]	min	typ	max	unit	
シリアル クロック	入力 クロック	周期	tSCK (12)	SM1CK (PB4)	図 6 参照	2.7~3.6	4			tCYC
		低レベル パルス幅	tSCKL (12)				2			
		高レベル パルス幅	tSCKH (12)				2			
	出力 クロック	周期	tSCK (13)	SM1CK (PB4)	・CMOS 出力選択時 ・図 6 参照	2.7~3.6	4			tSCK
		低レベル パルス幅	tSCKL (13)				1/2			
		高レベル パルス幅	tSCKH (13)				1/2			
シリアル 入力	データセット アップ時間	tsDI (8)	SM1DA (PB5),	・SIOCLK の立ち上がり に対して規定する ・図 6 参照	2.7~3.6	0.03			μs	
	データホールド 時間	thDI (8)				0.03				
シリアル 出力	出力遅延時間	tdD0 (11)	SM1D0 (PB6), SM1DA (PB5)	・SIOCLK の立ち下がり に対して規定する ・出力変化開始までの時 間として規定する。 ・図 6 参照	2.7~3.6			1tCYC +0.05		

注 4-9-1 : 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

LC88FC3K0A

SMIIC1 I²C モード時入出力特性 (注 4-10-1) (注 4-10-2) (注 4-10-4)

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格				
						min	typ	max	unit	
クロック	入力 クロック	周期	tSCL	SM1CK (PB4)	・図 8 参照	2.7~3.6	5			Tfilt
		低レベル パルス幅	tSCLL				2.5			
		高レベル パルス幅	tSCLH				2			
	出力 クロック	周期	tSCLx	SM1CK (PB4)	・出力変化開始までの時間として規定する。	2.7~3.6	10			tSCL
		低レベル パルス幅	tSCLLx				1/2			
		高レベル パルス幅	tSCLHx				1/2			
SMOCK, SMODA 端子入 カスパイク抑圧時間		tsp	SM1CK (PB4) SM1DA (PB5)	・図 8 参照	2.7~3.6			1	Tfilt	
スタート、 ストップ間の バス開放時間	入力	tBUF	SM1CK (PB4) SM1DA (PB5)	・図 8 参照	2.7~3.6	2.5			Tfilt	
	出力	tBUFx	SM1CK (PB4) SM1DA (PB5)	・標準クロックモード時 ・出力変化開始までの時間として規定する。 ・高速クロックモード時 ・出力変化開始までの時間として規定する。		5.5			μs	
						1.6				
スタート、 リスタート コンディション のホールド時間	入力	tHD;STA	SM1CK (PB4) SM1DA (PB5)	・SMIIC レジスタ制御ビット I2CSHDS=0 のとき ・図 8 参照	2.7~3.6	2.0			Tfilt	
				・SMIIC レジスタ制御ビット I2CSHDS=1 のとき ・図 8 参照		2.5				
	出力	tHD;STAx	SMOCK (PB4) SMODA (PB5)	・標準クロックモード時 ・出力変化開始までの時間として規定する。 ・高速クロックモード時 ・出力変化開始までの時間として規定する。	4.1			μs		
					1.0					
リスタート コンディション のセットアップ 時間	入力	tSU;STA	SM1CK (PB4) SM1DA (PB5)	・図 8 参照	2.7~3.6	1.0			Tfilt	
	出力	tSU;STAx	SM1CK (PB4) SM1DA (PB5)	・標準クロックモード時 ・出力変化開始までの時間として規定する。 ・高速クロックモード時 ・出力変化開始までの時間として規定する。		5.5			μs	
						1.6				

LC88FC3K0A

項目	記号	適用端子 ・備考	条件	規格					
				V _{DD} [V]	min	typ	max	unit	
ストップ コンディション のセットアップ 時間	入力	tSU;ST0	SM1CK (PB4) SM1DA (PB5)	・図 8 参照	2.7~3.6	1.0			Tfilt
	出力	tSU;ST0x	SM1CK (PB4) SM1DA (PB5)	・標準クロックモード時 ・出力変化開始までの時間として規定する。		4.9			μs
				・高速クロックモード時 ・出力変化開始までの時間として規定する。		1.1			
データホールド 時間	入力	tHD;DAT	SM1CK (PB4) SM1DA (PB5)	・図 8 参照	2.7~3.6	0			Tfilt
	出力	tHD;DATx	SM1CK (PB4) SM1DA (PB5)	・出力変化開始までの時間として規定する。		1		1.5	
データセット アップ時間	入力	tSU;DAT	SM1CK (PB4) SM1DA (PB5)	・図 8 参照	2.7~3.6	1			Tfilt
	出力	tSU;DATx	SM1CK (PB4) SM1DA (PB5)	・出力変化開始までの時間として規定する。		tSCL- 1.5Tfilt			
SMOCK, SMODA 端子の立下り 時間	入力	tF	SM1CK (PB4) SM1DA (PB5)	・図 8 参照	2.7~3.6			300	ns
	出力	tF	SM1CK (PB4) SM1DA (PB5)	・SMIIC レジスタ制御ビット PSLW=1, PHV=1 のとき	3	20+0.1Cb (注 4-10-3)		250	
				・SMOCK, SMODA ポート出力 FAST モード設定時 ・Cb ≤ 100pF	3.0~3.6			100	

注 4-10-1: 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注 4-10-2: Tfilt は、レジスタ SMIC1BRG の bit7, 6 (BRP1, BRP0) の設定値と、システムクロック周波数により決定される値である。

BRP1	BRP0	Tfilt
0	0	tCYC×1
0	1	tCYC×2
1	0	tCYC×3
1	1	tCYC×4

Tfilt は以下の範囲になるように、(BRP1, BRP0)を設定してください。

$$250\text{ns} \geq \text{Tfilt} > 140\text{ns}$$

注 4-10-3: Cb は各バスに接続された負荷のトータル(単位: pF) Cb ≤ 100pF

注 4-10-4: 標準クロックモードは SMIC1BRG の設定を、以下の条件の範囲内とした場合

$$250\text{ns} \geq \text{Tfilt} > 140\text{ns}$$

$$\text{BRDQ}(\text{bit}5) = 1$$

$$\text{SCL 周波数設定} \leq 100\text{kHz}$$

高速クロックモードは SMIC1BRG の設定を、以下の条件の範囲内とした場合

$$250\text{ns} \geq \text{Tfilt} > 140\text{ns}$$

$$\text{BRDQ}(\text{bit}5) = 0$$

$$\text{SCL 周波数設定} \leq 400\text{kHz}$$

LC88FC3K0A

SLIIC0 単純 SIO モード時入出力特性 (注 4-11-1)

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格			
						min	typ	max	unit
シリアル クロック 入力ク ロック	周期	tSCK(13)	SLOCK (PA4)	図 8 参照	2.7~3.6	4			tCYC
	低レベル パルス幅	tSCKL(13)				2			
	高レベル パルス幅	tSCKH(13)				2			
シリアル 入力	データセット アップ時間	tsDI(9)	SLODA (PA5),	・ SLOCK の立ち上がり に対して規定する ・ 図 8 参照	2.7~3.6	0.03			μs
	データホールド 時間	thDI(9)				0.03			
シリアル 出力	出力遅延時間	tdD0(13)	SLOD0 (PA6), SLODA (PA5)	・ SLOCK の立ち下がり に対して規定する ・ 出力変化開始までの時 間として規定する。 ・ 図 8 参照	2.7~3.6			1tCYC +0.05	

注 4-11-1: 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

LC88FC3K0A

SLIIC0 I²C モード時入出力特性 (注 4-12-1) (注 4-12-2)

項目			記号	適用端子 ・備考	条件	規格			
						V _{DD} [V]	min	typ	max
クロック 入力 クロック	周期	tSCL	SLOCK (PA4)	・図 8 参照	2.7~3.6	5			Tfilt
	低レベル パルス幅	tSCLL				2.5			
	高レベル パルス幅	tSCLH				2			
SLOCK, SLODA 端子 入力スパイク抑圧 時間		tsp	SLOCK (PA4) SLODA (PA5)	・図 8 参照	2.7~3.6			1	Tfilt
スタート、 ストップ間の バス開放時間	入力	tBUF	SLOCK (PA4) SLODA (PA5)	・図 8 参照	2.7~3.6	2.5			Tfilt
スタート、 リスタート コンディション のホールド時間	入力	tHD;STA	SLOCK (PA4) SLODA (PA5)	・SLIIC0 レジスタ制御 ビット SHDS=0 のとき ・図 8 参照	2.7~3.6	2.0			Tfilt
				・SLIIC0 レジスタ制御 ビット SHDS=1 のとき ・図 8 参照		2.5			
リスタート コンディション のセットアップ 時間	入力	tSU;STA	SLOCK (PA4) SLODA (PA5)	・図 8 参照	2.7~3.6	1.0			Tfilt
ストップ コンディション のセットアップ 時間	入力	tSU;STO	SLOCK (PA4) SLODA (PA5)	・図 8 参照	2.7~3.6	1.0			Tfilt
データホールド 時間	入力	tHD;DAT	SLOCK (PA4) SLODA (PA5)	・図 8 参照	2.7~3.6	0			Tfilt
	出力	tHD;DATx	SLOCK (PA4) SLODA (PA5)	・出力変化開始までの時 間として規定する。		1		1.5	
データセット アップ時間	入力	tSU;DAT	SLOCK (PA4) SLODA (PA5)	・図 8 参照	2.7~3.6	1			Tfilt
	出力	tSU;DATx	SLOCK (PA4) SLODA (PA5)	・出力変化開始までの時 間として規定する。		1tSCL- 1.5Tfilt			

LC88FC3K0A

項目		記号	適用端子 ・備考	条件	規格				
					V _{DD} [V]	Min	typ	max	Unit
SLOCK, SLODA 端 子の立下り時間	入 力	tF	SLOCK (PA4) SLODA (PA5)	・図 8 参照	2.7~3.6			300	nsec
	出 力	tF	SLOCK (PA4) SLODA (PA5)	・ SLIICO レジスタ制御 ビット PSLW=1, PHV=1 の とき	3	20+0.1Cb (注 4-12-3)		250	
				・ SLOCK, SLODA ポート出 力 FAST モード設定時 ・ Cb ≤ 100pF	3~3.6			100	

注 4-12-1 : 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注 4-12-2 : Tfilt は、レジスタ SLICPCNT の bit5, 4 (BRP1, BRP0) の設定値と、システムクロック周波数により決定される値である。

BRP1	BRP0	Tfilt
0	0	tCYC×1
0	1	tCYC×2
1	0	tCYC×3
1	1	tCYC×4

Tfilt は以下の範囲になるように、(BRP1, BRP0) を設定してください。

$$250\text{ns} \geq \text{Tfilt} > 140\text{ns}$$

注 4-12-3 : Cb は各バスに接続された負荷のトータル(単位 : pF) Cb ≤ 100pF

LC88FC3K0A

UART0 動作条件/ $T_a = -40 \sim +85^\circ\text{C}$, $V_{SS1} = V_{SS2} = V_{SS3} = V_{SS4} = 0\text{V}$

項目	記号	適用端子 ・備考	条件	規格				
				V_{DD} [V]	min	typ	max	unit
転送レート	UBR0	U0RX (P13), U0TX (P14), U0BRG (P07)		2.7~3.6	4		8	tBGCYC

注 4-12 : tBGCYC はボーレートクロックソースの 1 周期

UART2 動作条件/ $T_a = -40 \sim +85^\circ\text{C}$, $V_{SS1} = V_{SS2} = V_{SS3} = V_{SS4} = 0\text{V}$

項目	記号	適用端子 ・備考	条件	規格				
				V_{DD} [V]	min	typ	max	unit
転送レート	UBR2	U2RX (P16), U2TX (P17),		2.7~3.6	8		4096	tBGCYC

注 4-13 : tBGCYC はボーレートクロックソースの 1 周期

UART3 動作条件/ $T_a = -40 \sim +85^\circ\text{C}$, $V_{SS1} = V_{SS2} = V_{SS3} = V_{SS4} = 0\text{V}$

項目	記号	適用端子 ・備考	条件	規格				
				V_{DD} [V]	min	typ	max	unit
転送レート	UBR3	U3RX (P34), U3TX (P35),		2.7~3.6	8		4096	tBGCYC

注 4-14 : tBGCYC はボーレートクロックソースの 1 周期

パルス入力条件/ $T_a = -40 \sim +85^\circ\text{C}$, $V_{SS1} = V_{SS2} = V_{SS3} = V_{SS4} = 0\text{V}$

項目	記号	適用端子・備考	条件	規格				
				V_{DD} [V]	min	typ	max	unit
高・低レベル パルス幅	tPIH(1) tPIL(1)	INT0 (P30), INT1 (P31), INT2 (P32), INT3 (P33), INT4 (P20), INT5 (P21), INT6 (P40), INT7 (P41)	・割り込み要因フラグを セットできる。 ・タイマ 2, 3 へのイベント 入力ができる。	2.7~3.6	2			tCYC
	tPIL(2)	RESB	リセットできる。	2.7~3.6	10			μs

LC88FC3K0A

AD 変換特性/ $T_a = -40 \sim +85^\circ\text{C}$, $V_{SS1} = V_{SS2} = V_{SS3} = V_{SS4} = 0\text{V}$

12ビットAD変換モード

項目	記号	適用端子 ・備考	条件	規格					
				V _{DD} [V]	min	typ	max	unit	
分解能	NAD	AN0 (P60) ~AN7 (P67), AN8 (P70) ~AN15 (P77)		2.7~3.6		12		bit	
絶対精度	ETAD		(注 6-1)	2.7~3.6			±16	LSB	
変換時間	TCAD12		変換時間算出		3.0~3.6	64		115	μs
					2.7~3.6		128		
アナログ入力 電圧範囲	VAIN				2.7~3.6	V _{SS}		V _{DD}	V
アナログポート 入力電流	I _{AINH}		VAIN=V _{DD}		2.7~3.6			1	μA
	I _{AINL}	VAIN=V _{SS}		2.7~3.6	-1				

・変換時間算出方法： $TCAD12 = \left(\frac{52}{AD分周比} + 2 \right) \times t_{CYC}$

8ビットAD変換モード

項目	記号	適用端子 ・備考	条件	規格					
				V _{DD} [V]	min	typ	max	unit	
分解能	NAD	AN0 (P60) ~AN7 (P67), AN8 (P70) ~AN15 (P77)		2.7~3.6		8		bit	
絶対精度	ETAD		(注 6-1)	2.7~3.6			±1.5	LSB	
変換時間	TCAD8		変換時間算出		3.0~3.6	39		71	μs
					2.7~3.6		79		
アナログ入力 電圧範囲	VAIN				2.7~3.6	V _{SS}		V _{DD}	V
アナログポート 入力電流	I _{AINH}		VAIN=V _{DD}		2.7~3.6			1	μA
	I _{AINL}	VAIN=V _{SS}		2.7~3.6	-1				

・変換時間算出方法： $TCAD8 = \left(\frac{32}{AD分周比} + 2 \right) \times t_{CYC}$

注 6-1：絶対精度は量子化誤差(±1/2LSB)を除く。

注 6-2：変換時間は変換をスタートさせる命令が出てからアナログ入力値に対する完全なデジタル変換値がレジスタに設定されるまでの時間をさしている。

変換時間は下記の場合、通常の2倍となる。

- ・システムリセット後、12ビットAD変換モードで最初のAD変換を行った場合。
- ・AD変換モードを8ビットAD変換モードから12ビット変換モードに切り替え、最初のAD変換を行った場合。

LC88FC3K0A

消費電流特性/ $T_a = -40 \sim +85^\circ\text{C}$, $V_{SS1} = V_{SS2} = V_{SS3} = V_{SS4} = 0\text{V}$

typ : 3.3V

項目	記号	適用端子 ・備考	条件	規格				
				V_{DD} [V]	min	typ	max	unit
通常動作時 消費電流 (注 7-1)	IDDOP (1)	V_{DD1} = V_{DD2} = V_{DD3} = V_{DD4}	<ul style="list-style-type: none"> ・FmCF=10MHz セラミック発振時 ・FmX' ta1=32.768kHz 水晶発振時 ・システムクロックは 10MHz 側 ・内蔵 RC 発振は停止 ・1/1 分周時 	2.7~3.6		5.0	12.0	mA
	IDDOP (2)		<ul style="list-style-type: none"> ・FmCF=0Hz (発振停止) ・FmX' ta1=32.768kHz 水晶発振時 ・システムクロックは内蔵 RC 発振 ・1/1 分周時 	2.7~3.6		0.8	2.1	
	IDDOP (3)		<ul style="list-style-type: none"> ・FmCF=0Hz (発振停止) ・FmX' ta1=32.768kHz 水晶発振時 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・1/1 分周時 	2.7~3.6		30	136	μA

次ページへ続く。

LC88FC3K0A

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
HALT モード 消費電流 (注 7-1)	IDDHALT (1)	V _{DD1} =V _{DD2} =V _{DD3} =V _{DD4}	<ul style="list-style-type: none"> ・HALT モード ・FmCF=10MHz セラミック発振時 ・FmX' ta1=32.768kHz 水晶発振時 ・システムクロックは 10MHz 側 ・内蔵 RC 発振は停止 ・1/1 分周時 	2.7~3.6		1.5	3.2	mA
	IDDHALT (2)		<ul style="list-style-type: none"> ・HALT モード ・FmCF=0Hz (発振停止) ・FmX' ta1=32.768kHz 水晶発振時 ・システムクロックは内蔵 RC 発振 ・1/1 分周時 	2.7~3.6		0.2	0.8	
	IDDHALT (3)		<ul style="list-style-type: none"> ・HALT モード ・FmCF=0Hz (発振停止) ・FmX' ta1=32.768kHz 水晶発振時 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・1/1 分周時 	2.7~3.6		8.5	78	μA

次ページへ続く。

LC88FC3K0A

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
HOLD モード 消費電流	IDDHOLD(1)	V _{DD1}	HOLD モード ・CF1=V _{DD} またはオープン (外部クロック時)	2.7~3.6		0.2	50	μA
	IDDHOLD(2)		HOLD モード ・CF1=V _{DD} またはオープン (外部クロック時) ・LVD オプション選択時	2.7~3.6		1.2	53	
HOLDX モード 消費電流	IDDHOLD(3)		HOLDX モード ・CF1=V _{DD} またはオープン (外部クロック時) ・FmX' tal=32.768kHz 水晶発振時	2.7~3.6		4.6	71	
	IDDHOLD(4)		HOLDX モード ・CF1=V _{DD} またはオープン (外部クロック時) ・FmX' tal=32.768kHz 水晶発振時 ・LVD オプション選択時	2.7~3.6		5.6	74	

注 7-1 : 消費電流は出力 Tr. および内蔵プルアップ抵抗に流れる電流を含まない。

F-ROM 書き込み特性/Ta=+10~+55°C, V_{SS1}=V_{SS2}=V_{SS3}=V_{SS4}=0V

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
オンボード 書き込み電流	I _{DDFW} (1)	V _{DD1}	・マイコン部の消去電流を除く	2.7~3.6			10	mA
オンボード 書き込み時間	t _{FW} (1)		・2K バイト消去動作	2.7~3.6			25	ms
	t _{FW} (2)		・2 バイト書き込み動作	2.7~3.6			45	μs

LC88FC3K0A

パワーオンリセット特性/ $T_a = -40 \sim +85^\circ\text{C}$, $V_{SS1} = V_{SS2} = V_{SS3} = V_{SS4} = 0\text{V}$

項目	記号	適用端子 ・備考	条件	規格				
				オプション 設定電圧	min	typ	max	unit
POR 解除電圧	PORRL		オプション選択 (注 8-1)	2.57V	2.47	2.57	2.72	V
				2.87V	2.77	2.87	3.02	
検知電圧不定 領域	POUKS		図 10 参照 (注 8-2)			0.7	0.95	
電源立ち上り 時間	PORIS		VDD=0V~1.6V までの 電源立ち上り時間				100	ms

(注 8-1) 低電圧検知リセットを非選択時に POR 解除電圧を 2 つのレベルから選択することが出来る。

(注 8-2) パワーオンリセットはトランジスタが駆動始めるまでの期間不定領域が存在する。

低電圧検出リセット (LVD) 特性/ $T_a = -40 \sim +85^\circ\text{C}$, $V_{SS1} = V_{SS2} = V_{SS3} = V_{SS4} = 0\text{V}$

項目	記号	適用端子 ・備考	条件	規格				
				オプション 設定電圧	min	typ	max	unit
LVD リセット電圧 (注 9-1)	LVDET		オプション選択 図 11 参照 (注 9-2)	2.81V	2.71	2.81	2.96	V
LVD 検知電圧 ヒステリシス	L VHYS			2.81V		60		mV
検知電圧不定領域	LVUKS		図 11 参照 (注 9-3)			0.7	0.95	V
低電圧最小検知幅 (応答感度)	TLVDW		LVDET-0.5V 図 12 参照		0.2			ms

(注 9-1) ヒステリシス電圧は LVD リセット電圧の規格値には含まない。

(注 9-2) ポートに出力変化や大電流を流すと LVD リセット電圧の規格値を超える場合があります。

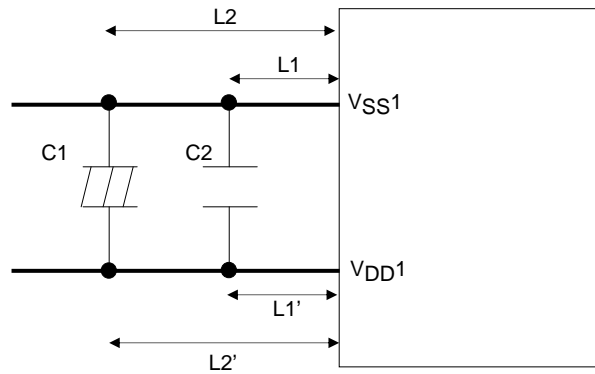
(注 9-3) 低電圧検知リセットはトランジスタが駆動始めるまでの期間不定領域が存在する。

LC88FC3K0A

電源端子条件 1 (V_{DD1} , V_{SS1})

$V_{DD1} \sim V_{SS1}$ 端子間には、以下の条件を満たすようなコンデンサを挿入すること。

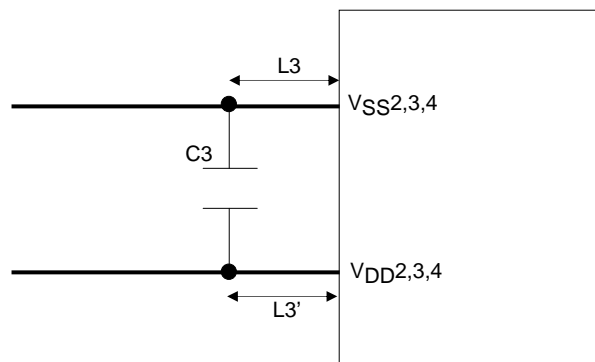
- V_{DD1} , V_{SS1} 端子から各コンデンサ $C1$, $C2$ 間までの配線長は、できるだけ等しく ($L1=L1'$, $L2=L2'$) かつ最短にすること。
- コンデンサは大容量のもの $C1$ と小容量のもの $C2$ を並列に挿入すること。
 $C2$ については $0.1\mu\text{F}$ 以上のコンデンサを実装すること。
- V_{DD1} , V_{SS1} の各パターンは、他のものより太くすること。



電源端子条件 2 ($V_{DD2,3,4}$, $V_{SS2,3,4}$)

$V_{DD2,3,4} \sim V_{SS2,3,4}$ 端子間には、以下の条件を満たすようなコンデンサを挿入すること。

- $V_{DD2,3,4}$, $V_{SS2,3,4}$ 端子から各コンデンサ $C3$ 間までの配線長は、できるだけ等しく ($L3=L3'$) かつ最短にすること。
- コンデンサ $C3$ については $0.1\mu\text{F}$ 以上のコンデンサを実装すること。
- $V_{DD2,3,4}$, $V_{SS2,3,4}$ の各パターンは、他のものより太くすること。



LC88FC3K0A

メイン・システム・クロック発振回路特性例

メイン・システム・クロック発振回路特性例は、当社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認した回路定数と、この回路定数を外付けしたときの特性例である。

表1 セラミック発振子を使用したメイン・システム・クロック発振回路特性例

公称周波数	メーカー名	発振子名	回路定数				動作電圧範囲 [V]	発振安定時間		備考
			C3 [pF]	C4 [pF]	Rf [Ω]	Rd2 [Ω]		typ [ms]	max [ms]	
10MHz	村田製作所	CSTCE10M0G52-R0	(10)	(10)	OPEN	680	2.2~3.6	0.02	0.2	C1, C2 内蔵品
		CSTLS10M0G53-B0	(15)	(15)	OPEN	680	2.2~3.6	0.02	0.2	C1, C2 内蔵品

発振安定時間は、 V_{DD} が動作電圧下限を上回ってから、発振が安定するまでに必要な時間である。(図4参照)

サブ・システム・クロック発振回路特性例

サブ・システム・クロック発振回路特性例は、当社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認した回路定数と、この回路定数を外付けしたときの特性例である。

表2 水晶発振子を使用したサブ・システム・クロック発振回路特性例

公称周波数	メーカー名	発振子名	回路定数				動作電圧範囲 [V]	発振安定時間		備考
			C3 [pF]	C4 [pF]	Rf2 [Ω]	Rd2 [Ω]		typ [s]	max [s]	
32.768kHz	EPSON TOYOCOM	MC-306	9	9	OPEN	330K	2.2~3.6	1.0	3.0	CL=7.0pF

発振安定時間は、サブクロック発振回路を開始させる命令を実行後、発振が安定するまでに必要な時間と、HOLD モードを解除後、発振が安定するまでに必要な時間である。(図4参照)

注意：回路パターンの影響を受けるので、発振に関わる部品はできるだけパターン長を伸ばさないように近くに配置すること。

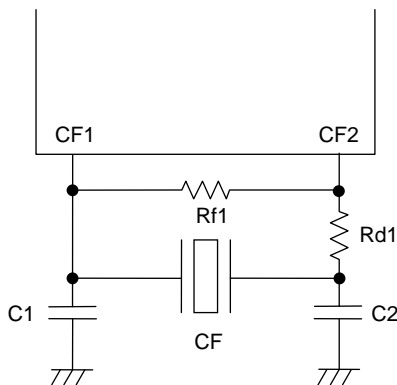


図1 CF 発振回路

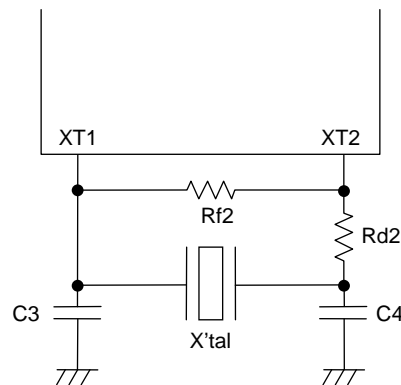


図2 XT 発振回路

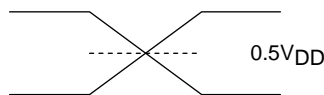
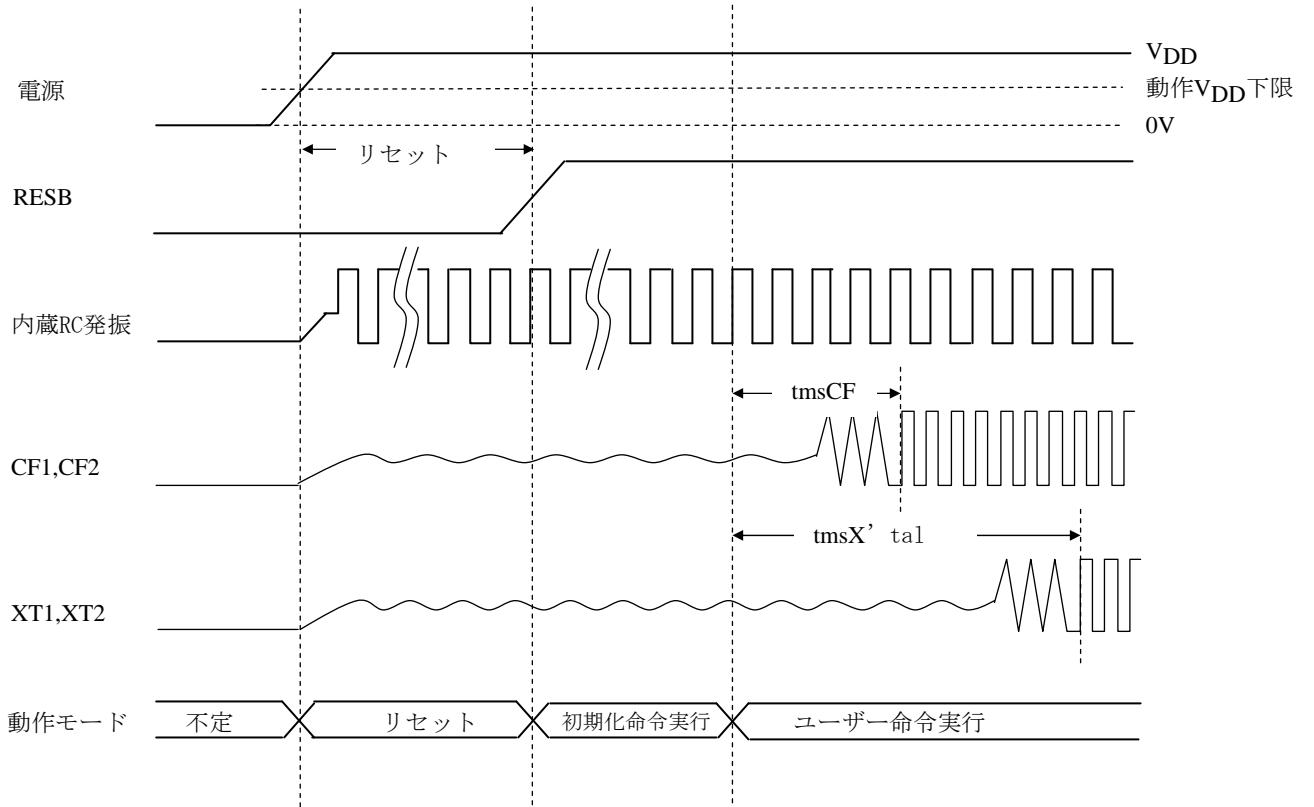
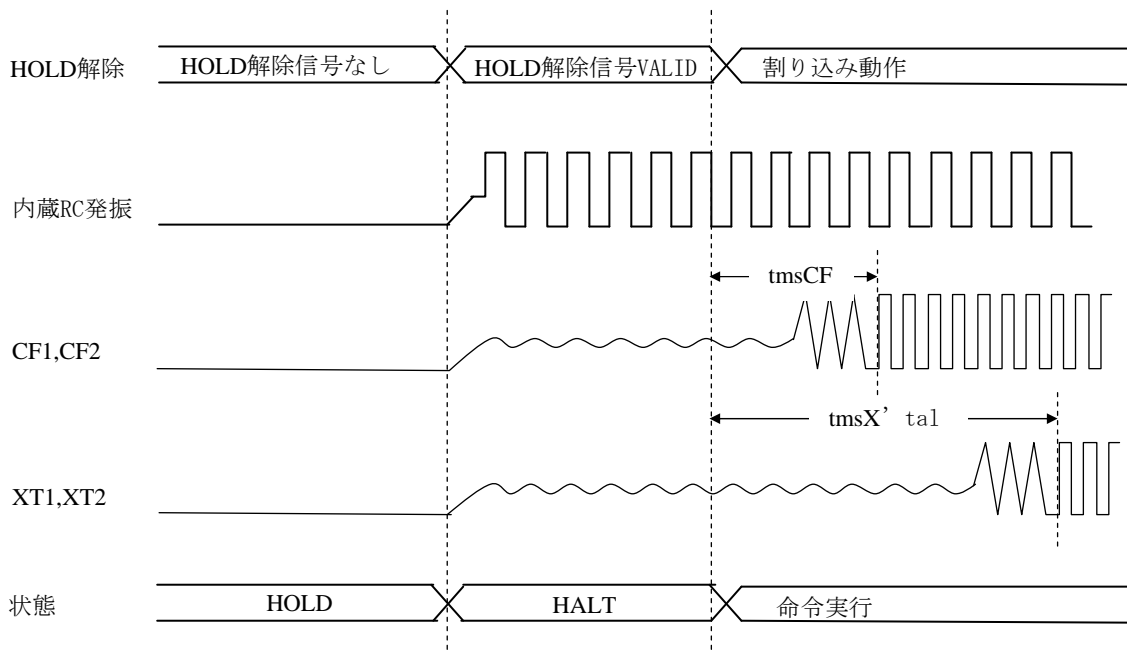


図3 AC タイミング測定点

LC88FC3K0A



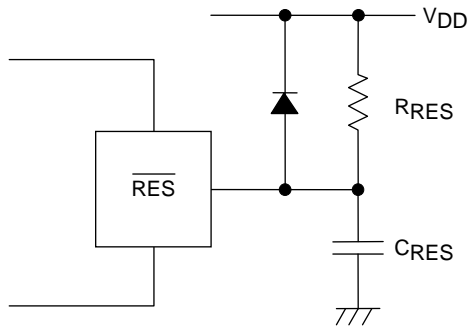
リセット時間と発振安定時間



HOLD 解除と発振安定時間

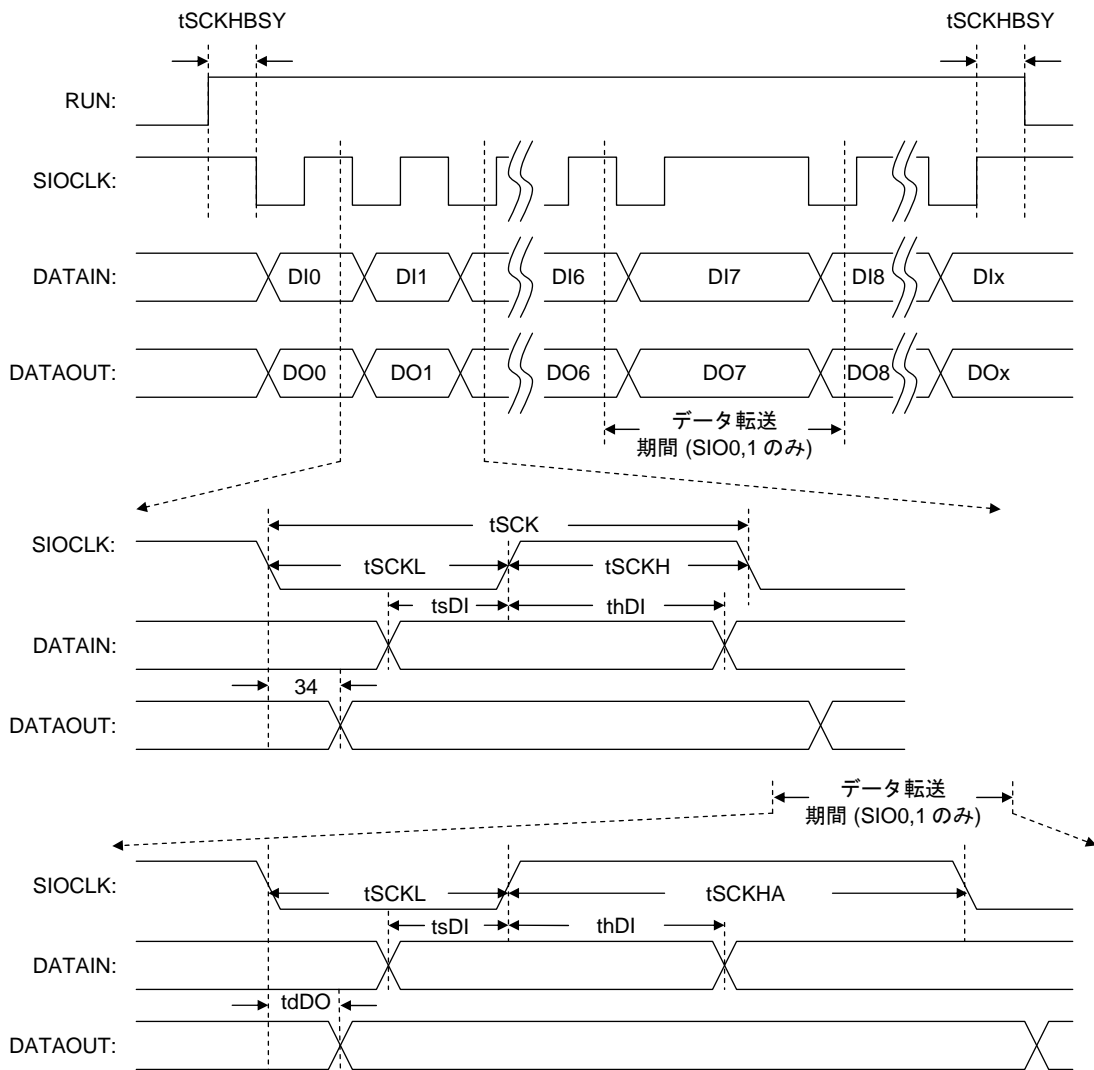
図4 発振安定時間

LC88FC3K0A



(注意)
電源の立ち上がり時はリセットがかかっていること、電源が安定してから、 $10\mu\text{s}$ の期間リセットがかかるように C_{RES} , R_{RES} の値を決めること。

図5 リセット回路



* 備考 : DIx, DOx は、最終通信ビットを示し、x=0 ~ 32768

図6 シリアル入出力波形

LC88FC3K0A

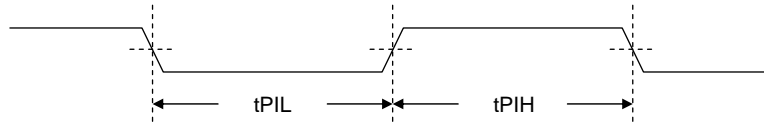
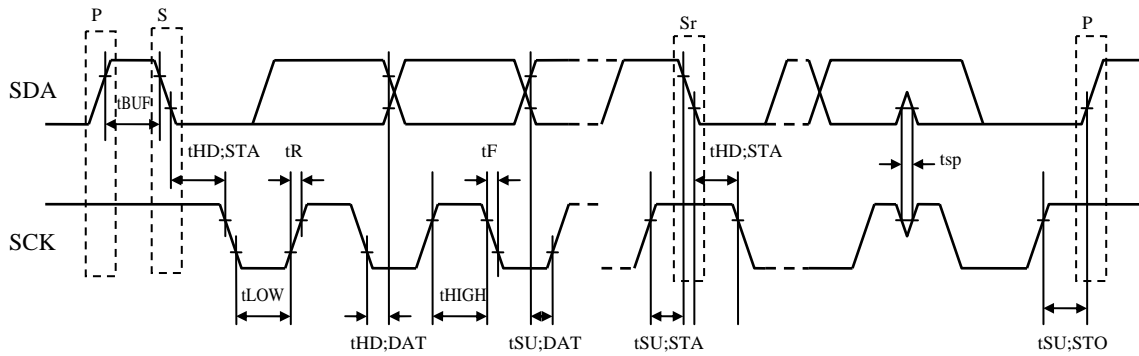


図7 パルス入力タイミング波形



- S : スタートコンディション
- P : ストップコンディション
- Sr : リスタートコンディション

図8 I²C タイミング

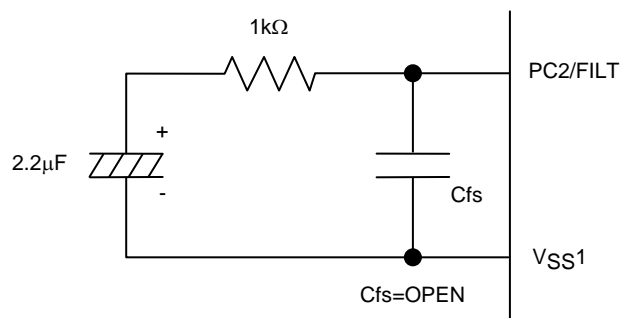


図9 FILT 推奨回路

※ PLL を動作開始させた後、最低 50ms の発振安定時間を取ることを。

LC88FC3K0A

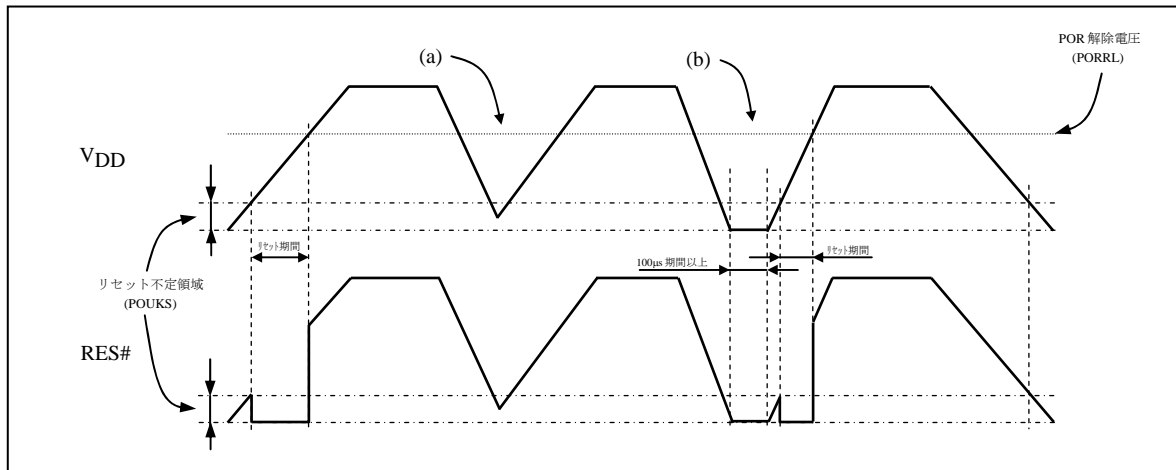


図 10 POR のみ (LVD 非選択) の動作波形例 (リセット端子：プルアップ抵抗 RRES のみ)

- PORはV_{SS}レベルから電源を立ち上げた時のみリセットが発生する。
- (a)のように電源がV_{SS}レベルまで下がらない状態で電源が再投入された場合には、安定したリセットはかからない。このケースが想定される場合には、下記のようにLVD機能を併用するか外付けにリセット回路を構成すること。
- (b)のように電源がV_{SS}レベルまで十分下がり、その状態が100µs以上保持されてから電源が再投入された場合のみリセットがかかる。

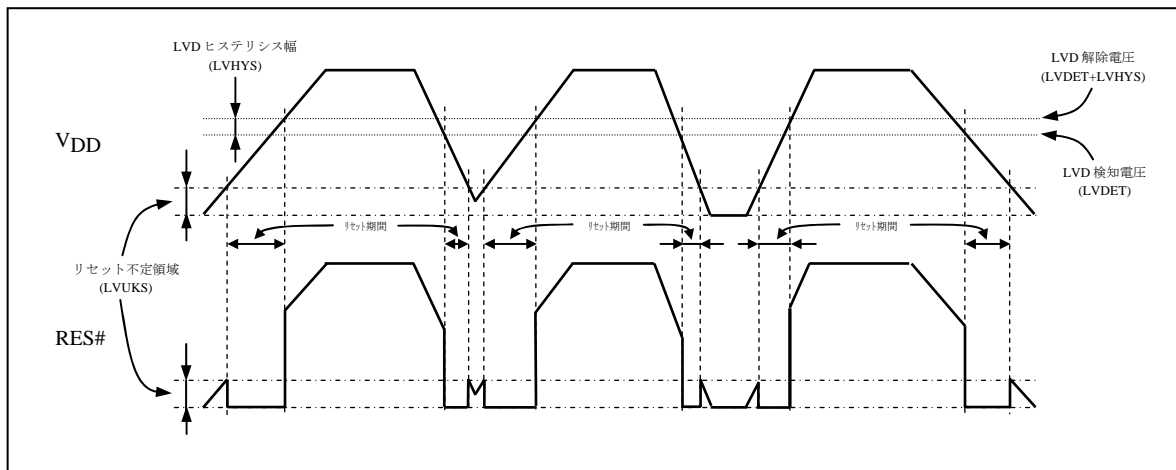


図 11 POR+LVD 選択時の動作波形例 (リセット端子：プルアップ抵抗 RRES のみ)

- 電源投入時と電源低下時ともにリセットがかかる。
- LVDには検知レベル付近でリセット解除/突入を繰り返さないようヒステリシス幅(LVHYS)がある。

LC88FC3K0A

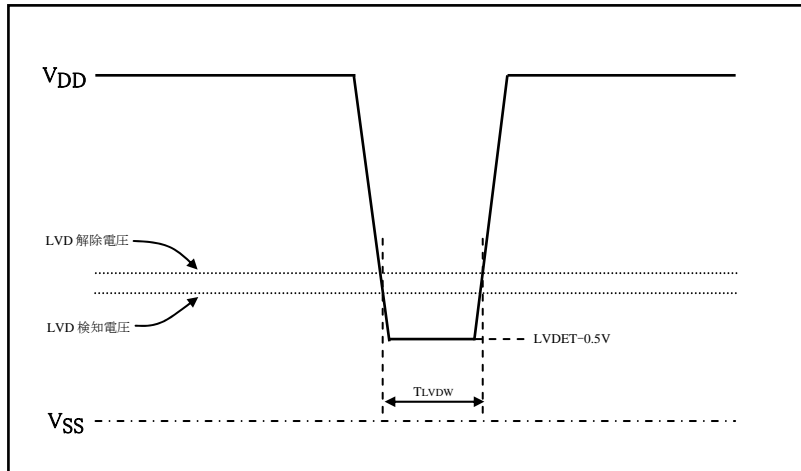


図 12 低電圧最小検知幅（電源瞬停・電源変動波形）

ORDERING INFORMATION

Device	Package	Shipping (Qty / Packing)
LC88FC3K0AUTJ-2H	TQFP 100, 14x14 (Pb-Free / Halogen Free)	900 / Tray JEDEC

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC) or its subsidiaries in the United States and/or other countries. SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴは、Semiconductor Components Industries, LLC (SCILLC) 若しくはその子会社の米国及び/または他の国における登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。