



ON Semiconductor®

<http://onsemi.jp>

# LV24250LS

Bi-CMOS LSI

## 小型携帯機器向け(I<sup>2</sup>C対応)

## 1チップFMチューナIC

### 概要

LV24250LSは、チューニングに必要な外付け部品をわずか3.5mm×3.5mmの小型VQLPパッケージに内蔵したI<sup>2</sup>C制御の1チップFMチューナICである。

### 機能

- ・ FM FE
- ・ FM IF
- ・ MPXステレオデコーダ
- ・ FLLチューニング
- ・ スタンバイ

### 最大定格/Ta=25

項目	記号	条件	定格値	unit
最大電源電圧	V <sub>CC</sub> max	アナログ部供給電圧	5.0	V
	V <sub>DD</sub> max	デジタル部供給電圧	4.0	V
最大入力電圧	V <sub>IN1</sub> max	SCL, SDA, Int	V <sub>DD</sub> + 0.3	V
	V <sub>IN2</sub> max	Extenal_clk_in	V <sub>DD</sub> + 0.3	V
許容消費電力	Pd max	Ta 70	140	mW
動作周囲温度	Topr		- 20 ~ + 70	
保存周囲温度	Tstg		- 40 ~ + 125	

40mm×50mm×0.8mm、ガラスエポキシ4層基板(2S2P)付き

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能的動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

### 動作条件/Ta=25

項目	記号	条件	定格値	unit
推奨電源電圧	V <sub>CC</sub>	アナログ部供給電圧	3.0	V
	V <sub>DD</sub>	デジタル部供給電圧	3.0	V
動作電源電圧範囲	V <sub>CC</sub> op		2.6 ~ 3.6	V
	V <sub>DD</sub> op		2.5 ~ 3.6	V
	V <sub>IO</sub> op	インタフェース電圧	2.2 ~ 3.6	V

V<sub>IO</sub>の印加電圧はV<sub>DD</sub>と等しいか、またはV<sub>DD</sub>値以下かつ2.2V以上で使用する。

\* ノイズ等により電圧変動が生じないよう供給電圧の安定化をすること。

# LV24250LS

動作特性/Ta=25 , VCC=3.0V, VDD=3.0V, Volume=15/16, Soft Mute=1/Soft Stereo=off

指定測定回路において

出力レベル設定は制御レジスタmapのRadio Control 1(0DhのBit0, Bit1, Bit5を「0」、「1」、「1」に設定)

レジスタmapのRatio control 2(0DhのBit1を「1」に設定)

その他IF\_OSC=170kHz設定、IF\_BW=100%設定(Radio Control 1:0Dh Bit6, Bit7を 1 , 1 に設定)

項目	記号	条件	min	typ	max	unit
消費電流(動作時)	I <sub>CCA</sub>	アナログ部60dBμVEMF入力時		12	17	mA
	I <sub>CCD</sub>	デジタル部60dBμVEMF入力時		0.3	0.8	mA
消費電流 (スタンバイ時)	I <sub>CCA</sub>	アナログ部スタンバイモード時		3	30	μA
	I <sub>CCD</sub>	デジタル部スタンバイモード時		3	30	μA
FM受信帯域	F_range	FM受信帯域76M ~ 108MHzを カバーするPCB搭載条件を参照	76		108	MHz
FM受信特性 MONO: f <sub>c</sub> =80MHz, f <sub>m</sub> =1kHz, 22.5kHzdev. なお、Soft_mute=1, Soft_stereo機能off時、IHF-BPF使用						
3dB感度	- 3dB LS	60dBμV, EMF, 22.5kHzdev出力基準, - 3dB入力		5	17	dBμV EMF
実用感度	QS1	S/N=30dB時入力, De-emphasis=75μs, SGオープン表示		8	16	dBμV EMF
実用感度2(参考)	QS2	S/N=26dB時入力, De-emphasis=75μs, SG終端表示		1.10		μV
復調出力	V <sub>o</sub>	60dBμV EMF, 19pin出力	80	110	160	mVrms
チャンネルバランス	CB	60dBμV EMF, 18pin出力/19pin出力	- 2	0	2	dB
信号対雑音比	S/N	60dBμV EMF, 19pin出力	48	58		dB
全高調波ひずみ率1 (MONO)	THD1	60dBμV EMF, 19pin出力, 22.5kHz dev.		0.4	1.5	%
全高調波ひずみ率2 (MONO)	THD2	60dBμV EMF, 19pin出力, 75.0kHz dev.		1.3	3	%
電界強度表示レベル	FS	Reg1Dh_bit0=オフ Reg02h_bit1-3が1 2に変わる 入力レベル	3	10	20	dBμV EMF
ミュート減衰度	Mute-Att.	60dBμV EMF, 19pin出力	60	70		dB
FM受信特性 STEREO特性: f <sub>c</sub> =80MHz, f <sub>m</sub> =1kHz, V <sub>I/N</sub> =60dBμV EMF, Pilot=10%(7.5kHz dev), MPX-Filter使用						
セパレーション	SEP	L-mod, 19pin出力/18pin出力 L + R信号=30%(22.5kHz dev.)	20	35		dB
全高調波ひずみ率1 (Main)	THD-ST1	Main-mod(L + R入力時), 19pin出力, IHF_BPF L + R信号=30%(22.5kHz dev.)		0.6	1.8	%

インタフェース部 許容動作範囲/Ta= - 20 ~ + 70 , V<sub>SS</sub>=0V

項目	記号	条件	min	typ	max	unit
電源電圧	V <sub>DD</sub>		2.5		3.6	V
デジタル部入力	V <sub>IH</sub>	Highレベル入力電圧範囲	0.7V <sub>DD</sub>		V <sub>DD</sub>	V
	V <sub>IL</sub>	Lowレベル入力電圧範囲	0		0.1V <sub>DD</sub>	V
デジタル部出力	I <sub>OL</sub>	Lowレベル時出力電流	2.0			mA
	V <sub>OL</sub>	Lowレベル時出力電圧 I <sub>OL</sub> =2mA			0.6	V
外部クロック動作 周波数	Fclk_ext	外部入力用クロック周波数	32k	32.768k	20M	Hz

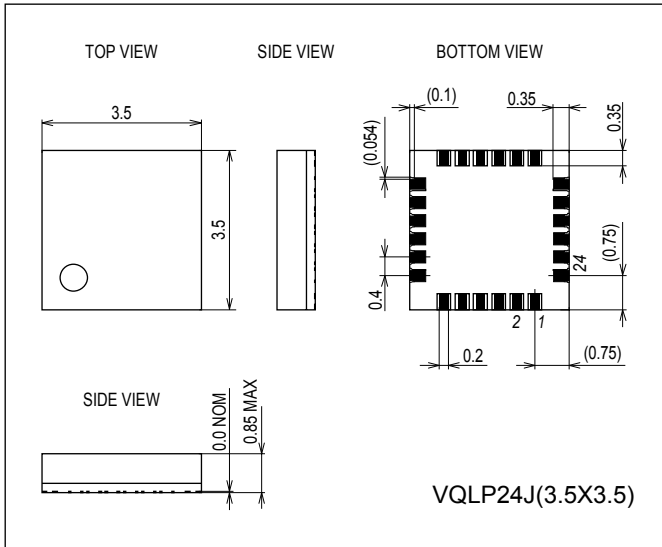
注:外部クロック入力(12ピン)は正弦波信号入力も可能である。

# LV24250LS

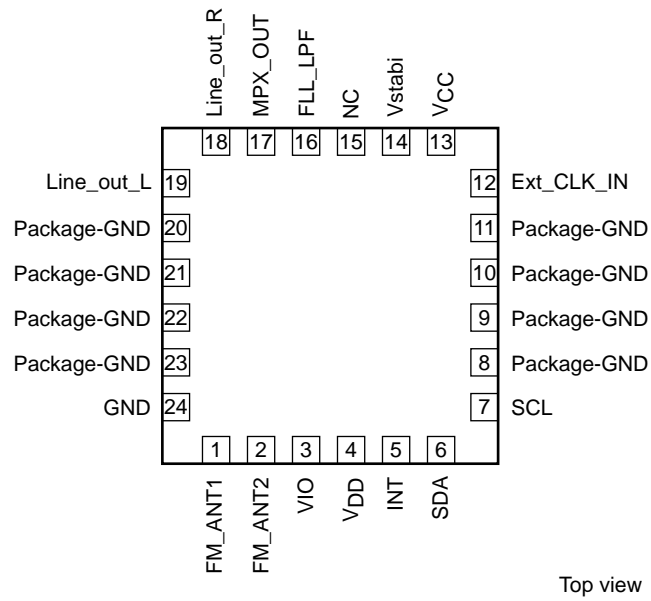
## 外形図

unit:mm

3393

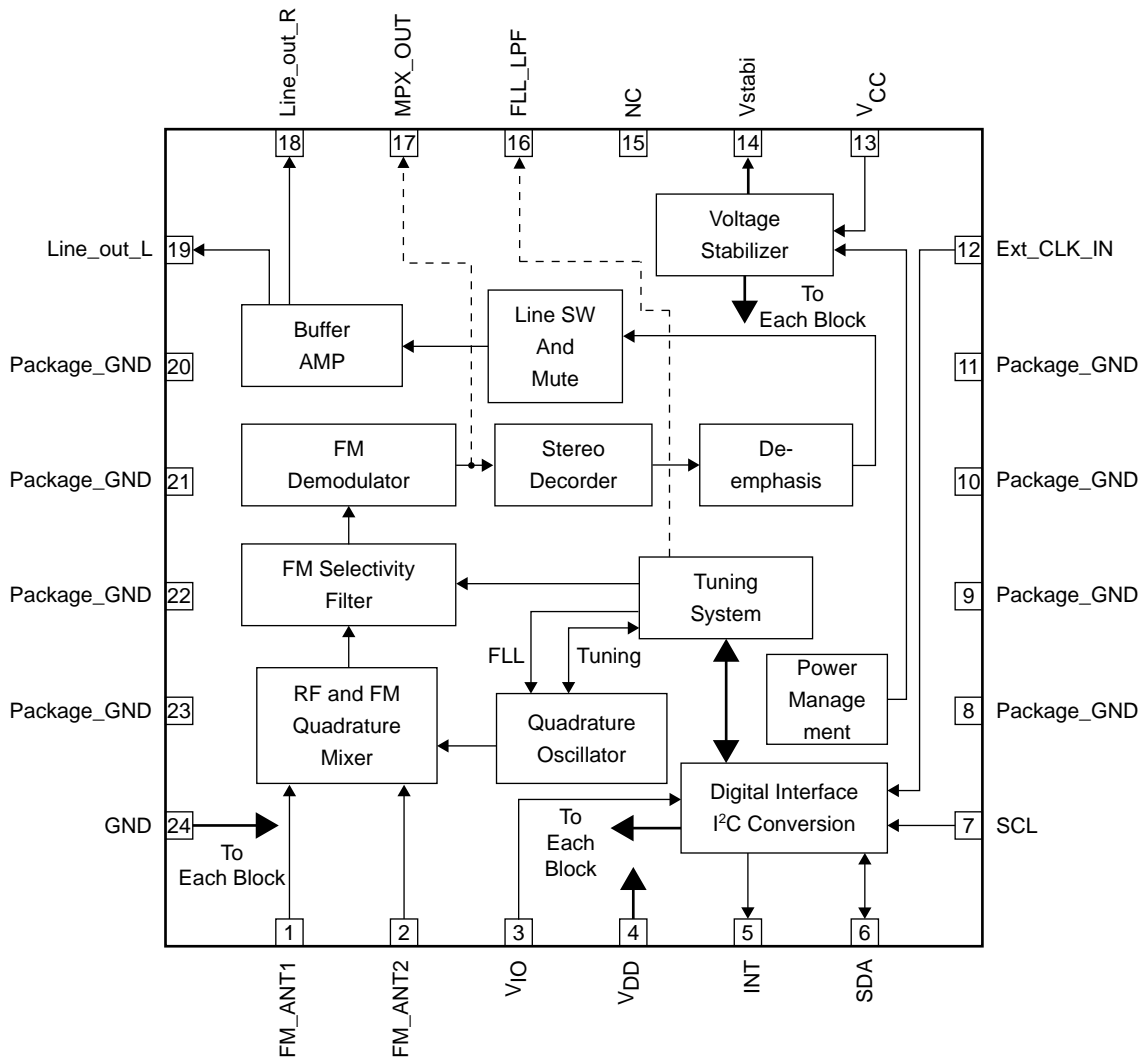


## ピン配置図



# LV24250LS

## ブロック図



# LV24250LS

## 端子説明

端子No.	端子名	端子説明	端子電圧	内部等価回路
1 2	FM-ANT1 FM-ANT2	Antenna input アンテナ入力端子、1ピンシグナル 入力仕様の場合、2ピンは対GND間 に容量を付加してAC_GNDとする。	1V	
3	V <sub>IO</sub>	Digital interface supply voltage インタフェース入出力素子専用の 電源用端子。I2C通信用プルアップ 抵抗は本端子とSDA端子間、SCL端 子間に付加する。	V <sub>IO</sub>	
4	V <sub>DD</sub>	Digital supply voltage デジタル部の電源端子	V <sub>DD</sub>	
5	INT	Interrupt line インタラプト専用出力端子 (ハード出力端子: オプション使 用)		
6	SDA	Digital interface DATA ine 双方向データ通信線。V <sub>IO</sub> と本端子 間にプルアップ抵抗を付加 (3.3kΩ ~ 10kΩ)		
7	SCL	Digital interface Clock line データ通信クロック入力端子		
8 9 10 11	Package-GND	GND for package-shield パッケージシールド用のGND端子	GND	

次ページへ続く。

# LV24250LS

前ページより続く。

端子No.	端子名	端子説明	端子電圧	内部等価回路
12	Ext_CLK_IN	Reference clock-source input for measurement 外部基準CLK入力端子。		
13	VCC	Analog supply voltage アナログ部(チューナ部)の電源端子	VCC	
14	Vstabi	Stabilizer voltage 局部発信部へ電源供給しているVstabi端子。使用しない場合はNC扱い(オープン処理とする)。	2.6V	
15	NC			オープン処理とする。
16	FLL_LPF	LPF for FLL FLL動作時のノイズ低減用LPF端子。本端子と14ピンのVstabi端子間に容量を付加(0.47μF ~ 1.0μF)尚、使用しない場合は、NC扱い(オープン処理とする)	1.2V (センター設定時)	
17	MPX_OUT	MPX-signal output FM検波出力端子でFM検波信号、RDSデータ信号を本端子から出力	2.3V	
18	LINE-OUT-R	Radio Rch Line-output オーディオR_ch出力	1.2V	
19	LINE-OUT-L	Radio Lch Line-output オーディオL_ch出力	1.2V	
20 21 22 23	Package-GND	GND for package-shield パッケージシールド用のGND端子	(GND)	
24	GND	GND(Analog and Digital GND) アナログ部(FMチューナ部)、デジタル部(制御部)GND端子	(GND)	

# LV24250LS

## バス伝送フォーマットに関する説明

フォーマットはI<sup>2</sup>Cの規格(下記)に準拠する。

- ・スタートコンディション
- ・再スタートコンディション
- ・ストップコンディション
- ・バイト書き込み
- ・バイト読み込み

スタート、再スタート、ストップコンディションは下記図1に示す条件で規定される。

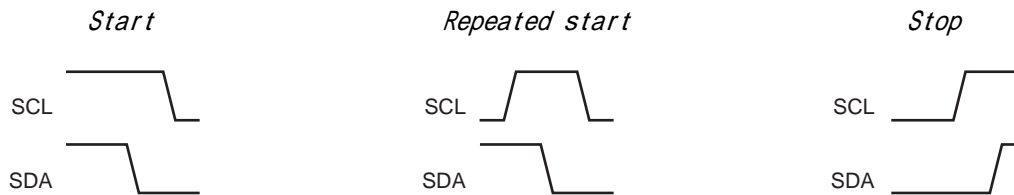


図1 the I<sup>2</sup>C start, repeated start and stop conditions.

タイミングなどの詳細な情報についてはI<sup>2</sup>Cのスペックを参照すること。

### 8ビット書き込み

8ビットデータはマスターのマイコンからLV24250LSに送られる。

データビットはMSB first, LSB lastである。

データの伝送はマスターICで生成されるSCLクロックに同期し、SCLの立ち上がりエッジでラッチされる。データはSCLがHIGHである間に変更してはいけない。

LV24250LSはSCLの立下りエッジの8番目と9番目の間にACKビットを出力する。

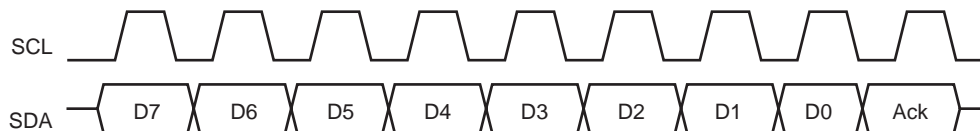


図2 Signal pattern of the I<sup>2</sup>C byte write

リードは、ライトと同様な形式ですが、データの方向が反対である。

8データビットはLV24250LSからマスターへ送られ、AckがマスターからLV24250LSに送られる。

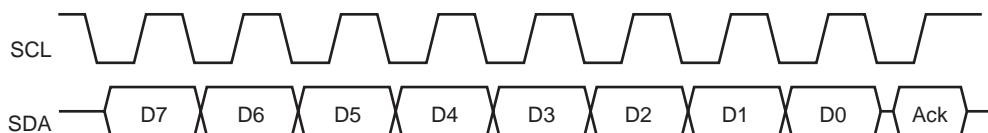


図3 Signal pattern of the I<sup>2</sup>C byte read

シリアルクロックSCLはマスター側から供給される。データビットは立下りエッジに合わせてLV24250LSから出され、マスター側は立ち上がりエッジでラッチする必要がある。

## LV24250LS

LV24250LSは立ち上がりエッジでACKをラッチする。  
以下はデータDをLV24250LSのレジスタAに書き込むシーケンスである。

- ・スタートコンディションの確認
- ・デバイスアドレス書き込み(C0h)
- ・アドレス情報A書き込み
- ・データDの書き込み
- ・ストップコンディション

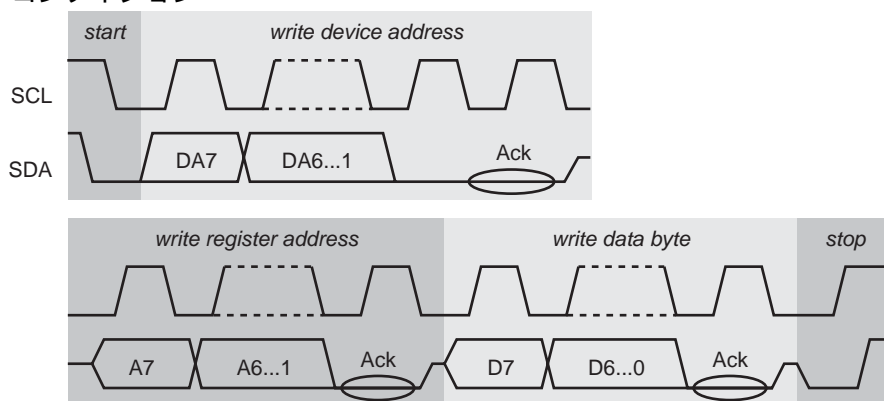


図4 Register write through I<sup>2</sup>C

1つ以上のデータが書かれた場合には、最初のデータのみが書き込まれる。

### 読み込みシーケンス

- ・スタートコンディションの確認
- ・デバイスアドレス書き込み(C0h)
- ・アドレス情報A書き込み
- ・再スタートコンディション(あるいは、マスターによるストップ+スタート)
- ・デバイスアドレス+1書き込み(C1h)
- ・レジスタ情報Dの読み込み,NACK(no more data to be read)送信
- ・ストップコンディション

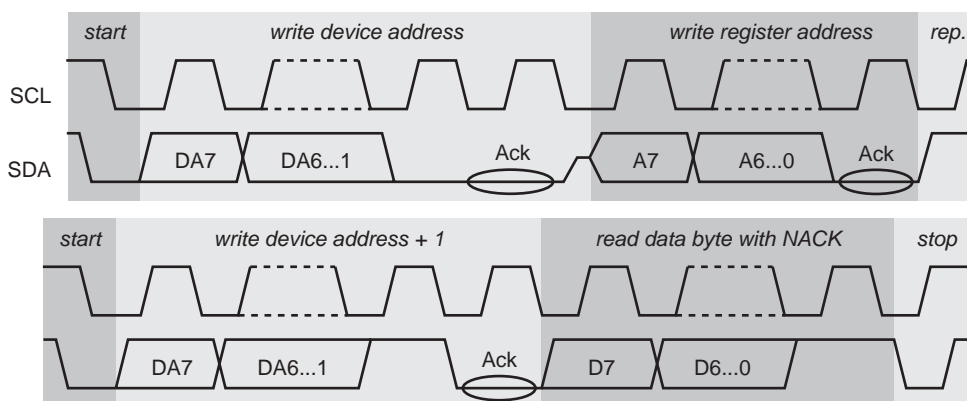


図5 Register read through I<sup>2</sup>C

### 割り込み端子 INT

LV24250LSは専用の割り込み出力端子が設けられている。また、ホストへのアクティブレベルはロー、ハイのどちらかを選ぶことができる。

INT出力端子は初期化時、PWRADビットがクリアされている間はフローティングである。

したがって、初期時CPU側への影響を避けるため、プルアップあるいはプルダウン抵抗で、アクティブではない状態にすることを推奨する。

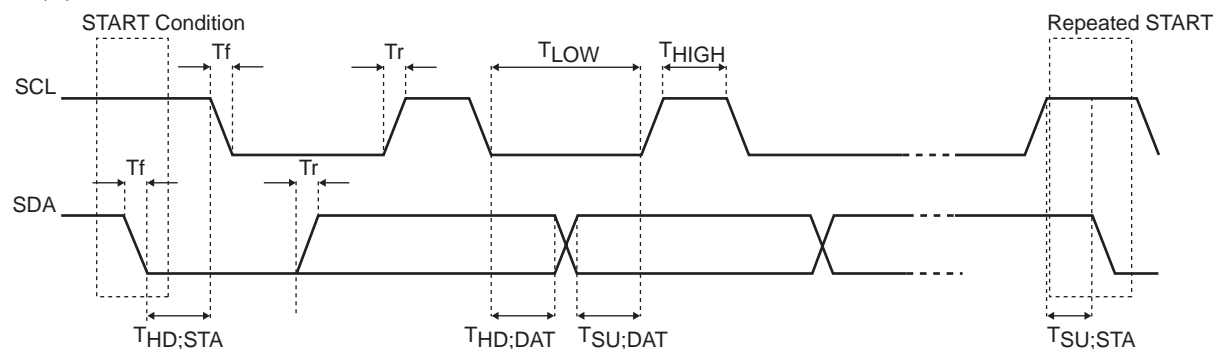
これによってホストCPUのノンマスク割り込みに直接INT出力接続することができる。



# LV24250LS

Digital interface specification (インタフェース仕様:参考)

## (1) I<sup>2</sup>Cバスインタフェースに対するSDAおよびSCLバス・ラインの特性



項目	記号	Standard-mode		High_Speed-mode		unit
		min	max	min	max	
SCLクロック動作周波数	F <sub>SCL</sub>	0	100	0	400	kHz
SDAとSCLの立下り時間	T <sub>f</sub>		300	20 + 0.1Cb	300	ns
SDAとSCLの立上り時間	T <sub>r</sub>		1000	20 + 0.1Cb	300	ns
SCLの“H”期間	T <sub>HIGH</sub>	4.0		0.6		μs
SCLの“L”期間	T <sub>LOW</sub>	4.7		1.3		μs
「スタート」条件保持時間	T <sub>HD;STA</sub>	4.0		0.6		μs
データ保持時間	T <sub>HD;DAT</sub>	0	3.45	0	0.9	μs
「スタート」条件セッティング時間	T <sub>SU;STA</sub>	4.7		0.6		μs
「ストップ」条件セッティング時間	T <sub>SU;STO</sub>	4.0		0.6		μs
データ・セッティング時間	T <sub>SU;DAT</sub>	250		100		ns
「ストップ」「スタート」間バスフリー時間	T <sub>BUF</sub>	4.7		1.3		μs
バス・ライン容量性負荷	C <sub>b</sub>		400		400	pF

\*Cb=1つのバス・ラインの合計キャパシタンス

## (2) レジスタマップ

LV24250LSのレジスタ一覧を挙げる。1アドレス8bit構成になっている。

アドレス	レジスタ名	アクセス	操作
00h	CHIP_ID	R/W	チップID確認
02h	RADIO_STAT	R	ラジオ局の状態確認
0Bh	RFCAP	R/W	RF Cap bank
0Dh	RADIO_CTRL1	R/W	ラジオコントロール1
0Eh	RADIO_CTRL2	R/W	ラジオコントロール2
0Fh	RADIO_CTRL3	R/W	ラジオコントロール3
10h	TNPL	R	周波数確認レジスタ
11h	TNPH_STAT	R	周波数確認/状態確認
19h	REF_CLK_PRS	R/W	PRESCALER/MOD
1Ah	REF_CLK_DIV	R/W	DIVIDER
1Bh	REF_CLK_OFF	R/W	OFFSET
1Dh	SCN_CTRL	R/W	スキャンコントロール
1Eh	TARGET_VAL_L	R/W	ターゲット値(Lowバイト)
1Fh	TARGET_VAL_H	R/W	ターゲット値(Highバイト)

Rは読み込み専用レジスタ、R/Wは読み書き両用レジスタとなっている。

## LV24250LS

### (3) レジスタ詳細 (各レジスタ内容に関して)

**Register 00h**    **CHIP\_ID**    **Chip identify register (Read/Write)**

7	6	5	4	3	2	1	0
ID [7:0]							
Bit 7-0 : <b>ID [7:0]</b> :8-bit chip ID. LV24250LS:15h  *このレジスタに任意値を書き込みすることにより動作中のコマンドが停止する。							

**Register 02h**    **RADIO\_STAT**    **Radio station status (Read-only)**

7	6	5	4	3	2	1	0
RAD_IF	N/A	N/A	MO_ST	FS [2:0]			SF5DB
Bit 7 : <b>RAD_IF</b> :Radio interrupt flag. 0 = インタラプト無し 1 = インタラプト有り  <b>Note:</b> このビットはラジオステータスが変化したときセットされる。(field strength, stereo/mono). IRQピンのインタラプトを許可している場合、ピンステータスを変化させる。このレジスタをリードするとクリアされる。PW_RAD = 0(スタンバイ時)は1となる。							
Bit 6-5: <b>NA [1:0]</b> :NA 0固定							
Bit 4: <b>MO_ST</b> :Mono/stereo indicator 0 = 強制モノラル 1 = 通常(ステレオ受信)							
Bit 3-1: <b>FS [2:0]</b> :Fieldstrength : 0 = 電界強度弱 ... 7 = 電界強度強							
Bit 0: <b>SF5DB</b> :Fieldstrength +5dB 0 = FS5dBアップなし 1 = FS5dBアップ							
詳細は、アプリケーションノートを参照すること。							

**Register 0Bh**    **RFCAP**    **RF Cap bank (Read/Write)**

7	6	5	4	3	2	1	0
RFCAP [7:0]							
Bit 7-0: <b>RFCAP [7:0]</b> :RFオシレータCAPバンク							

# LV24250LS

## Register 0Dh RADIO\_CTRL1 Radio control 1 (Read/Write)

7	6	5	4	3	2	1	0
IF_SEL	IFBWSEL	AGC_SPD	DEEM	ST_M	nMUTE	VOL [1:0]	
Bit 7:	<b>IF_SEL</b> : IF周波数セレクト 0 = 150kHz 1 = 170kHz						
Bit 6:	<b>IFBWSEL</b> : IF帯域幅セレクト 0 = 50% 1 = 100%						
Bit 5:	<b>VOL_2</b> : ボリュームセッティング *RADIO_CTRL1のBit1,0参照						
Bit 4:	<b>DEEM</b> : de-emphasis 0 = 50μs: Korea, China, Europe, 日本 1 = 75μs: USA						
Bit 3:	<b>ST_M</b> : Stereo/monoセッティング 0 = Stereo enabled 1 = Stereo disabled(mono mode)						
Bit 2:	<b>nMUTE</b> : Audioミュート 0 = ミュート 1 = ミュート解除						
Bit 1-0:	<b>VOL [1:0]</b> : ボリュームセッティング * RADIO_CTRL1のBit5及びRADIO_CTRL2のBit1との組み合わせの4Bitで制御						
	Vol_3	Vol_2	Vol_1	Vol_0			
	0	0	0	0	: 最小レベル		
	0	0	0	1			
	0	0	1	0			
	~						
	1	1	1	1	: 最大レベル		

## Register 0Eh RADIO\_CTRL2 Radio control 2 (Read/Write)

7	6	5	4	3	2	1	0
SOFTST [2:0]			SOFTMU [2:0]			N/A	STABI_BP
Bit 7-5:	<b>SOFTST [2:0]</b> : ソフトステレオセッティング 000b = Soft stereo level 3 001b = Disable soft stereo 010b = Soft stereo level 1 (*) 100b = Soft stereo level 2 <b>Note</b> : この値以外は設定しないこと。 (*): 推奨設定値						
Bit 4-2:	<b>SOFTMU [2:0]</b> : ソフトミュートセッティング 000b = Soft audio mute level 3 001b = Disable soft audio mute 010b = Soft audio mute level 1 100b = Soft audio mute level 2 (*) <b>Note</b> : この値以外は設定しないこと。 (*): 推奨設定値						
Bit 1:	<b>VOL_3</b> : ボリュームセッティング *RADIO_CTRL1のBit1,0参照						
Bit 0:	<b>STABI_BP</b> : 内蔵レギュレーターバイパスビット 0=内蔵レギュレータ動作(通常) 1=内蔵レギュレータバイパス						

# LV24250LS

**Register 0Fh    RADIO\_CTRL3    Radio control 3 (Read/Write)**

7	6	5	4	3	2	1	0
IPOL	SM_IE	RAD_IE	SD_PM	nIF_PM	EXT_CLK_CFG [1:0]		PW_RAD
Bit 7:	<b>IPOL:</b> インタラプト (IRQ) 極性 0 = IRQ active high 1 = IRQ active low						
Bit 6:	<b>SM_IE:</b> コマンド終了割り込み許可 0 = 不許可 1 = 許可						
Bit 5:	<b>RAD_IE:</b> ラジオ割り込み許可 (field strength/stereo changes) 0 = 不許可 1 = 許可						
Bit 4:	<b>SD_PM:</b> Stereo decoder clock PLL mute 0 = SD PLL オン (通常動作時) 1 = SD PLL オフ (調整時)						
Bit 3:	<b>nIF_PM:</b> IF PLL mute 0 = IF PLL オフ (調整時) 1 = IF PLL オン (通常動作時)						
Bit 2-1:	<b>EXT_CLK_CFG [1:0]:</b> 外部クロック設定						
		<b>EXT_CLK_CFG [1:0]</b>		<b>Reference clock</b>			
		00		Off			
		01		NA (不使用)			
		10		Oscillator clock source/32 (外部クロック 512kHz以上)			
		11		Oscillator clock source (外部クロック 512kHz未満)			
Bit 0:	<b>PW_RAD:</b> ラジオ回路パワー 0 = パワーオフ (スタンバイ) 1 = パワーオン						
<b>Note:</b> 起動時、PW_RADは0になっている。							

**Register 10h    TNPL    Tune position low (Read-only)**

7	6	5	4	3	2	1	0
TUNEPOS [7:0]							
Bit 7-0: <b>TUNEPOS [7:0]:</b> 現在のRF周波数 (下位8ビット)							

# LV24250LS

**Register 11h**    *TNPH\_STAT*    *Tune position high/status (Read-only)*

7	6	5	4	3	2	1	0														
ERROR [2:0]			SM_IF	TUNED	NA	TUNEPOS [9:8]															
<p>Bit 7-5:            <b>ERROR [2:0]:</b>エラーコード</p> <table border="1" style="margin-left: 40px; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">ERROR [2:0]</th> <th style="text-align: center;">意味</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td>OK, コマンド終了(ノーエラー)</td> </tr> <tr> <td style="text-align: center;">1</td> <td>Default value after or during reset</td> </tr> <tr> <td style="text-align: center;">2</td> <td>バンドリミットエラー</td> </tr> <tr> <td style="text-align: center;">3</td> <td>DAC リミットエラー</td> </tr> <tr> <td style="text-align: center;">6</td> <td>コマンド強制終了</td> </tr> <tr> <td style="text-align: center;">7</td> <td>コマンドbusy</td> </tr> </tbody> </table> <p>Bit 4:            <b>SM_IF:</b>コマンド終了割り込みフラグ                            0 = 割り込み無し                            1 = 割り込みあり</p> <p>このビットはコマンド終了したときセットされる。IRQピンのインタラプトを許可している場合、ピンステータスを変化させる。このレジスタをリードするとクリアされる。</p> <p>Bit 3:            <b>TUNED:</b>ラジオチューニングフラグ                            0 = チューニングされていない                            1 = チューニングされている</p> <p><b>Note:</b>このフラグは周波数チューニングもしくはステーションサーチが成功したときにセットされる。このフラグは以下3条件にてクリアされる。          (1) PW_RAD = 0          (2) 周波数チューニング          (3) ステーションスキャンが終了した</p> <p>Bit 2:            <b>NA:</b>0固定</p> <p>Bit 1:0:          <b>TUNEPOS [9:8]:</b>現在のRF周波数(上位2ビット)</p>								ERROR [2:0]	意味	0	OK, コマンド終了(ノーエラー)	1	Default value after or during reset	2	バンドリミットエラー	3	DAC リミットエラー	6	コマンド強制終了	7	コマンドbusy
ERROR [2:0]	意味																				
0	OK, コマンド終了(ノーエラー)																				
1	Default value after or during reset																				
2	バンドリミットエラー																				
3	DAC リミットエラー																				
6	コマンド強制終了																				
7	コマンドbusy																				

**Register 19h**    *REF\_CLK\_PRS*    *Reference clock prescaler (Read/Write)*

7	6	5	4	3	2	1	0
REFPRE [2:0]			REFMOD [4:0]				
<p>Bit [7:5]:          <b>REFPRE [2:0]:</b>外部クロックプリスケアラ                            0 = 1:1                            1 = 1:2                            ...                            7 = 1:128</p> <p>Bit [4:0]:          <b>REFMOD [4:0]:</b>5-bit slope correction</p>							

**Register 1Ah**    *REF\_CLK\_DIV*    *Reference clock divider (Read/Write)*

7	6	5	4	3	2	1	0
REFDIV [7:0]							
<p>Bit 7-0:            <b>REFDIV [7:0]:</b>外部クロックデバイダ                            0 = Divider値 = 1                            1 = Divider値 = 2                            ...                            255:Divider値 = 256</p>							

# LV24250LS

**Register 1Bh**    *REF\_CLK\_OFF*    *Reference clock offset (Read/Write)*

7	6	5	4	3	2	1	0
REFOFFS [7:0]							
Bit 7-0:            REFOFFS [7:0]:リファレンスクロックのばらつき修正用オフセットレジスタ							

**Register 1Dh**    *SCN\_CTRL*    *Scan control (Read/Write)*

7	6	5	4	3	2	1	0
GRID [1:0]		FLL_ON	FLL_MODE	FS [2:0]			SHF5DB
Bit 7-6: <b>GRID [1:0]:</b> FM局サーチ周波数間隔: 0 = IFSD設定 1 = 50kHz grid 2 = 100kHz grid 3 = 200kHz grid							
Bit 5: <b>FLL_ON:</b> FLL使用 0 = FLL OFF 1 = FLL 使用 FM周波数設定中、シーク中はOFFにすること。同調後ONにする。							
Bit 4: <b>Reserved:</b> 0固定 但し、16ピンに容量を付加し、Smoothing Filter(FLL_LPF)として使用する時は「1」設定							
Bit 3-1: <b>FS [2:0]:</b> FM局サーチ時の電波強度設定、および周波数調整ビット IFSD設定時は、「1」指定する。							
Bit 0: <b>SHF5DB:</b> スキャンストップレベル+5dB							

**Register 1Eh**    *TARGET\_VAL\_L*    *Target Value Low Register (Read/Write)*

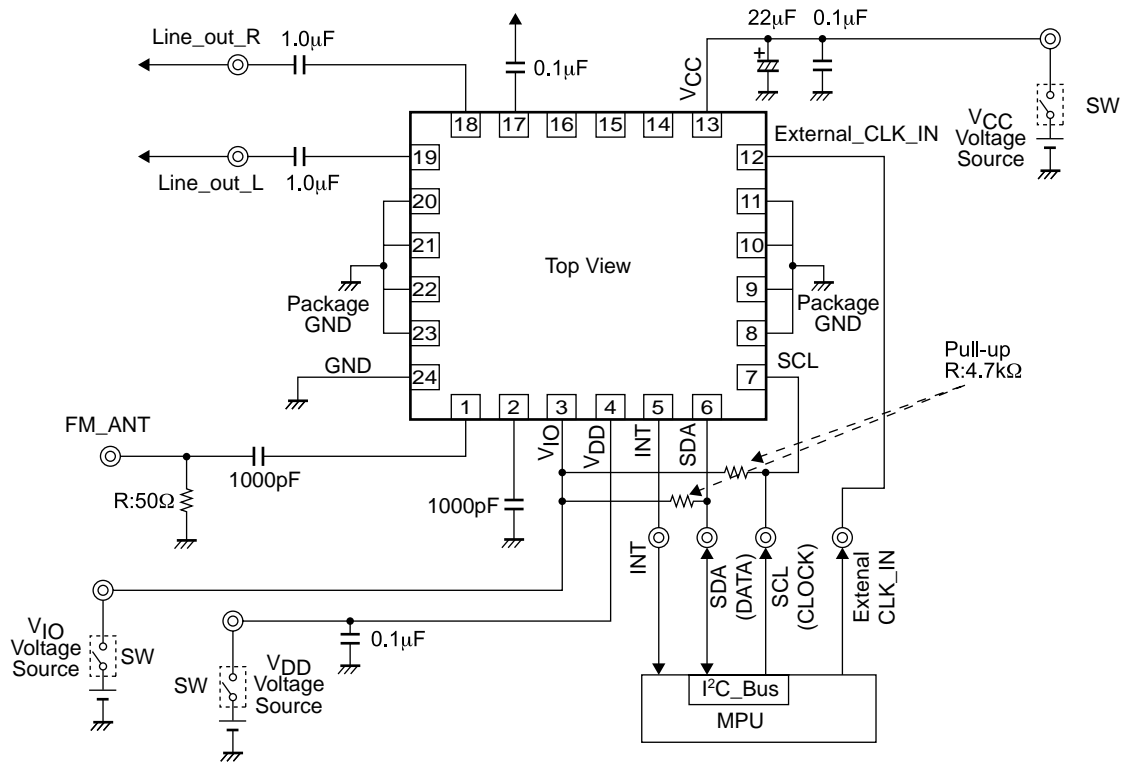
7	6	5	4	3	2	1	0
TARGET [7:0]							
Bit 7-0: <b>TARGET [7:0]:</b> ターゲット周波数下位8ビット: チューニング周波数またはFM局サーチ時のリミット周波数							

**Register 1Fh**    *TARGET\_VAL\_H*    *Target Value High Register (Read/Write)*

7	6	5	4	3	2	1	0
TARGET [15:8]							
Bit 7-0: <b>TARGET [15:8]:</b> ターゲット周波数上位8ビット: 周波数調整時のターゲットカウンタ値または、チューニング周波数またはFM局サーチ時のリミット周波数 <b>Note:</b> GRID [1:0]と TARGET [15:14]ビットは下記の表の通り定義されている。							
ラジオパワーオン時、ターゲット周波数下位8ビットを設定、その後このレジスタにターゲット周波数上位8ビットを設定するとコマンドが実行される。							

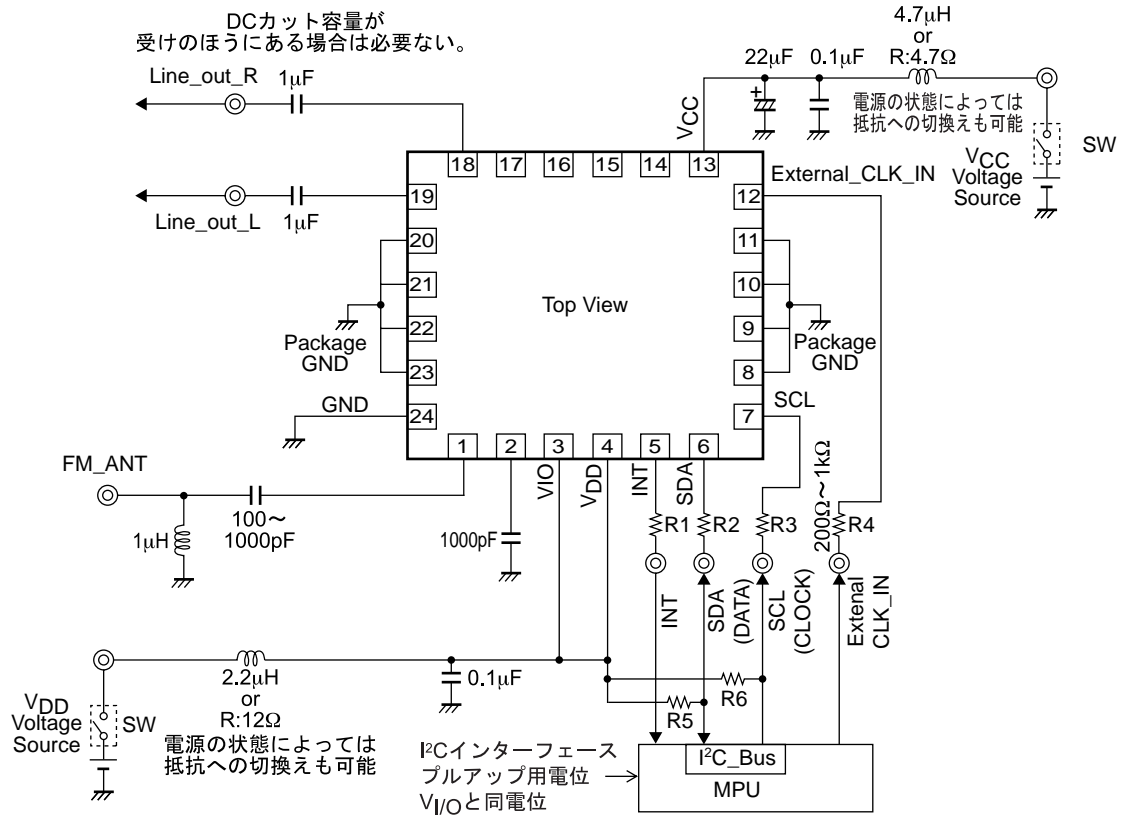
# LV24250LS

## 測定回路図



# LV24250LS

## 応用回路例



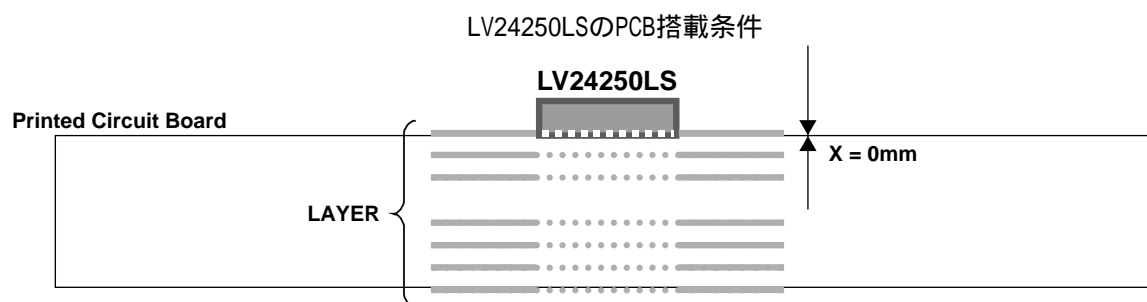
## IC搭載時の注意事項

- 注1：外付け部品定数に関しては推奨値を記載しているが、セット搭載時の実使用においては、定数が異なる場合があるので最適化を検討すること。
- 注2：シングル入力アンテナアプリケーションを記載している。差動入力も可能である。(1pin、2pinから信号入力：詳細はアプリケーションノートを参照すること。)
- 注3：MPUとIC間に通信時のスパイクノイズ等が大きい場合は、制限用抵抗R1,R2,R3をMPUとIC間に付加することを推奨する。V<sub>I/O</sub>=1.8Vの時は0。
- 注4：電源からのノイズ低減のためVCC - GND間、VDD - GNDに容量を付加すること。
- 注5：I<sup>2</sup>Cバス通信線には、プルアップ抵抗R5,R6が必要である。抵抗値は4.7kである(4.7k~10k)。また、プルアップ用電圧はLV24250LSのV<sub>I/O</sub>と同じ電圧に設定すること。(V<sub>I/O</sub>,V<sub>DD</sub>と同じ電源からの供給を推奨する)
- 注6：INT端子はIC起動時は不定となるので、起動時MPU側への影響を避けるため、プルアップあるいはプルダウン抵抗を付加して、Non・Activeモードに設定することを推奨する。(初期時、ソフトでMPU側をNon・Activeにできる場合は、特に必要ない。)



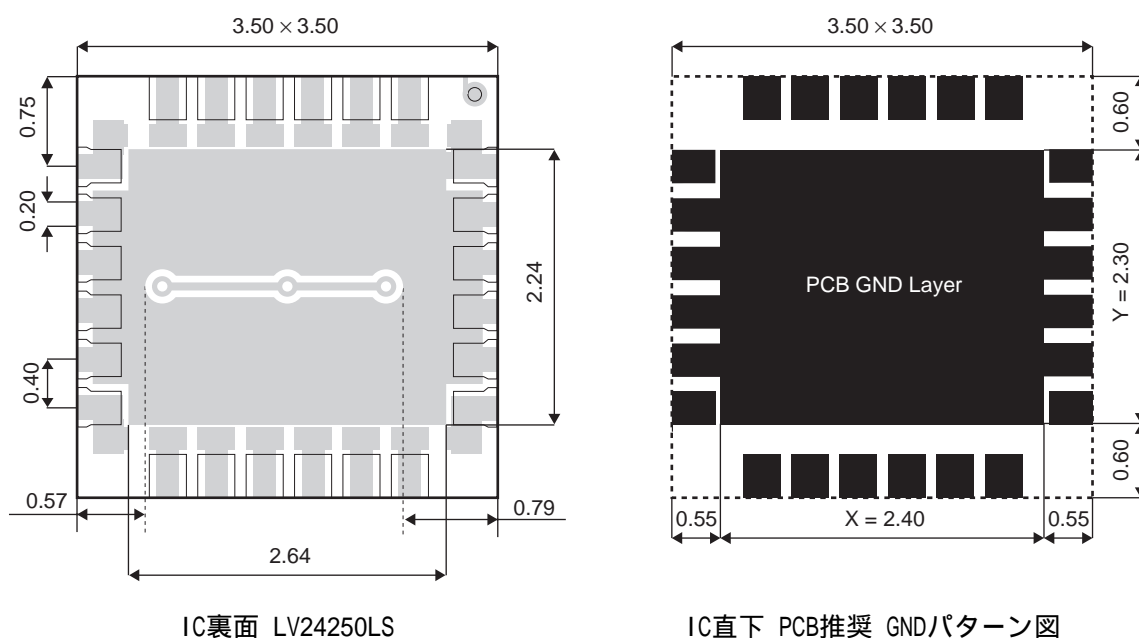
# LV24250LS

FM受信帯域76MHz～108MHzをカバーするPCB搭載条件



LV24250LSはパッケージの底面側に局発用のインダクタが搭載されている。  
受信周波数範囲76MHz～108MHzをカバーする条件として、上図に示すとおり、パッケージ底面の直下、PCB A面の1層目にGND層を配置すること。

PCB基板の推奨レイアウト



- ・ 本SPLの測定は、上記の条件において受信周波数の測定を行っている。
- ・ Xの値はICを中心としてMin=2.00mm, Max=2.60mmの間で任意に設定可能である。  
(当社 Demo BoardにおけるXの値は2.4mmである)
- ・ Yの値はICを中心としてMin=1.00mm, Max=2.40mmの間で任意に設定可能である。  
(当社 Demo BoardにおけるYの値は2.30mmである)
- ・ PCB\_GNDの下層0.4mm内にはできる限り他の配線は配置しないようにすること。

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。[www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf)。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。