



ON Semiconductor®

<http://onsemi.jp>

# LC89058W-E

CMOS LSI

## デジタルオーディオ用 インタフェースレシーバ

### 1 概要

LC89058W-E は IEC60958/61937、JEITA CPR-1205 によるデジタルオーディオ機器間のデータ伝送フォーマットに従い復調するデジタルオーディオインタフェースレシーバである。復調のサンプリング周波数は最高 192kHz まで対応する。既存の LC89057W-VF4A-E と容易に差換えることが出来る。LC89058W-E は低コストながら様々な機能を搭載しており AV アンプ、AV レシーバなどのデジタルデータ伝送の受信に適合する

### 2 特長

#### 2-1 クロック

- PLL 誤ロック防止回路の内蔵で正確にロックする。
- 水晶振動子用の発振アンプ・分周回路を内蔵。
- 512fs, 256fs, 128fs, 64fs, 32fs, 16fs, 2fs, fs, 1/2fs, 1/4fs の各クロックを出力。
- PLL の状態に関わらず発振アンプ(外部入力)クロックの出力が自在に設定可能。
- PLL クロックと発振アンプ(外部入力)クロックの切り替え遷移期間信号を出力。
- 入力データのサンプリング周波数帯域ごとに PLL クロック出力周波数を設定することも可能。

#### 2-2 データ

- サンプリング周波数 32kHz~192kHz の S/PDIF およびシリアルデータを受信可能。
- アンプ付入力 1 系統、5V 耐圧 TTL レベル対応入力 6 系統の合計 7 系統の入力端子を装備。
- 最大 7 系統の S/PDIF から復調するデータとスルー出力データを各々で出力可能。
- S/PDIF 入力データ検出機能を搭載。32kHz~192kHz データの入力状態をマイコンで監視可能。
- シリアルデータ入力端子を設けており PLL の状態に応じて復調データと自動切換え出力可能。
- S/PDIF の fs 受信範囲を制限可能。受信範囲を超過した時は無信号入力状態に設定可能。
- DSP とのインタフェースが容易な I<sup>2</sup>S データ出力に対応。

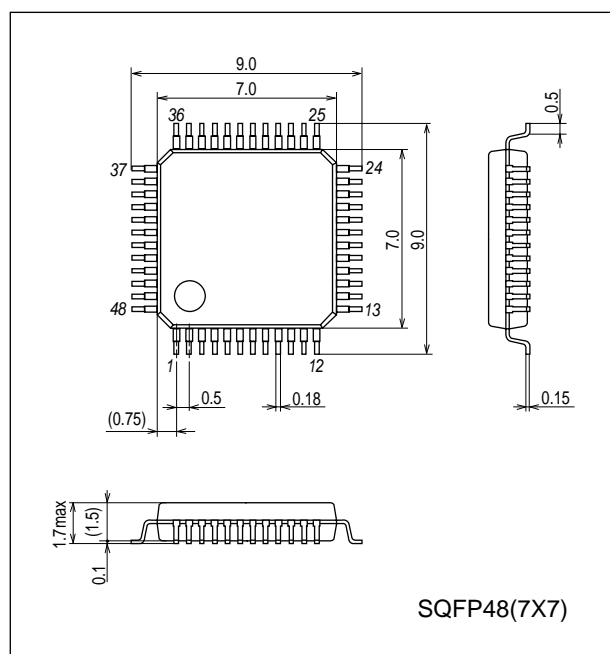
## 2-3 その他

- ・マスタ/スレーブ機能を使用することで多チャンネル伝送受信に対応。
- ・4ビットの汎用 I/O 端子を装備。周辺 LSI とのインタフェースに利用可能。
- ・汎用 I/O 端子はセクタ入力としても利用可能。HDMI や XM-radio などの信号と切換え可能。
- ・DTS 同期信号検出による DTS-CD/LD 検出フラグを出力。
- ・マイコン用の割り込み信号(割り込み要因は選択可能)を端子出力。
- ・入力信号のサンプリング周波数を算出して端子およびマイコンインタフェースより出力。
- ・IEC61937 のバーストプリアンプル Pc をマイコンインタフェースにより出力。
- ・IEC60958 のチャンネルステータスビット 1 非 PCM データ区分ビットを端子出力。
- ・チャンネルステータスのエンファシス情報を端子出力。
- ・2ビットのチップアドレス設定で最大4個の同時使用が可能。
- ・3.3V 単一電源(S/PDIF 入力およびマイコンインタフェースは 5V TTL インタフェース可能)
- ・SQFP48 パッケージ

## 3 外形図

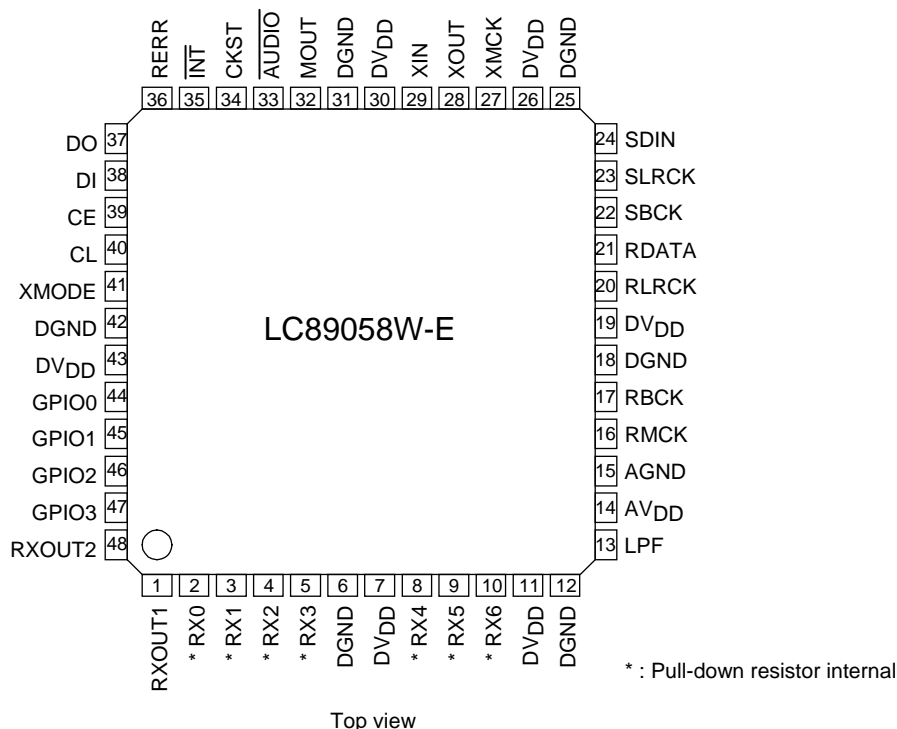
unit:mm

3163B



# LC89058W-E

## 4 ピン配置図



## 5 端子説明

表5. 1: 端子説明

No	名称	I/O	説明
1	RXOUT1	O	RX0-6 入力 S/PDIF スルー出力端子 1
2	RX0	I <sub>5</sub> (pd)	5V 耐圧 TTL 入力レベル対応 S/PDIF 入力端子 (RX1 設定時 GND へ接続)
3	RX1	I (pd)	コアキシャル対応 S/PDIF 入力端子 (96kHz まで受信可能)
4	RX2	I <sub>5</sub> (pd)	5V 耐圧 TTL 入力レベル対応 S/PDIF 入力端子 (RX1 設定時 GND へ接続)
5	RX3	I <sub>5</sub> (pd)	5V 耐圧 TTL 入力レベル対応 S/PDIF 入力端子
6	DGND		デジタル GND
7	DVDD		デジタル電源 (3.3V)
8	RX4	I <sub>5</sub> (pd)	5V 耐圧 TTL 入力レベル対応 S/PDIF 入力端子
9	RX5	I <sub>5</sub> (pd)	5V 耐圧 TTL 入力レベル対応 S/PDIF 入力端子
10	RX6	I <sub>5</sub> (pd)	5V 耐圧 TTL 入力レベル対応 S/PDIF 入力端子
11	DVDD		デジタル電源 (3.3V)
12	DGND		デジタル GND
13	LPF	O	PLL ループ・フィルタ接続端子
14	AVDD		アナログ電源 (3.3V)
15	AGND		アナログ GND
16	RMCK	O	R 系システムクロック出力端子 (VC0, 512fs, XIN)
17	RBCK	O/I	R 系ビットクロック入出力端子 (64fs)
18	DGND		デジタル GND
19	DVDD		デジタル電源 (3.3V)
20	RLRCK	O/I	R 系 LR クロック入出力端子 (fs)

次ページへ続く。

## LC89058W-E

前ページより続く。

No	名称	I/O	説明
21	RDATA	0	シリアルオーディオデータ出力端子
22	SBCK	0	S系ビットクロック出力端子(16fs, 32fs, 64fs, 128fs)
23	SLRCK	0	S系 LR クロック出力端子(fs/4, fs/2, fs, 2fs)
24	SDIN	I <sub>5</sub>	シリアルオーディオデータ入力端子
25	DGND		デジタル GND
26	DV <sub>DD</sub>		デジタル電源(3.3V)
27	XMCK	0	発振アンプクロック出力端子
28	XOUT	0	振動子接続出力端子
29	XIN	I	振動子接続、外部供給クロック入力端子(12.288MHz/24.576MHz)
30	DV <sub>DD</sub>		デジタル電源(3.3V)
31	DGND		デジタル GND
32	MOUT	I/O	エンファシス情報出力    入力 fs 値モニタ出力    チップアドレス設定入力端子
33	AUDIO	I/O	チャンネルステータスビット 1 出力    チップアドレス設定入力端子
34	CKST	I/O	クロック切換え遷移期間信号出力    マスタ/スレーブ設定入力端子
35	INT	I/O	マイコン用割り込み信号出力    Pin44-48 入出力設定入力端子
36	RERR	0	PLL ロックエラー、データエラーフラグ出力端子
37	DO	0	CCB マイコン IF・読み出しデータ出力端子(3-state)
38	DI	I <sub>5</sub>	CCB マイコン IF・書き込みデータ入力端子
39	CE	I <sub>5</sub>	CCB マイコン IF・チップイネーブ入力端子
40	CL	I <sub>5</sub>	CCB マイコン IF・クロック入力端子
41	XMODE	I <sub>5</sub>	システムリセット入力端子
42	DGND		デジタル GND
43	DV <sub>DD</sub>		デジタル電源(3.3V)
44	GPI00	O/I	汎用 I/O 入出力    セレクタ入力(出力は RDATA 端子)端子
45	GPI01	O/I	汎用 I/O 入出力    セレクタ入力(出力は RLRCK 端子)端子
46	GPI02	O/I	汎用 I/O 入出力    セレクタ入力(出力は RBCK 端子)端子
47	GPI03	O/I	汎用 I/O 入出力    セレクタ入力(出力は RMCK 端子)端子
48	RXOUT2	0	RX0-6 入力 S/PDIF スルー出力端子 2

\* 入力耐圧 : I=-0.3~3.6V, I<sub>5</sub>=-0.3~5.5V

\* 出力耐圧 : 0=-0.3~3.6V

\* Pin. 2, 4, 5, 8, 9, 10, 24, 38, 39, 40, 41 は未選択時に固定されるプルダウン抵抗(pd)内蔵。

\* Pin. 41 の L 期間に Pin. 32, 33 はチップアドレス設定の入力端子となる。

\* Pin. 41 の L 期間に Pin. 34 はマスタ or スレーブ設定の入力端子となる。

\* Pin. 41 の L 期間に Pin. 35 は Pin. 44-47 入出力設定の入力端子となる。

\* ラッチアップ対策のため DV<sub>DD</sub>, AV<sub>DD</sub> 各電源の ON/OFF は同電位、同タイミングで行うこと。

6 ブロック図

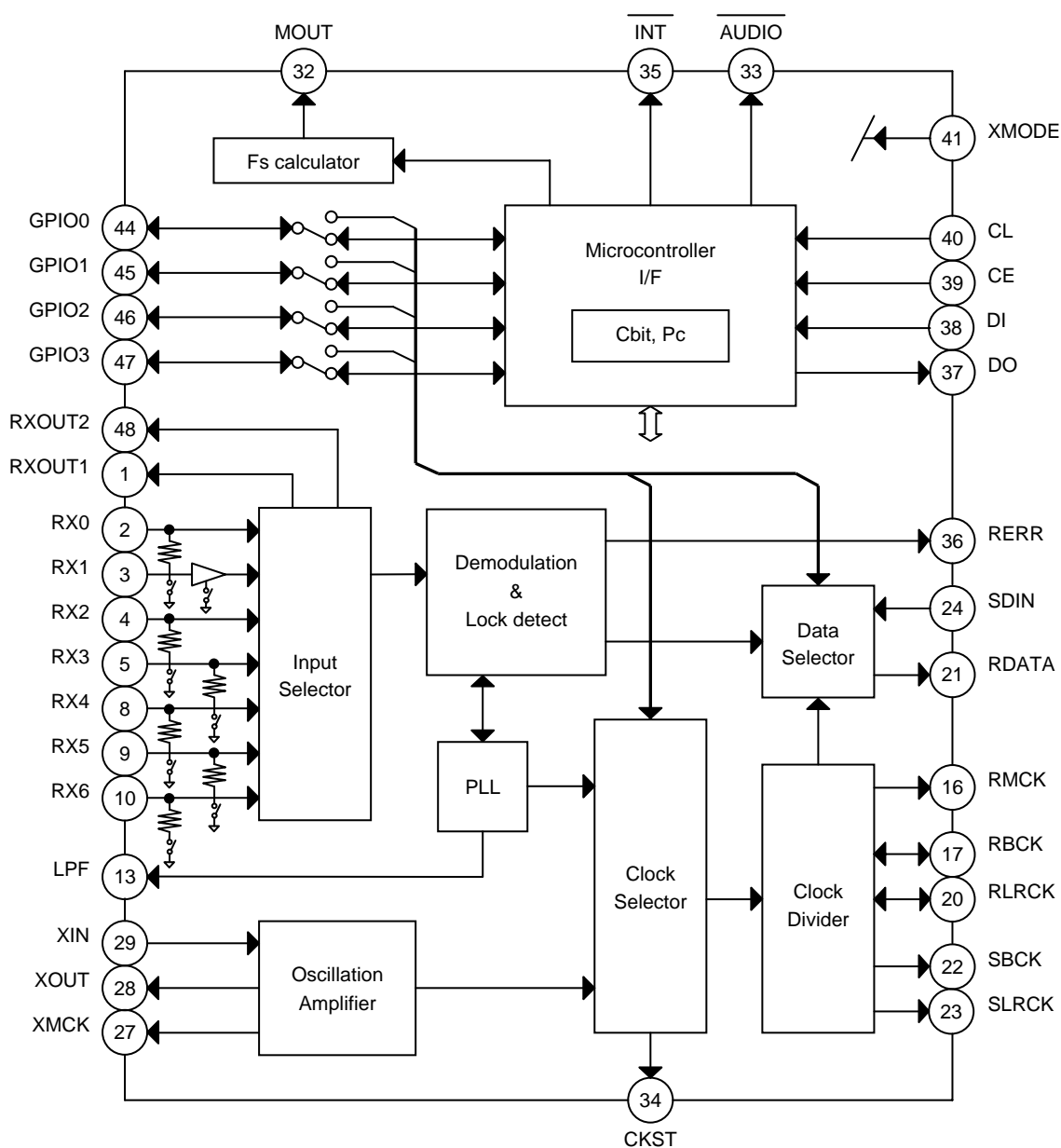


図 6.1 : LC89058W-E ブロック図

# LC89058W-E

## 7 LC89057W-VF4A-E と LC89058W-E の共通点と相違点

### 7.1 共通機能

表7.1 : LC89057W-VF4A-EとLC89058W-Eの共通機能(ハード/ソフトウェアコンパチ)

項目	LC89057W-VF4A-E	LC89058W-E
パッケージ	SQFP-48 (9x9)	←
電源電圧	単一 3.3V	←
DIR 受信範囲	32kHz~192kHz	←
発振アンプ入力周波数	12.288MHz/24.576MHz	←
2系統クロック端子出力	RMCK, RBCK, RLRCK, SBCK, SLRCK	← SBCK:16fs, SLRCK:1/4 出力を追加
S/PDIF 入力数	最大 7(同軸 1, 光 6)	←
シリアルデータ端子入力	SDIN	←
Non-PCM フラグ端子出力	AUDIO	←
エンファシス情報端子出力	EMPHA(民生、スタジオ)	← MOUT(民生のみ)
DTS-CD/LD 検出機能	14-bit format 検出に対応	←
汎用 I/O 入出力	4bits	←
チップアドレス設定	最大 4 アドレス(マスタ/スレーブ可)	←
モード設定用外付け抵抗	4 本使用	←
マイコンインタフェース	CCB(当社オリジナル IF)	← DI 入力に規定有
レジスタ設定	コマンドアドレス 4bits, データ 8bits	←

### 7.2 削除機能

表7.2 : LC89057W-VF4A-EとLC89058W-Eの相違点(削除機能)

項目	LC89057W-VF4A-E	LC89058W-E
機能	変調/復調	変調削除(復調のみ)
S/PDIF アンロック経由切換え	有	削除
外部クロック同期モード	有	削除
R系、S系クロック同期	非同期	同期 (SELMTD, RCKSEL 削除)
データ出力フォーマット	16, 20, 24bit/前詰/後詰 MSB, I <sup>2</sup> S	後詰削除(24bit 前詰 MSB, I <sup>2</sup> S のみ)
C, V, U 端子出力	有	削除
入力 fs 算出出力	16kHz~192kHz	32kHz~192kHz (32kHz より以下を削除)
マイコン割り込み信号	有(Low パルス、Low レベル出力)	パルス出力削除(レベル出力のみ)

### 7.3 追加、変更機能

表7.3 : LC89057W-VF4A-EとLC89058W-Eの相違点(追加、変更機能)

項目	LC89057W-VF4A-E	LC89058W-E	Page
発振アンプ初期設定	PLL ロック中は停止	常時動作	19
PLL 発振クロック設定	256fs/512fs	512fs	20-26
マスタクロック出力	入力 fs の固定倍出力	入力 fs 帯域毎の固定倍出力も可能	22
XIN 時クロック出力	制限無	RBCK, SBCK は RMCKx1/2 以下に設定必要	23
クロック切換え	クロック数を保持(連続性保持)	CKST のパルス出力内で切換え	25
RMCK、CKST 極性	極性変更不可	極性変更可能	23, 25
S/PDIF 受信制限	エラーフラグのみ反映	エラーフラグ、クロック出力に反映	26
S/PDIF 入力検出範囲	32kHz~96kHz (XIN=24.57M/12.28MHz)	32kHz~192kHz (XIN=24.576MHz のみ)	27
入力 fs 値モニタ出力	マイコンインタフェースのみ出力	端子出力も可能	32
汎用 I/O 入力端子	タイミング制御無	ポーリング処理可能(割込み有)	36
汎用 I/O 入出力端子	パラレル入出力機能のみ	内部セレクタの入力にも対応	37

# LC89058W-E

## 7.4 マイコンレジスタの相違点

### 7.4.1 書き込みコマンドの違い

表 7.4 : LC89057W-VF4A-E 書き込みレジスタマップ

Addr	設定項目	DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
0	全システム	TESTM	0	TXOPR	RXOPR	INTOPF	0	DOEN	SYSRST
1	復調システム	PBSEL1	PBSEL0	FSLIM1	FSLIM0	RXMON	AOSEL	VOSEL	UOSEL
2	マスタクロック	AMPOPR1	AMPOPR0	EXSYNC	PLLOPR	XMSEL1	XMSEL0	XINSEL	PLLSEL
3	R系出力クロック	XRLRCK1	XRLRCK0	XRBACK1	XRBACK0	XRSEL1	XRSEL0	PRSEL1	PRSEL0
4	S系出力クロック	XSLRCK1	XSLRCK0	XSBACK1	XSBACK0	PSLRCK1	PSLRCK0	PSBCK1	PSBCK0
5	ソース切換え	0	RDTMUT	RDTSTA	RDTSEL	0	RCKSEL	OCKSEL	SELMTD
6	データ入出力	RXOFF	ROSEL2	ROSEL1	ROSEL0	ULSEL	RISEL2	RISEL1	RISEL0
7	出力形式	SLRCKP	SBCKP	RLRCKP	RBCKP	0	OFSEL2	OFSEL1	OFSEL0
8	$\overline{\text{INT}}$ 要因選択	EMPF	SLIPO	PCRNW	UNPCM	CSRNW	FSCHG	INDET	ERROR
9	RERR 条件	ERWT1	ERWT0	FSERR	RESTA	XTWT1	XTWT0	REDER	RESEL
10	変調システム	PI3	PI2	PI1	PI0	0	VMODE	VISEL	UISEL
11	変調データ	TCKSEL	0	TXMOD1	TXMOD0	TXMUT	TDTSEL	TXLRP	TXDFS
12	テスト	0	0	0	0	0	0	0	0
13	テスト	0	0	0	0	0	0	0	0
14	テスト	0	0	0	0	0	0	0	0
15	テスト	0	0	0	0	0	0	0	0

表 7.5 : LC89058W-E 書き込みレジスタマップ

Addr	設定項目	DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
0	システム設定 1	TESTM	0	“0”	“0”	“0”	0	DOEN	SYSRST
1	システム設定 2	“0”	“0”	FSLIM1	FSLIM0	RXMON	AOSEL	“0”	MOSEL
2	マスタクロック	AMPOPR1	AMPOPR0	“0”	PLLOPR	XMSEL1	XMSEL0	XINSEL	“0”
3	R系出力クロック	XRLRCK1	XRLRCK0	XRBACK1	XRBACK0	XRSEL1	XRSEL0	PRSEL1	PRSEL0
4	S系出力クロック	XSLRCK1	XSLRCK0	XSBACK1	XSBACK0	PSLRCK1	PSLRCK0	PSBCK1	PSBCK0
5	ソース切換え	0	RDTMUT	RDTSTA	RDTSEL	0	0	OCKSEL	0
6	データ入出力 1	“0”	ROSEL2	ROSEL1	ROSEL0	“0”	RISEL2	RISEL1	RISEL0
7	出力形式	SLRCKP	SBCKP	RLRCKP	RBCKP	0	“0”	“0”	OFDSEL
8	$\overline{\text{INT}}$ 要因選択	EMPF	GPIO	PCRNW	UNPCM	CSRNW	FSCHG	INDET	ERROR
9	RERR 条件設定	ERWT1	ERWT0	FSERR	RESTA	“0”	“0”	REDER	RESEL
10	汎用 I/O 入出力	PI3	PI2	PI1	PI0	0	“0”	“0”	“0”
11	テスト	“0”	0	“0”	“0”	“0”	“0”	“0”	“0”
12	システム設定 3	0	0	CKSTP	RMCKP	0	PLLDV1	PLLDV0	PLLACC
13	データ入出力 2	0	RXSEL2	RXSEL1	RXSEL0	EDTMUT	EMCKP	EXTSEL	GPIO5
14	その他出力設定	FSSEL1	FSSEL0	0	0	PTOXW1	PTOXW0	0	0
15	テスト	0	0	0	0	0	0	0	0

- MOSEL, PRSEL [1:0], OFDSEL, GPIO および SELMTD, RCKSEL を除いて LC89057W-VF4A-E から削除されたコマンドは “0” とし誤って設定されても無効ビットとして扱われる。また、LC89058W-E で追加されたコマンドはコマンドアドレス 12, 13, 14 に割り当てられている。

## LC89058W-E

### 7.4.2 読み出しコマンドの違い

表 7.6 : LC89057W-VF4A-E と LC89058W-E のレジスタ機能変更

CCB アドレス	LC89057W-VF4A-E	LC89058W-E
0xE9	DIT 用チャンネルステータス書き込みレジスタ	削除

表 7.7: LC89057W-VF4A-E と LC89058W-E の読み出しレジスタの相違点

レジスタ	LC89057W-VF4A-E		LC89058W-E	
	0xEA	0xEB	0xEA	0xEB
D00	RXDET0	P00	RXDET0	P00
D01	RXDET1	P01	RXDET1	P01
D02	RXDET2	P02	RXDET2	P02
D03	RXDET3	P03	RXDET3	P03
D04	RXDET4	FSC0	RXDET4	FSC0
D05	RXDET5	FSC1	RXDET5	FSC1
D06	RXDET6	FSC2	RXDET6	FSC2
D07	RXDET7	FSC3	0	FSC3
D08	OERROR	FSDAT0	OERROR	—
D09	OINDET	FSDAT1	OINDET	—
D010	OFSCHG	FSDAT2	OFSCHG	—
D011	OCSRNW	FSDAT3	OCSRNW	—
D012	OUNPCM	FSDAT4	OUNPCM	—
D013	OPCRNW	FSDAT5	OPCRNW	—
D014	OSLIPO	FSDAT6	OGPIO	—
D015	OEMPF	FSDAT7	OEMPF	—
D016	CSBIT1	—	CSBIT1	—
D017	IEC1937	—	IEC1937	—
D018	DTS51	—	DTS51	—
D019	DTSES	—	DTSES	—
D020	F0512	—	0	—
D021	F1024	—	0	—
D022	F2048	—	0	—
D023	F4096	—	0	—

• LC89057W-VF4A-E と LC89058W-E の CCB アドレス 0xEC, 0xED は変わらない。



# LC89058W-E

## 7.5 差し替え時の注意事項

- LC89058W-E と LC89057W-VF4A-E を差し替える場合、使い方によってはプリント基板(P基板)のパターンをあらかじめ工夫する必要がある。特に、 $\overline{\text{INT}}$  端子の設定によって入出力機能設定が変わる Pin. 44~48 は注意が必要である。以下に注意事項を説明する。尚、 $\overline{\text{INT}}$  端子の詳細はシステム初期設定および復調機能の説明を参照のこと。
- LC89057W-VF4A-E との差し替えに関しては LC89057W-VF4A-E の仕様書も合わせて参照すること。

表 7.8 : LC89057W-VF4A-E と LC89058W-E の相違点 (Pin. 44~48)

$\overline{\text{INT}}$ 端子	LC89057W-VF4A-E					LC89058W-E				
プルダウン	変調機能					汎用 I/O 機能				S/PDIF
	Pin. 44	Pin. 45	Pin. 46	Pin. 47	Pin. 48	Pin. 44	Pin. 45	Pin. 46	Pin. 47	Pin. 48
	TMCK	TBCK	TLRCK	TDATA	TXO	GPI00	GPI01	GPI02	GPI03	RXOUT2
	入力	入力	入力	入力	出力	入力	入力	入力	入力	出力
プルアップ	汎用 I/O 機能					汎用 I/O 機能				S/PDIF
	Pin. 44	Pin. 45	Pin. 46	Pin. 47	Pin. 48	Pin. 44	Pin. 45	Pin. 46	Pin. 47	Pin. 48
	PI00	PI01	PI02	PI03	PI0EN	GPI00	GPI01	GPI02	GPI03	RXOUT2
	入出力	入出力	入出力	入出力	入力	出力	出力	出力	出力	出力

### 7.5.1 LC89057W-VF4A-E 装着 P 基板のデバイスを「LC89058W-E」へ差換える場合

#### 7.5.1.1 $\overline{\text{INT}}$ 端子がプルダウン設定の場合

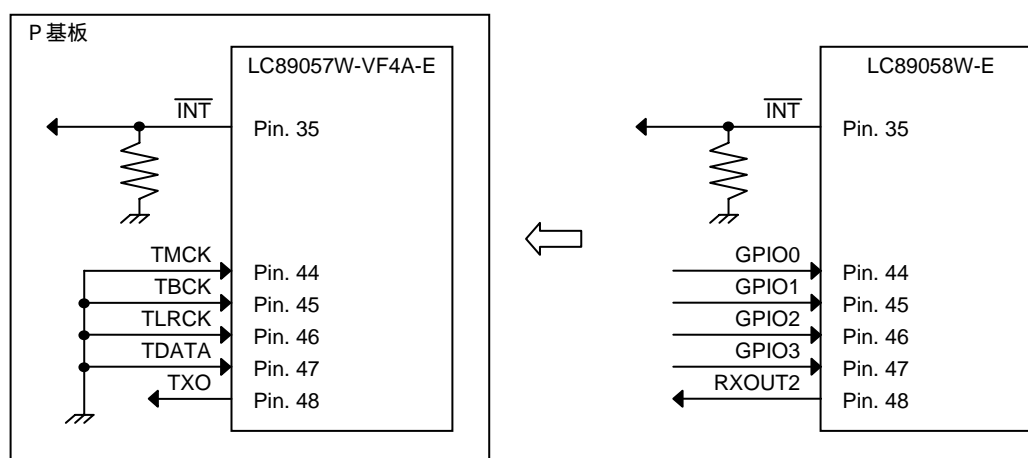


図 7.1 : LC89057W-VF4A-E から LC89058W-E への差換え ( $\overline{\text{INT}}$  端子プルダウン設定時)

- 変調機能または汎用 I/O 機能を使用していないシステムについて LC89058W-E への差換えが可能である。
- 差換え後 LC89058W-E は Pin. 44~47 を GND へ接続、Pin. 48 をオープン状態で使用する。

# LC89058W-E

## 7.5.2 $\overline{\text{INT}}$ 端子がプルアップ設定の場合

### 7.5.1.2.1 Pin.48 が GND 接続の場合

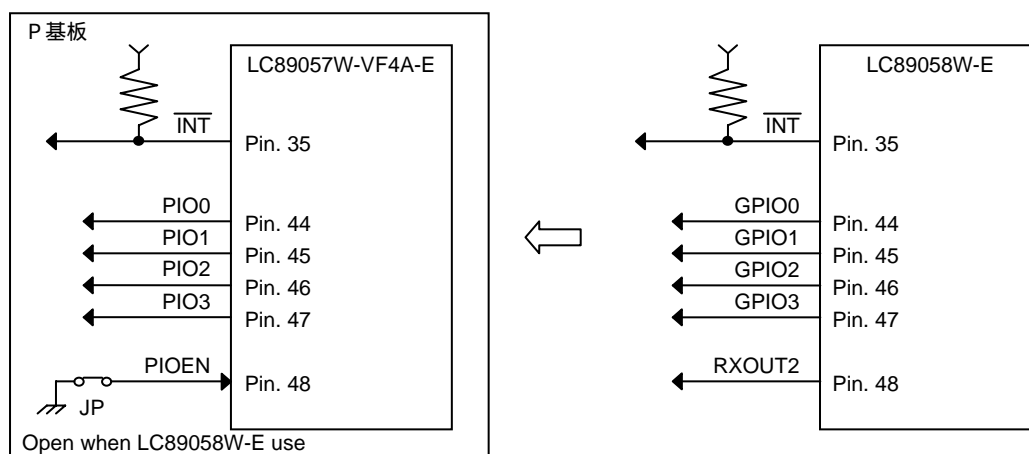


図 7.2 : LC89057W-VF4A-E から LC89058W-E への差換え ( $\overline{\text{INT}}$  端子プルアップ設定時) 1

- Pin. 44~47 は差換え後も汎用 I/O 出力機能として使用可能である。(Pin. 48 はオープン)
- Pin. 48 は入出力が双方で異なるため P 基板パターンを工夫する必要がある。

### 7.5.1.2.2 Pin.48 が VDD 接続の場合

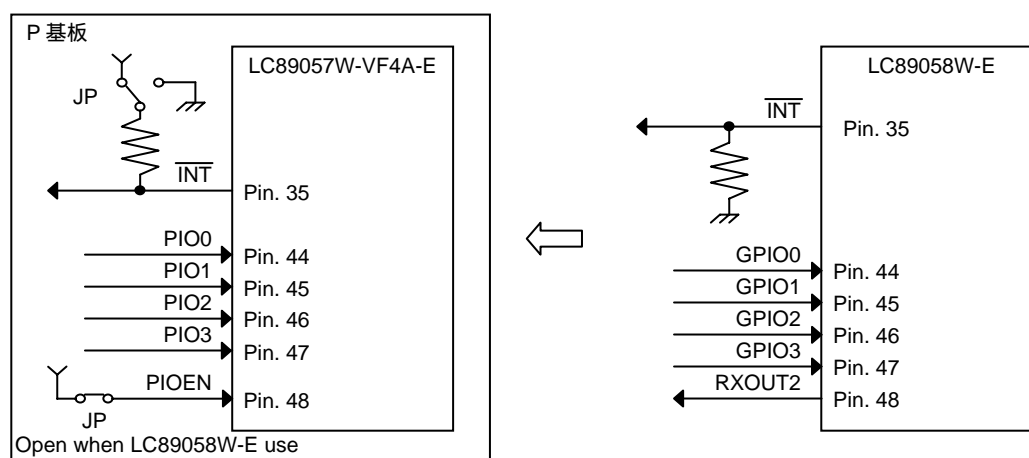


図 7.3 : LC89057W-VF4A-E から LC89058W-E への差換え ( $\overline{\text{INT}}$  端子プルアップ設定時) 2

- Pin. 44~47 を汎用 I/O 入力機能として使用するため Pin. 35 のプルアップ抵抗をプルダウン抵抗へ変更出来るようあらかじめ P 基板のパターンを工夫する必要がある。
- Pin. 48 についても入出力が双方で異なるため P 基板パターンをあらかじめ工夫する。

## LC89058W-E

### 7.5.2 LC89058W-E 装着 P 基板のデバイスを「LC89057W-VF4A-E」へ差換える場合

#### 7.5.2.1 INT 端子がプルダウン設定の場合

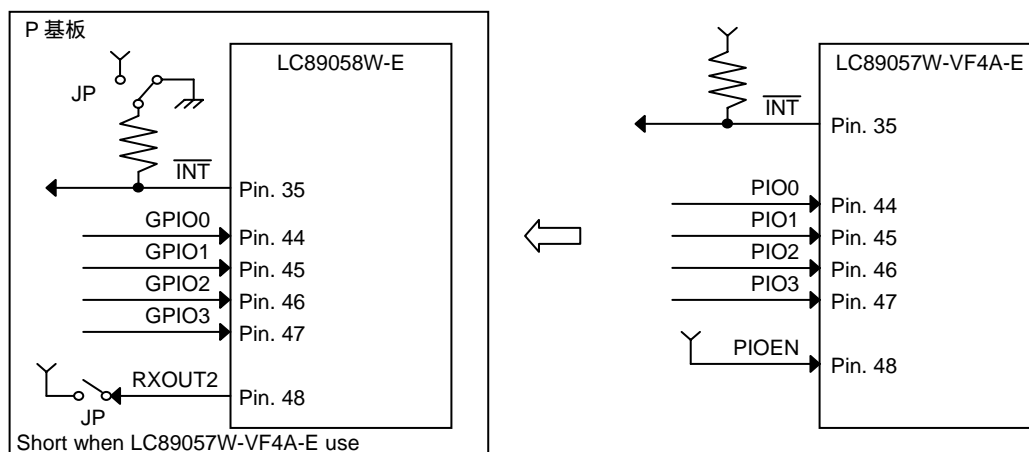


図 7.4 : LC89058W-E から LC89057W-VF4A-E への差換え ( $\overline{\text{INT}}$  端子プルダウン設定時)

- Pin. 44~47 を汎用 I/O 入力機能として使用するため Pin. 35 のプルダウン抵抗をプルアップ抵抗へ変更出来るようあらかじめ P 基板のパターンを工夫する必要がある。
- Pin. 48 についても入出力が双方で異なるため P 基板パターンをあらかじめ工夫する。
- LC89058W-E の RXOUT2 出力は LC89057W-VF4A-E への差換えで使用出来なくなる。

#### 7.5.2.2 $\overline{\text{INT}}$ 端子がプルアップ設定の場合

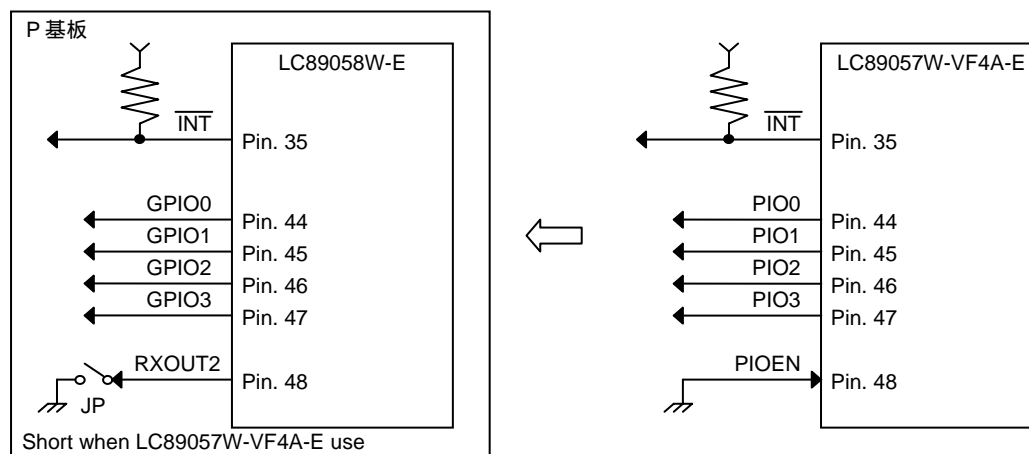


図 7.5 : LC89058W-E から LC89057W-VF4A-E への差換え ( $\overline{\text{INT}}$  端子プルアップ設定時)

- Pin. 44~47 は汎用 I/O 出力機能として差換え後も使用することが可能である。ただし Pin. 48 を GND に設定しなければならないためあらかじめ P 基板のパターンを工夫する必要がある。
- LC89058W-E の RXOUT2 出力は LC89057W-VF4A-E への差換えで使用出来なくなる。

# LC89058W-E

## 8 電気的特性

### 8.1 絶対最大定格

表8.1: 絶対最大定格/DGND=AGND=0V

項目	記号	条件	定格値	unit
最大電源電圧	AV <sub>DD</sub> max	8-1-1	-0.3~4.6	V
最大電源電圧	DV <sub>DD</sub> max	8-1-2	-0.3~4.6	V
入力電圧1	V <sub>IN1</sub>	8-1-3	-0.3~V <sub>DD</sub> +0.3 (max. 3.9V)	V
入力電圧2	V <sub>IN2</sub>	8-1-4	-0.3~5.8	V
出力電圧	V <sub>OUT</sub>	8-1-5	-0.3~V <sub>DD</sub> +0.3 (max. 3.9V)	V
保存周囲温度	T <sub>stg</sub>		-55~125	°C
動作周囲温度	T <sub>opr</sub>		-30~70	°C
最大入出力電流	I <sub>IN</sub> , I <sub>OUT</sub>	8-1-6	±20	mA

8-1-1 : AV<sub>DD</sub> 端子

8-1-2 : DV<sub>DD</sub> 端子

8-1-3 : RX1, RBCK, RLRCK, XIN, GPIO0, GPIO1, GPIO2, GPIO3 端子

8-1-4 : RX0, RX2, RX3, RX4, RX5, RX6, SDIN, DI, CE, CL, XMODE 端子

8-1-5 : RXOUT1, RMCK, RBCK, RLRCK, RDATA, SBCK, SLRCK, XMCK, XOUT, MOUT, AUDIO 端子

CKST, INT, RERR, DO, GPIO0, GPIO1, GPIO2, GPIO3, RXOUT2 端子

8-1-6 : 入出力端子 1 端子当り

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能的動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

### 8.2 許容動作範囲

表8.2: 推奨動作範囲/DGND=AGND=0V

項目	記号	条件	min	typ	max	unit
電源電圧	AV <sub>DD</sub> , DV <sub>DD</sub>		3.0	3.3	3.6	V
入力電圧範囲1	V <sub>IN1</sub>	8-2-1	0	3.3	AV <sub>DD</sub> , DV <sub>DD</sub>	V
入力電圧範囲2	V <sub>IN2</sub>	8-2-2	0	3.3	5.5	V
動作温度	V <sub>opr</sub>		-30		70	°C

8-2-1 : RX1, RBCK, RLRCK, XIN, GPIO0, GPIO1, GPIO2, GPIO3 端子

8-2-2 : RX0, RX2, RX3, RX4, RX5, RX6, SDIN, DI, CE, CL, XMODE 端子

# LC89058W-E

## 8.3 DC特性

表8.3:DC特性/ $T_a = -30 \sim 70^\circ\text{C}$ ,  $A_{V_{DD}} = DV_{DD} = 3.0 \sim 3.6\text{V}$ ,  $AGND = DGND = 0\text{V}$

項目	記号	条件	min	typ	max	unit
入力高電圧	$V_{IH}$	8-3-1	$0.7V_{DD}$			V
入力低電圧	$V_{IL}$				$0.2V_{DD}$	V
入力高電圧	$V_{IH}$	8-3-2	2.0		5.8	V
入力低電圧	$V_{IL}$		-0.3		0.8	V
出力高電圧	$V_{OH}$	8-3-3	$V_{DD} - 0.8$			V
出力低電圧	$V_{OL}$				0.4	V
出力高電圧	$V_{OH}$	8-3-4	$V_{DD} - 0.8$			V
出力低電圧	$V_{OL}$				0.4	V
出力高電圧	$V_{OH}$	8-3-5	$V_{DD} - 0.8$			V
出力低電圧	$V_{OL}$				0.4	V
出力高電圧	$V_{OH}$	8-3-6	$V_{DD} - 0.8$			V
出力低電圧	$V_{OL}$				0.4	V
入力振幅	$V_{PP}$	8-3-7	200			mV
消費電流	$I_{DD}$	8-3-8			40	mA
プルダウン抵抗	$R_{DN}$	8-3-9	25	50	100	k $\Omega$

8-3-1 : CMOS 対応: XIN およびスレーブ設定時の RBCK, RLRCK 入力端子

8-3-2 : TTL 対応: 上記以外の入力端子

8-3-3 :  $I_{OH} = -12\text{mA}$ ,  $I_{OL} = 8\text{mA}$ : RMCK 出力端子

8-3-4 :  $I_{OH} = -8\text{mA}$ ,  $I_{OL} = 8\text{mA}$ : XOUT, XMCK 出力端子

8-3-5 :  $I_{OH} = -4\text{mA}$ ,  $I_{OL} = 4\text{mA}$ : RXOUT1, RBCK, RLRCK, RDATA, SBCK, SLRCK, RERR, MOUT 端子  
GPIO0, GPIO1, GPIO2, GPIO3, RXOUT2 出力端子

8-3-6 :  $I_{OH} = -2\text{mA}$ ,  $I_{OL} = 2\text{mA}$ : 上記以外の出力端子

8-3-7 : RX1 入力端子の容量前

8-3-8 :  $T_a = 25^\circ\text{C}$ ,  $f_s = 96\text{kHz}$

8-3-9 : RX0, RX2, RX3, RX4, RX5, RX6 入力端子

# LC89058W-E

## 8.4 AC特性

表8.4: AC特性/ $T_a = -30 \sim 70^\circ\text{C}$ ,  $V_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$ ,  $AGND = DGND = 0\text{V}$

項目	記号	条件	min	typ	max	unit
RX0, RX2~6, $f_s$ 周波数	$f_{RFS1}$		28		195	kHz
RX1, $f_s$ 周波数	$f_{RFS2}$		28		108	kHz
RX0, RX2~6, パルス幅	$t_{WDI1}$		20			ns
RX1, パルス幅	$t_{WDI2}$		40			ns
RX0~6, デューティ比	$t_{DUY}$		40		60	%
XIN クロック周波数	$f_{XF}$	8-4-1	12		25	MHz
RMCK クロック周波数	$f_{MCK}$		4		50	MHz
RMCK クロックジッタ	$t_j$			200		ps
RMCK-RBCK 遅延	$t_{MBO}$				10	ns
RBCK-RDATA 遅延	$t_{BDO}$				10	ns
RMCK-SBCK 遅延	$t_{MBO}$	8-4-2			10	ns
SBCK-RDATA 遅延	$t_{BDO}$	8-4-3			10	ns

8-4-1 : XINSEL の設定に準じた周波数を XIN へ入力すること。

8-4-2 : RMCK, SBCK のソースクロックが同一の場合。

8-4-3 : SBCKがPLLソースクロックの場合。

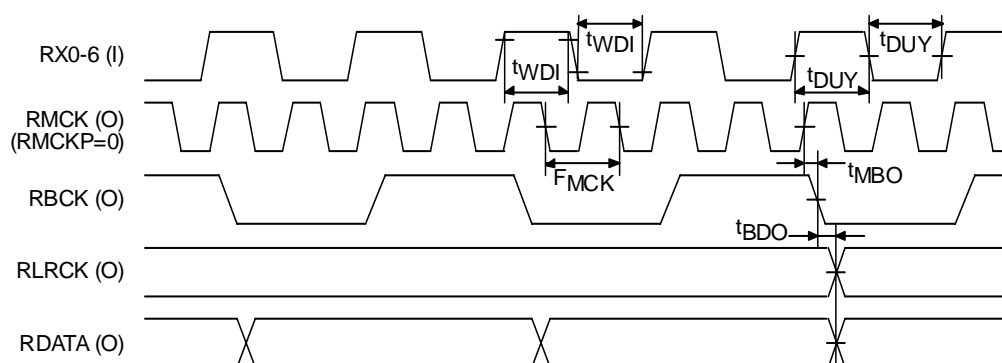


図 8.1: 復調機能 AC 特性

# LC89058W-E

## 8.5 CCB マイコンインタフェース AC 特性

表8.5: CCBマイコンインタフェースAC特性/ $T_a = -30 \sim 70^\circ\text{C}$ ,  $AV_{DD} = DV_{DD} = 3.0 \sim 3.6\text{V}$ ,  $AGND = DGND = 0\text{V}$

項目	記号	条件	min	typ	max	unit
XMODE パルス幅 (L)	$t_{RSTdw}$		200			$\mu\text{s}$
CL パルス幅 (L)	$t_{CLdw}$		100			ns
CL パルス幅 (H)	$t_{CLuw}$		100			ns
CL-CE セットアップ	$t_{CEsetup}$		50			ns
CL-CE ホールド	$t_{CEhold}$	8-5-1	50			ns
CL-CE ホールド	$t_{CEhold}$	8-5-2	0			ns
CL-DI セットアップ	$t_{DIsetup}$		50			ns
CL-DI ホールド	$t_{DIhold}$		50			ns
CL-CE ホールド	$t_{CLhold}$		50			ns
CL-DO 遅延	$t_{CLtoDO}$				20	ns
CE-DO 遅延	$t_{CEtoDO}$				20	ns
DI パルス幅	$t_{DI dw}$	8-5-3	200			ns

8-5-1: ノーマル H の CL クロックを使用してデータ読み出しを行う場合は CE を立ち上げる前に CL を必ず立ち下げること。

8-5-2: ノーマル H の CL クロックを使用してデータ書き込みを行う場合のみ適応する。

8-5-3: ノーマル H の DI データ入力を使用される場合は電源投入直後のリセット期間中 (XMODE=L) に入力する DI には必ず L 期間を設けること。

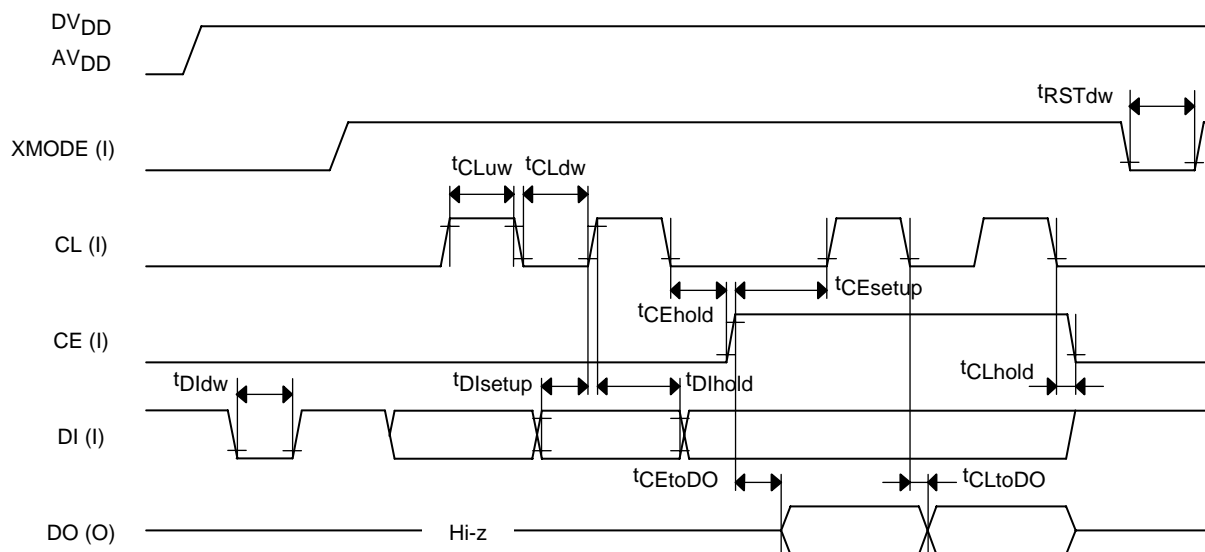


図 8.2 : CCB マイコンインタフェース AC 特性

## 9 システム初期設定

### 9.1 システムリセット(XMODE)

- 電源電圧が3.0V以上立ち上がってからXMODEをHにするとシステムは正常に動作する。パワーオン後、再びXMODEをLにするとシステムはリセットされる。
- チップアドレス、マスタまたはスレーブ、Pin. 44~47入出力設定はMOUT,  $\overline{\text{AUDIO}}$ , CKST,  $\overline{\text{INT}}$  に10k $\Omega$ のプルダウンまたはプルアップ抵抗を接続する。
- MOUT,  $\overline{\text{AUDIO}}$ , CKST,  $\overline{\text{INT}}$  がプルダウンまたはプルアップされないと設定入力時に端子の状態が不定となり設定が正しく行われない。これらの端子は必ずプルダウンまたはプルアップの抵抗接続が必要である。

表9.1 : 端子名と設定内容

内容	設定端子
チップアドレス設定	MOUT
	$\overline{\text{AUDIO}}$
マスタ/スレーブ設定	CKST
Pin. 44~47入出力設定	$\overline{\text{INT}}$

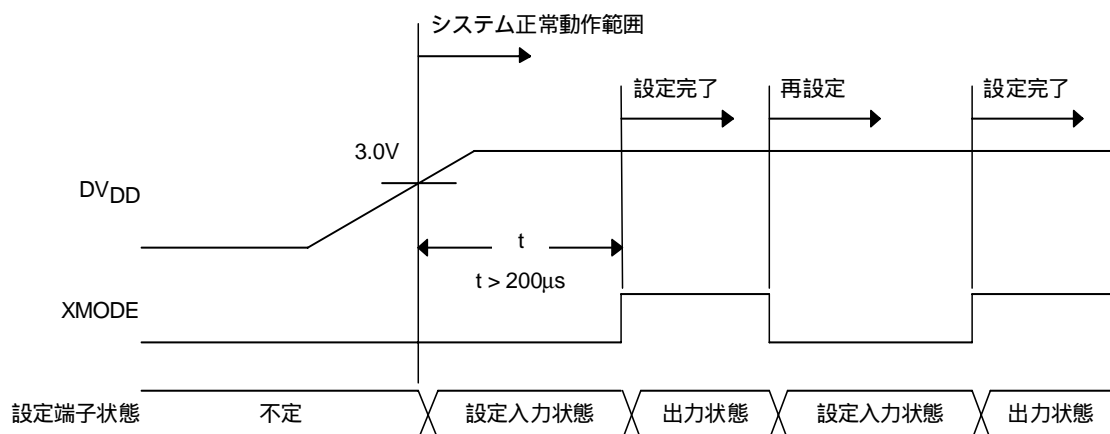


図 9.1 : 機能設定入力端子の設定タイミング図

表 9.2 : XMODE リセット (XMODE=L) 時の各出力端子状態

No.	端子名	端子状態	No.	端子名	端子状態
1	RXOUT1	RXO 出力	32	MOUT	入力状態
16	RMCK	XIN 出力	33	$\overline{\text{AUDIO}}$	入力状態
17	RBCK	L 出力	34	CKST	入力状態
20	RLRCK	H 出力	35	$\overline{\text{INT}}$	入力状態
21	RDATA	L 出力	36	RERR	H 出力
22	SBCK	L 出力	37	DO	Hi-z 出力
23	SLRCK	H 出力	48	RXOUT2	L 出力
27	XMCK	XIN 出力			



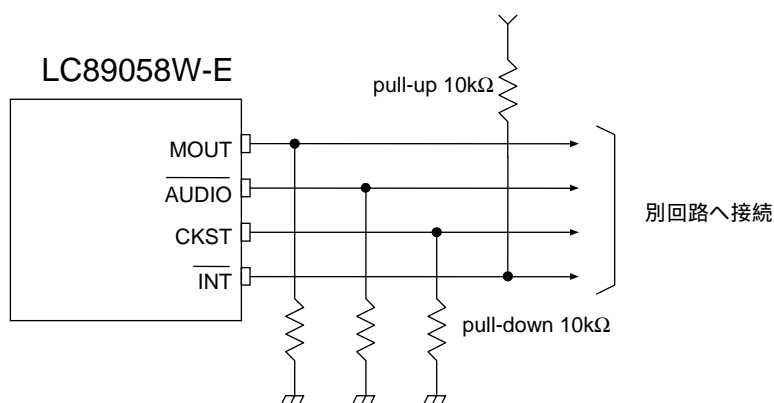
# LC89058W-E

## 9.2 チップアドレスの設定(MOUT, $\overline{\text{AUDIO}}$ )

- LC89058W-Eは同一のマイコンインタフェースバス上で複数個使用することを考慮してそれぞれに固有のチップアドレスを設定する機能を有している。
- チップアドレスの設定はMOUT,  $\overline{\text{AUDIO}}$  に10k $\Omega$ のプルダウンまたはプルアップ抵抗を接続する。これにより最大4種のチップアドレスを設定することが出来る。
- マイコンインタフェースにおけるチップアドレスはLSB側の先頭2桁に設けたCAL, CAUで設定する。CALが下位、CAUが上位のチップアドレスになる。
- MOUT,  $\overline{\text{AUDIO}}$  によるチップアドレス設定とマイコンから送られてくるチップアドレスを同一にすることでコマンドの書き込みが可能となる。
- LC89058W-Eをシステムで1個のみ使用する場合にもチップアドレスを設定する必要がある。チップアドレス設定が成されないとチップアドレスが不定となりマイコンからの制御が出来なくなる。またマイコン未使用時においてはXMODEがL期間にチップアドレス設定端子が入力オープン状態となる。MOUT,  $\overline{\text{AUDIO}}$  には必ずプルダウンまたはプルアップ抵抗を接続する必要がある。

表9.3 : チップアドレスの設定(抵抗接続)

AUDIO 抵抗接続	MOUT抵抗接続	CAU	CAL
プルダウン	プルダウン	0	0
プルダウン	プルアップ	0	1
プルアップ	プルダウン	1	0
プルアップ	プルアップ	1	1



上図の設定内容

チップアドレス設定	→	CAL=CAU=0
マスタ or スレーブ設定	→	マスタ
Pin. 44~47 入力 or 出力設定	→	Pin. 44~47 出力端子

図 9.2 : 機能設定入力端子の設定例

## 9.3 マスタ/スレーブの設定(CKST)

- LC89058W-Eを複数個使用して多チャンネル同期伝送を可能にするマスタ/スレーブ機能を搭載している。この設定はCKSTに10kΩのプルダウンまたはプルアップ抵抗を接続する。
- 通常1個使いの場合はマスタモードに設定する。複数個使いの場合は1個をマスタモードに設定して残りをスレーブモードに設定する。
- 複数個を使用して多チャンネル同期伝送を行う場合はスレーブ側のRBCK, RLRCK(入力)にはマスタ側のRBCK, RLRCK(出力)を接続する。またスレーブ側のXINにはマスタ側のXMCKを接続する。尚、この時のRBCK, RLRCKの極性およびXIN, XMCKの周波数は同一に設定すること。
- マスタ/スレーブはLC89058Wの複数個接続に対して正常に動作する。
- CKSTには必ずプルダウンまたはプルアップ抵抗を接続する必要がある。
- スレーブ設定時RBCK, RLRCKには必ずクロックを供給すること。

表9.4 : マスタ/スレーブ切換え(抵抗接続)

CKST抵抗接続	モード
プルダウン	マスタモード
プルアップ	スレーブモード

表9.4 : クロック端子状態

端子	マスタモード	スレーブモード
RMCK	出力	出力
RBCK	出力	入力
RLRCK	出力	入力

## 9.4 Pin.44~47入出力設定( $\overline{\text{INT}}$ )

- Pin.44~47は双方向バッファ機能を持つ。
- 入出力機能の設定は $\overline{\text{INT}}$ に10kΩのプルダウンまたはプルアップ抵抗を接続する。
- $\overline{\text{INT}}$ には必ずプルダウンまたはプルアップ抵抗を接続する必要がある。

表9.6 : Pin.44~47入出力設定(抵抗接続)

$\overline{\text{INT}}$ 抵抗接続	モード
プルダウン	Pin.44~47は入力設定
プルアップ	Pin.44~47は出力設定

## 10 復調機能の説明

### 10.1 クロック

#### 10.1.1 PLL(LPF)

- PLLOPR で停止可能な VCO (Voltage Controlled Oscillator) を内蔵しサンプリング周波数(以下 fs) 32kHz~192kHz、伝送レート 4MHz~25MHz のデータに同期する。また PLL は 512fs でロックする。
- LPF は PLL のループ・フィルタ用端子で以下の抵抗、容量を接続する。

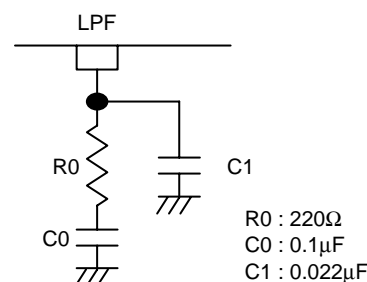


図 10.1 : ループ・フィルタの構成

#### 10.1.2 発振アンプ(XIN, XOUT, XMCK)

- LC89058W-E は発振アンプを内蔵している。水晶振動子、帰還抵抗、負荷容量を XIN, XOUT に接続すれば発振回路を構成できる。尚、水晶振動子接続の際は基本波のものを使用すること。また負荷容量は水晶振動子の特性に依存するので十分検討する必要がある。
- クロック源に発振モジュール等を使用して内蔵の発振アンプを使用しない場合は XIN に外部クロック供給源の出力を接続する。この時 XIN と XOUT 間に帰還用抵抗を接続する必要はない。
- XIN へは XINSEL で設定した 12.288MHz または 24.576MHz のクロックを供給する。これ以外の周波数を XIN へ入力する場合は FSERR で入力データの fs が変化してもその結果がエラーフラグに反映されないよう設定する必要がある。この設定を施すことで動作は可能となる。但し、推奨周波数ではないため入力 fs 算出は出来ない。
- XINSEL の設定は S/PDIF 入力前に完了させること。
- XIN へのクロック供給は以下の用途に使用するため常時行うこと。
  - 1) S/PDIF 入力有無の検出
  - 2) PLL アンロック時のクロック源
  - 3) 入力データのサンプリング周波数算出
  - 4) 入力データ切換え時の時間定義
  - 5) XIN ソース時の外部供給クロック源 (AD コンバータ用クロック等)
  - 6) 汎用 I/O 入力機能設定時のポーリング処理
- 発振アンプは通常 PLL がロック中も動作する。PLL ロック中も入力データ検出や入力サンプリング周波数の算出が可能になる。但し、発振アンプクロックと PLL クロックが共存するため音質への影響を確認すること。
- 音質への悪影響が確認されたときは AMPOPR[1:0] で PLL ロック中に発振アンプを自動停止する動作に設定することも可能である。但し、AMPOPR[1:0] の設定は S/PDIF 入力前に行うか、もしくは PLL アンロック中に完了すること。
- 発振アンプは不必要な場合停止させることも出来る。但し、停止から動作モードに復帰するときは振動子の発振が安定するまで 10ms 以上状態を維持してから通常動作へ復帰すること。
- XMCK は XIN クロックを出力する。XMCK の出力設定は XMSEL[1:0] で行う。XIN クロックの 1/1、1/2、1/4、ミュート出力設定が可能である。
- 発振アンプのみを利用する場合は XIN, XOUT に水晶振動子もしくは XIN に外部クロックを入力して RX0~6 のデジタルデータ入力端子を電位固定または RISEL[2:0] で入力をどれも選択しない設定にして使用する。

## 10.1.3 マスタクロックとクロックソースの切換え

- RMCK, RBCK, RLRCK (以下 R 系統)、SBCK, SLRCK (以下 S 系統) のクロックソースは以下の 2 種類のマスタクロックから選択できる。

- 1) PLL ソース (512fs)
- 2) XIN ソース (12.288MHz/24.576MHz)

- クロックソースの切換えは R 系統、S 系統とも連動して設定する。この設定は OCKSEL で行う。
- PLL のロック/アンロックによってクロックソースは PLL クロック/XIN クロックに自動的に切換わる。PLL の状態に関わらず OCKSEL でクロックソースを XIN に切換え可能である。

表 10.1 : クロックソース切換えレジスタと PLL ロック/アンロック時のクロックソース関係

OCKSEL	R 系クロックソース		S 系クロックソース	
	LOCK	UNLOCK	LOCK	UNLOCK
0	PLL	XIN	PLL	XIN
1	XIN	XIN	XIN	XIN

- XIN ソース切換え後においても PLL 状態は RERR で常に監視することが出来る。また PLL の状態に関わらず処理された情報はマイコンインタフェースで読み出すことが可能である。

## 10.1.4 PLL ロック中におけるクロックソース切換え時の注意点

- PLL ロック状態において発振アンプが停止している時に OCKSEL で XIN ソースへクロック切換えを行うには同時に AMPOPR[1:0] で発振アンプを連続動作モードに設定する必要がある。この設定を実施せずに XIN クロックソースへ切換えるとクロックは出力されない。
- 発振アンプを停止状態から連続動作モードに切換えた際、RERR が一旦 H を出力(エラー)する。これは入力 fs 算出が再開され以前の fs 算出値がリセットされて新たに算出された fs 値との比較で fs が変化したとして処理されるためである。

10.1.5 マスタクロック系統図(XIN, XOUT, RMCK, XMCK)

- PLL ソース、XIN ソースの 2 種類のマスタクロックと切り換え、分周機能の関係を以下に示す。
- スイッチ、機能ブロック近傍の “ ” は書き込みコマンド名に対応する。
- Lock/UnlockはPLLのロック/アンロックにより自動的に切り換わる。

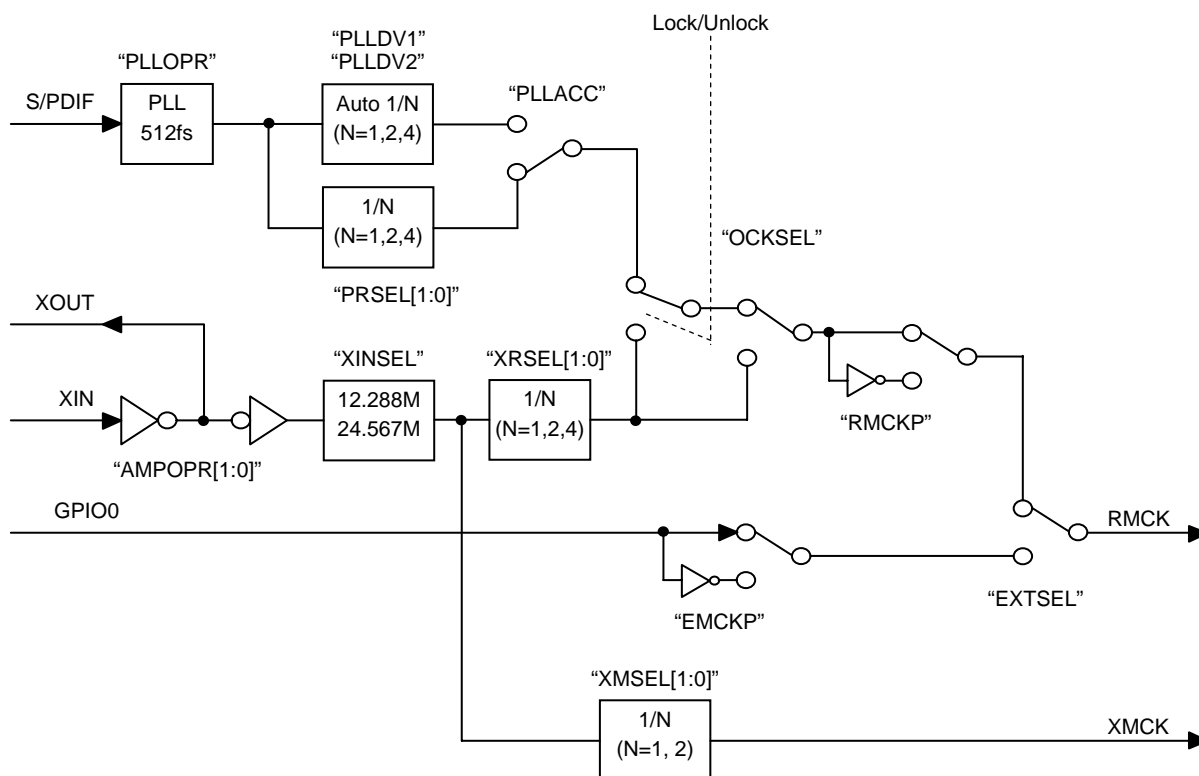


図10.2 : マスタクロック系統図

10.1.6 PLL クロック出力

- PLL クロック出力は PLLACC, PLLDV1, PLLDV2 または PRSEL[1:0] の設定で制御される。
- PLLACC で S/PDIF 入力サンプリング周波数の帯域ごとに PLL ロック周波数を出力することが出来る。

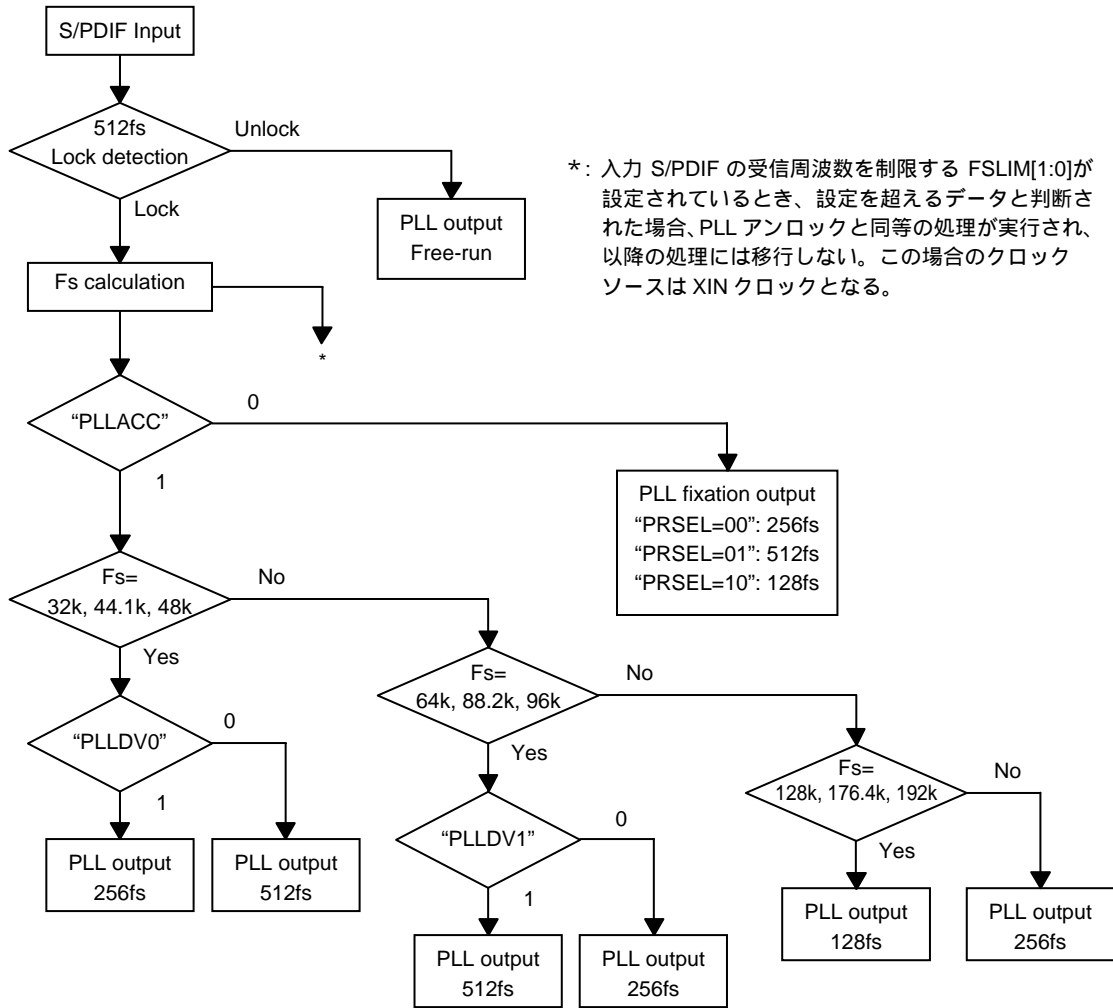


図 10.3 : PLL クロック出力制御

表 10.2 : PLL クロック出力周波数(太字は推奨設定)

S/PDIF fs	PLL 出力						
	PLLACC=0 (入力 fs の固定倍出力)			PLLACC=1 (入力 fs 帯域ごとに固定倍出力)			
	PRSEL=00 (256fs)	PRSEL=01 (512fs)	PRSEL=10 (128fs)	PLLDV1=0 PLLDV2=0	PLLDV1=1 PLLDV2=0	PLLDV1=0 PLLDV2=1	PLLDV1=1 PLLDV2=1
32kHz	8.19MHz	16.38MHz	4.09MHz	<b>16.38MHz</b>	8.19MHz	16.38MHz	8.19MHz
44.1kHz	11.28MHz	22.57MHz	5.64MHz	<b>22.57MHz</b>	11.28MHz	22.57MHz	11.28MHz
48kHz	12.28MHz	24.57MHz	6.14MHz	<b>24.57MHz</b>	12.28MHz	24.57MHz	12.28MHz
64kHz	16.38MHz	32.76MHz	8.19MHz	<b>16.38MHz</b>	16.38MHz	32.76MHz	32.76MHz
88.2kHz	22.57MHz	45.15MHz	11.28MHz	<b>22.57MHz</b>	22.57MHz	45.15MHz	45.15MHz
96kHz	24.57MHz	49.15MHz	12.28MHz	<b>24.57MHz</b>	24.57MHz	49.15MHz	49.15MHz
128kHz	32.76MHz	65.53MHz	16.38MHz	<b>16.38MHz</b>	16.38MHz	16.38MHz	16.38MHz
176.4kHz	45.15MHz	90.31MHz	22.57MHz	<b>22.57MHz</b>	22.57MHz	22.57MHz	22.57MHz
192kHz	49.15MHz	98.30MHz	24.57MHz	<b>24.57MHz</b>	24.57MHz	24.57MHz	24.57MHz

- PLLACC=0, PRSEL[1:0]=01 設定で 128kHz, 176.4kHz, 192kHz 受信時、RMCK 端子への直接出力は DC 特性を保証できない。このような場合は PLL クロックの 1/2 または 1/4 (PRSEL[1:0]=00 or 10) に設定すること。

# LC89058W-E

## 10.1.7 出力クロック (RMCK, RBCK, RLRCK, SBCK, SLRCK)

- LC89058W-E は AD コンバータや DSP 等周辺デバイスに各種のクロックを供給するために R 系統、S 系統の 2 系統のクロック出力を有す。
- R 系統、S 系統の各クロック出力設定は PLLACC, PLLDV1, PLLDV2, PRSEL[1:0], XRSEL[1:0], XRBCK[1:0], XRLRCK[1:0], PSBCK[1:0], PSLRCK[1:0], XSBCK[1:0], XSLRCK[1:0]で行う。
- PLL ソース時の各クロック出力端子の設定範囲を以下に示す。
  - RMCK は PLLACC, PLLDV0, PLLDV1 設定または 512fs の 1/1, 1/2, 1/4 からの選択
  - RBCK は 64fs 出力
  - RLRCK は fs 出力
  - SBCK は 128fs, 64fs, 32fs, 16fs からの選択
  - SLRCK は 2fs, fs, 1/2fs, 1/4fs からの選択
- XIN ソース時の各クロック出力端子の設定範囲を以下に示す。
  - RMCK は 12.288MHz または 24.576MHz の 1/1, 1/2, 1/4 からの選択
  - RBCK は 12.288MHz, 6.144MHz, 3.072MHz からの選択
  - RLRCK は 192kHz, 96kHz, 48kHz からの選択
  - SBCK は 12.288MHz, 6.144MHz, 3.072MHz からの選択
  - SLRCK は 192kHz, 96kHz, 48kHz からの選択
- RMCK は RMCKP で極性を反転することが出来る。
- RBCK, RLRCK, SBCK, SLRCK は RBCKP, RLRCKP, SBCKP, SLRCKP で極性を反転することが出来る。

表 10.3 : 出力クロック周波数一覧表 (太字アンダーラインは初期設定値)

出力端子	PLL ソース (内蔵 VCO Clock)	XIN ソース (XIN 入力 Clock)	
	512fs	12.288MHz	24.576MHz
RMCK	512fs	<b><u>12.288MHz</u></b>	24.576MHz
	<b><u>256fs</u></b>	6.144MHz	12.288MHz
	128fs		6.144MHz
RBCK		12.288MHz	(RMCK=24.576MHz)
	<b><u>64fs</u></b>	6.144MHz	(RMCK ≥ 12.288MHz)
		<b><u>3.072MHz</u></b>	(RMCK ≥ 6.144MHz)
RLRCK		192kHz	
	<b><u>fs</u></b>	96kHz	
		<b><u>48kHz</u></b>	
SBCK	128fs	12.288MHz	(RMCK=24.576MHz)
	<b><u>64fs</u></b>	6.144MHz	(RMCK ≥ 12.288MHz)
	32fs	<b><u>3.072MHz</u></b>	(RMCK ≥ 6.144MHz)
	16fs		
SLRCK	2fs	192kHz	
	<b><u>fs</u></b>	96kHz	
	fs/2	<b><u>48kHz</u></b>	
	fs/4		

### 注意事項 :

- RBCK, SBCK の出力クロック周波数は RMCK の出力クロック周波数より速くならないように設定すること。また、XIN ソース時の RBCK, SBCK 出力クロックは RMCK 出力クロックの 1/2 以下になるように設定すること。これら条件を満たさないと RBCK, SBCK のクロックが出力されなくなる。

# LC89058W-E

## 10.1.8 出力クロック系統図(RMCK, RBCK, RLRCK, SBCK, SLRCK, XMCK)

- 出力クロックと切換え機能の関係を以下に示す。
- 図中の PLL は PLL ソース、XIN は XIN ソースを示す。
- スイッチ近傍の “ ” は書き込みコマンド名に対応する。
- スイッチ間を接続する破線は連動した切換えを示す。
- Lock/UnlockはPLLのロック/アンロックにより自動的に切換わる。

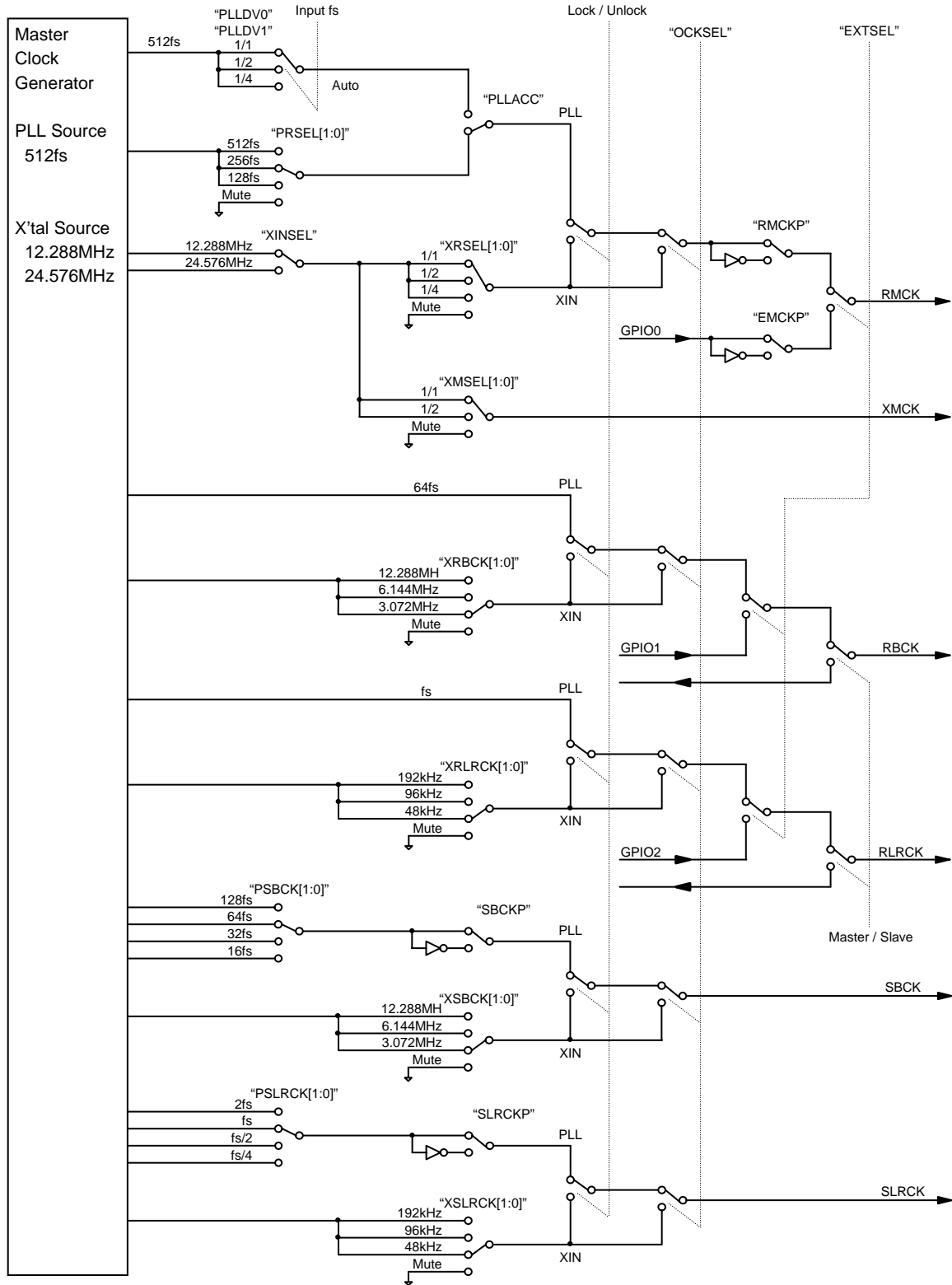
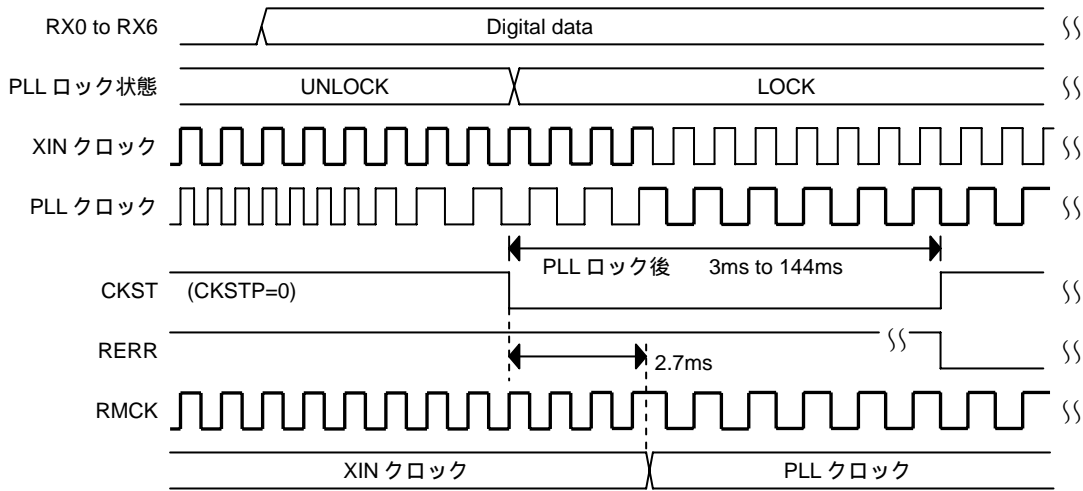


図 10.4 : クロック出力系統図

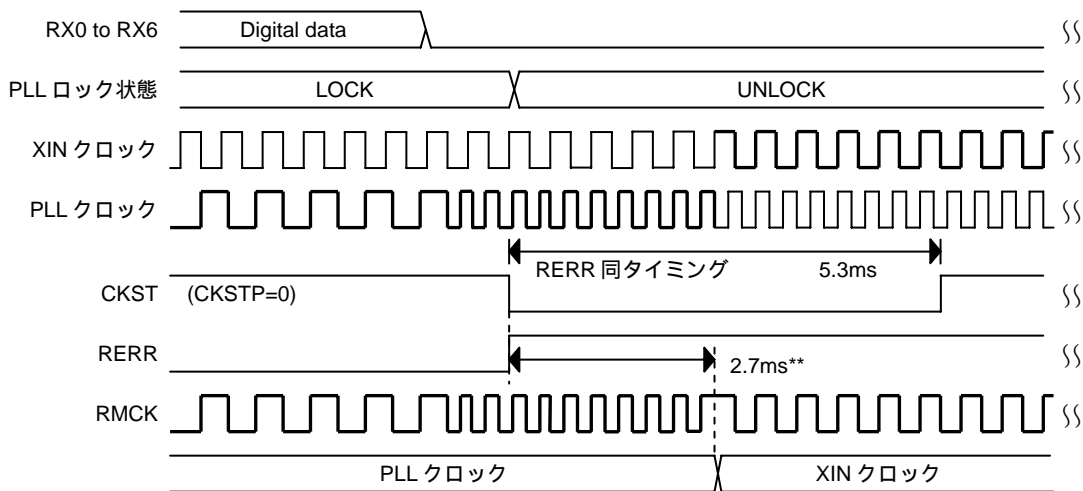


10.1.9 クロック切換え遷移信号出力(CKST)

- CKST は PLL のロック/アンロックによる出力クロックの変化時にパルスを出力する。
- CKST のパルス出力は CKSTP で極性を変えることができる。以降では CKSTP=0 とする。
- ロックイン過程で CKST は入力データ検出後 PLL がロックした後の XIN クロックから生成されたワードクロックで立ち下がり一定期間を経過した後 RERR と同タイミングで立ち上がる。
- アンロック過程で CKST は PLL ロック検出信号の RERR と同タイミングで立ち下がり XIN クロックから生成されたワードクロックを一定カウントした後に立ち上がる。
- CKST のパルスや立ち上がりおよび立ち下がりエッジを検出することにより PLL のロック状態変化やクロック変化のタイミングを捕らえることができる。
- PLL のロック判定後にクロックが切替るが、この切換えタイミングは PTOXW[1:0] で設定する。初期設定では CKST 立下り後 2.7ms 後にクロックが切替る。但し、この値は発振アンプが常時動作状態に設定されていることが条件となる。PLL ロック後に発振アンプを停止させる設定では PLL アンロック後に発振アンプが安定するまでの起動時間が加算される。
- PLL アンロック直後のクロック出力端子はフリーランクロックが出力される。



(a) : ロックイン過程時



\*\* : PTOXW[1:0]=00 設定時(最大)

(b) : アンロック過程時

図 10.5 : クロック切換えタイミング

## 10.1.10 入力 S/PDIF 受信制限時の出力クロック

- ・FSLIM[1:0]で入力 S/PDIF の受信範囲を設定可能だが、受信設定範囲を超えた S/PDIF が入力されてきた場合、PLL アンロック状態と同じ処理が実行される。超過時のクロックソースは XIN クロックに切り換え各クロック端子から出力される。

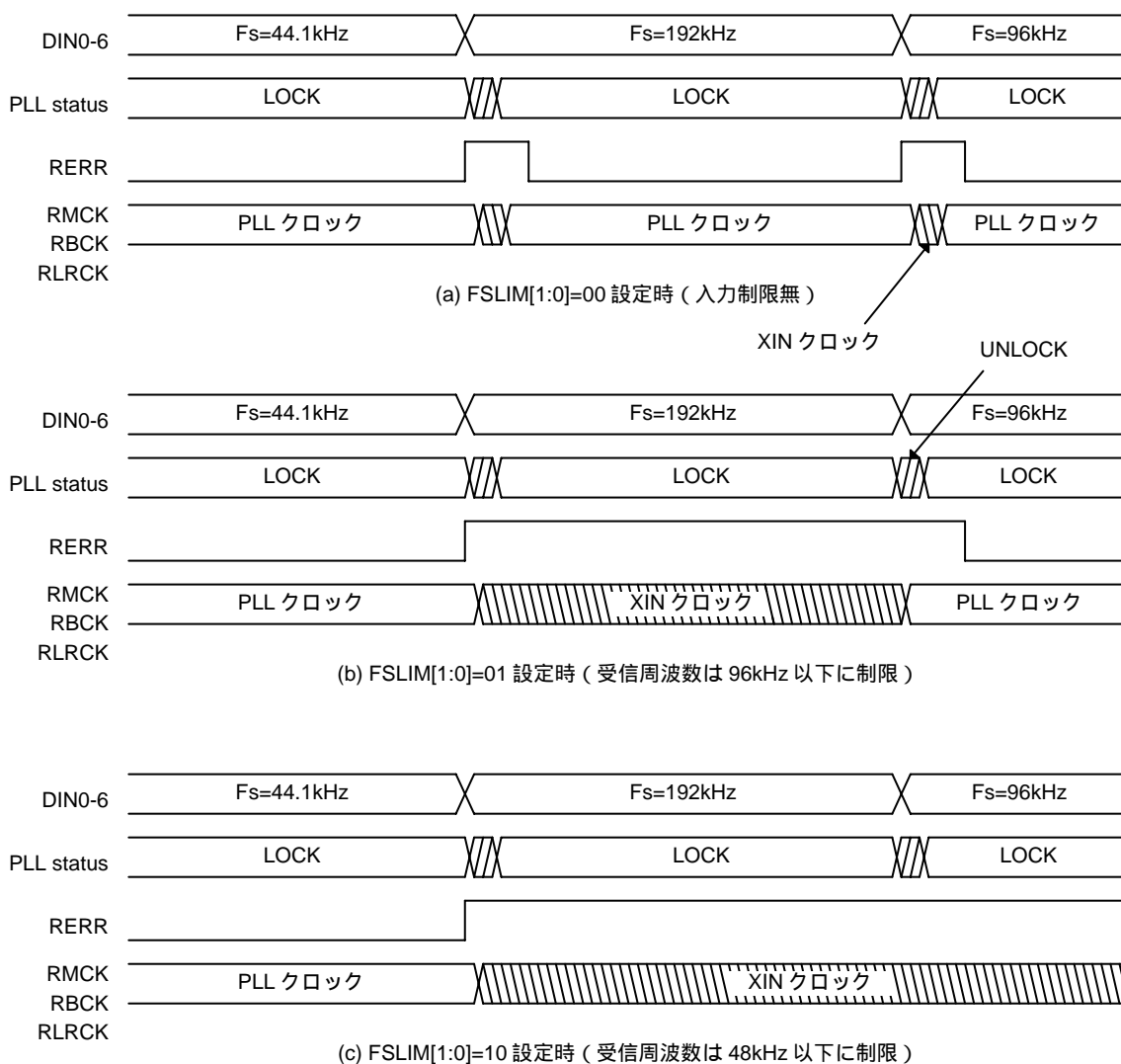


図10.6 : 入力データ受信制限時の出力クロック

## 10.2 S/PDIF 入出力

### 10.2.1 S/PDIF 入力受信範囲

- ・入力データの受信保証範囲を以下に示す。

表 10.4 : S/PDIF 受信範囲 (FSLIM[1:0]=00)

PLL 出力クロック設定	入力データ受信範囲
512fs	30kHz~192kHz

注意 : RX1 のみ S/PDIF 受信範囲は 32kHz~96kHz となる。

PLL 出力クロックは PLLACC や PLLDIV, PRSEL[1:0] で分周処理され RMCK から出力される。

- ・上記の PLL 出力クロックの設定範囲内で入力データの fs 受信範囲を制限することが出来る。この設定は FSLIM[1:0] で行う。この機能を使用した場合、設定範囲を越えた入力データはエラーと見なされクロックソースは XIN ソースに自動的に切り替わり RDATA 出力データは RDTSEL の設定に従う。

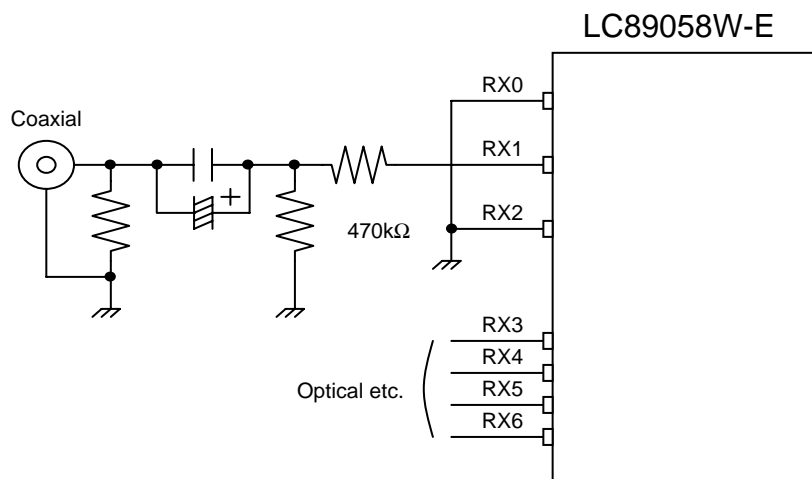
### 10.2.2 S/PDIF 入出力端子 (RX0 ~ RX6, RXOUT1, RXOUT2)

- ・デジタルデータ入力端子は最大 7 系統備えている。
  - (1) RX1 はコアキシャル入力端子で使用する時は RX0, RX2 を GND に接続する。
  - (2) RX0, RX2, RX3, RX4, RX5, RX6 は 5V 耐圧の TTL 入力レベル対応入力端子である。
  - (3) 選択された端子が入力オープンにならないようにする。RX1 の注意点は次項参照のこと。
  - (4) 未選択の端子は内蔵の抵抗でプルダウンされる。
- ・復調入力と S/PDIF スルー出力端子 RXOUT1, RXOUT2 のデータはそれぞれ独立して選択できる。
  - (1) 復調データは RISEL[2:0] で選択する。
  - (2) RXOUT1 出力データは ROSEL[2:0] で選択する。
  - (3) RXOUT2 出力データは RXSEL[2:0] で選択する。
- ・RX0~RX6 を全て選択しない設定も RISEL[2:0] で可能である。(RISEL[2:0]=111)
- ・RXOUT1, RXOUT2 はそれぞれ RXOSEL[2:0], RXSEL[2:0] でミュートすることが出来る。クロックジッタ低減のため RXOUT1, RXOUT2 未使用時はミュートすることを推奨する。
- ・RXMON の設定によりデータ入力状態を監視することが出来る。データ入力状態の結果は、CCB アドレス 0xEA、出力レジスタ D00~D07 に格納される。また、割り込み処理コマンド INDET の設定で常に最新の情報をマイコンで読み出すことが可能である。詳しくはマイコンインタフェースの章を参照のこと。
- ・この設定で監視可能な入力データは 32kHz~192kHz である。尚、データ検出機能は IEC60958 準拠の S/PDIF データを対象とする。また、RXMON 設定時に XIN へ供給するクロックは 24.576MHz のみとする。24.576MHz 以外では動作しない。更に、この機能は XIN クロックを使用しているので RXMON 設定時は発振アンプを連続動作モードにする。
- ・データ入力状態の監視が設定されているときの各入力端子は RX1 端子および復調用に選択された端子を除いてプルダウンされた状態で実施される。これは無接続入力端子を検出するときに入力がオープン状態にならないようにするためである。尚、RX1 端子の周辺回路については次ページを参照のこと。

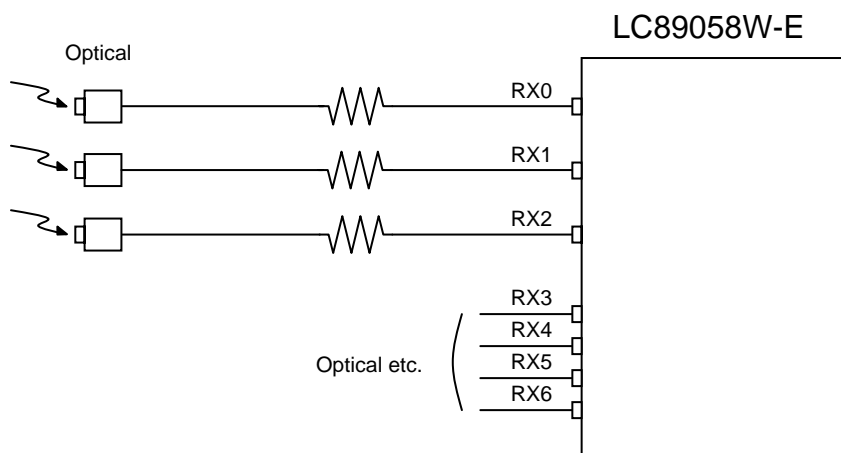
## LC89058W-E

### 10.2.3 S/PDIF 入力回路(RX0 ~ RX6)

- RX0, RX2~RX6 は 32kHz~192kHz のデータを受信することが出来る。
- RX1 は 96kHz までのデータを受信することが出来る。
- RX1 はアンプを内蔵しておりコアキシャル入力端子として使用する場合は隣接する入力端子 RX0, RX2 の影響を受けて誤動作することがあるため RX0, RX2 を L 電位に固定して RX1 への影響を回避する必要がある。更に、RX1 が選択されている状態で信号の接続がない場合はノイズ対策のためカップリングキャパシタの後にプルダウン抵抗を必ず挿入する。
- RX1 が選択されている時 RX1 への入力信号が H または L に電位固定される場合(光トスリンク等)は RX0, RX2 の処理は不要である。
- RX0, RX2, RX3, RX4, RX5, RX6 は 5V 耐圧の TTL 入力レベル対応 S/PDIF 入力端子である。



(a) コアキシャル入力回路 (小振幅信号入力)



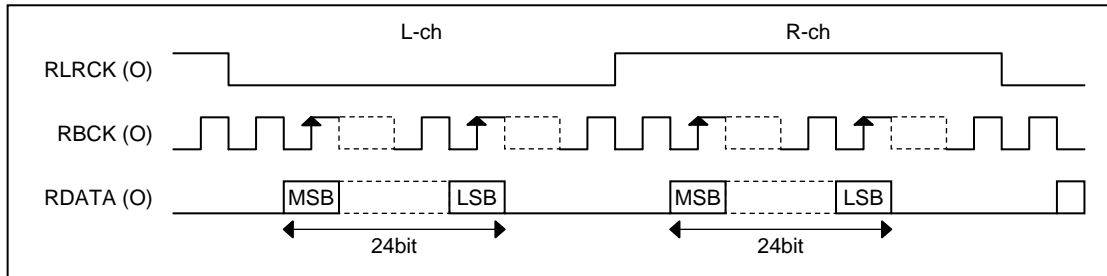
(b) 光入力回路

図10.7 : S/PDIF入力回路

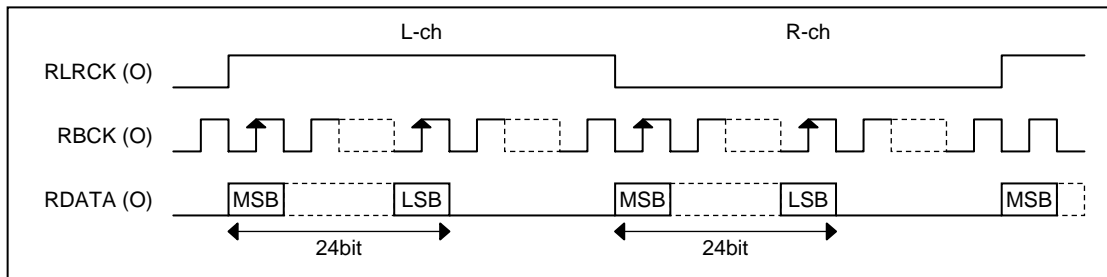
10.3 シリアルオーディオデータ入出力

10.3.1 出力データフォーマット(RDATA)

- 出力フォーマットは OFDSEL で設定する。
- 出力フォーマットの初期値は I<sup>2</sup>S となる。
- 出力データは RERR 出力が L になった直後の RLRCK のエッジに同期して出力される。



(0): I<sup>2</sup>S データ出力

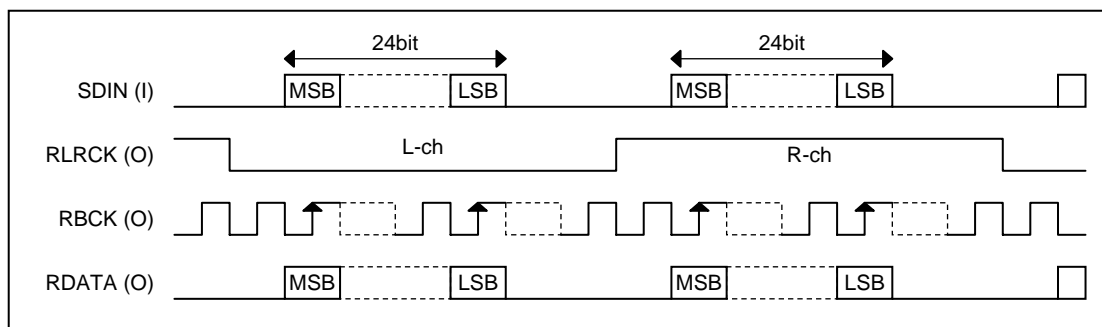


(1): MSB ファースト前詰めデータ出力

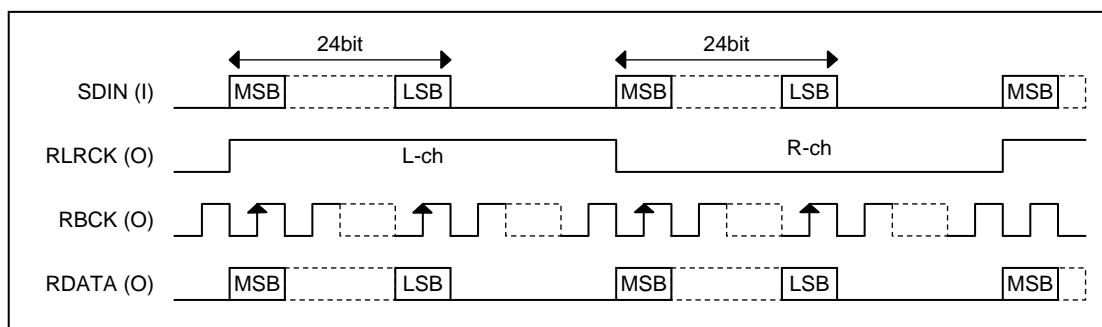
図 10.8 : データ出力タイミング

## 10.3.2 シリアルオーディオデータ入力フォーマット(SDIN)

- ・シリアルデータ入力端子 SDIN を設けている。
- ・SDIN へ入力するシリアルオーディオデータのフォーマットは復調データ出力フォーマットと同一を推奨する。
- ・復調データ出力の初期値は I<sup>2</sup>S である。
- ・入力する SDIN データは RBCK, RLRCK クロックと同期が取れていること。
- ・SDIN 端子から入力されたデータは RDATA 端子へスルー出力される。
- ・SDIN 端子を使用しない場合は GND に接続する。



(0): I<sup>2</sup>S データ入力

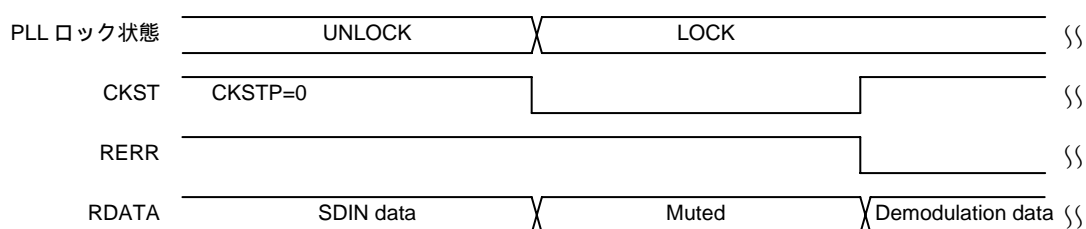


(1): MSB ファースト前詰めデータ入力

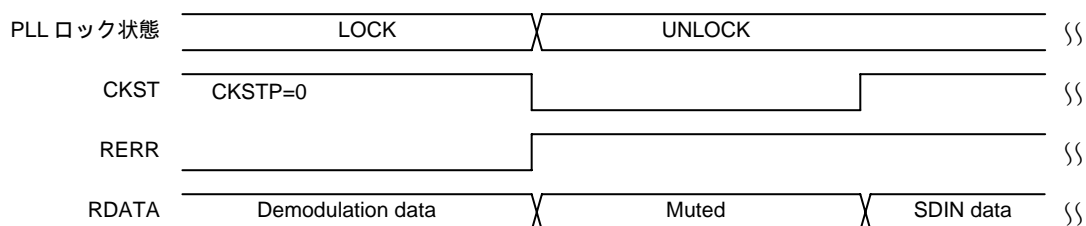
図 10.9 : シリアルオーディオデータ入力タイミング

### 10.3.3 出力データの切換え(SDIN,RDATA)

- PLL ロック時に復調データ、PLL アンロック時に SDIN 入力データを RDATA へ出力する。この切換えは PLL のロック/アンロック状態に応じて自動的に行われる。詳細は以下のタイミング図を参照すること。
- SDIN 入力データ選択時は SDIN データに同期したクロックソースに切換えること。
- RDTSTA の設定で PLL のロック/アンロック状態に関わらず SDIN 入力データを RDATA へ出力する。
- RDTMUT の設定で RDATA 出力データを強制的にミュートすることも可能である。
- OCKSEL, RCKSEL でクロックソースを XIN に設定している場合でも PLLOPR で PLL の動作を停止しない限り PLL は動作している。このとき RESTA で強制的にエラー出力に設定しない限り PLL の状態は RERR より常に出力される。また、PLL の状態に関わらず処理された情報はマイコンインタフェースで読み出すことが可能である。



(a) : ロックイン過程時



(b) : アンロック過程時

図 10.10 : RDATA 出力データ切換えタイミング図

## 10.3.4 データ系統図(RX0~RX6, RXOUT1, RXOUT2, RDATA, SDIN)

- RDTSEL, RDTSTA で復調後データと SDIN 入力データを選択し RDMUT でミュート処理が可能である。
- 更に EXTSEL で GPIO0 入力データとの選択も可能である。また GPIO0 は EDMUT でミュート処理も出来る。尚、汎用 I/O 端子(GPIO0~3)のセクタ機能については 11 章を参照のこと。

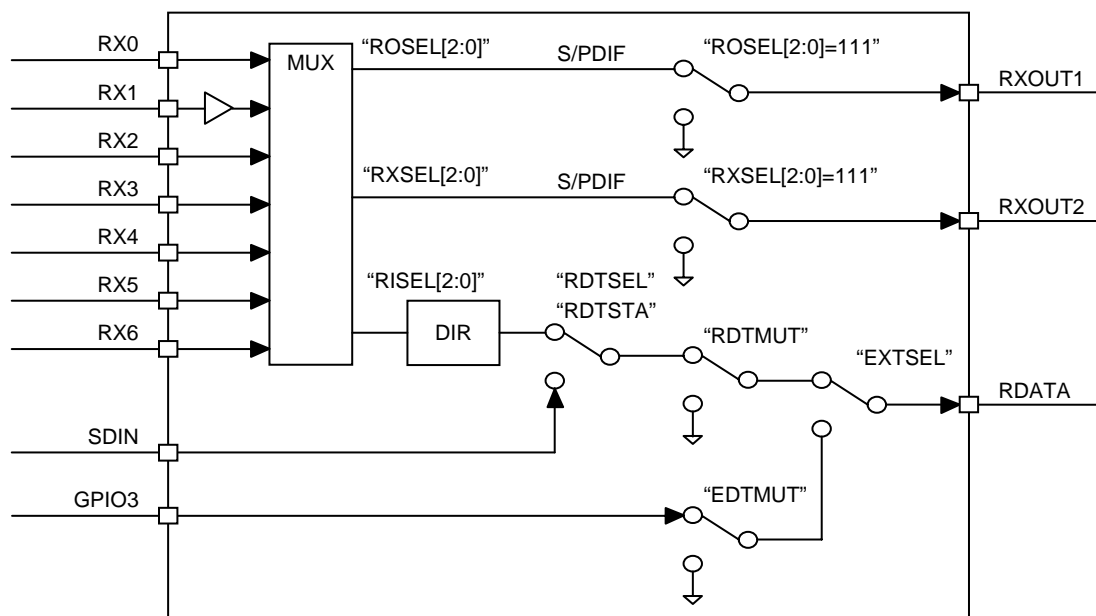


図 10.11 : データ系統図

## 10.3.5 入力データサンプリング周波数の算出(MOUT)

- XIN クロックを使用して入力データのサンプリング周波数を算出する。
- 発振アンプが PLL のロック状態に応じて自動停止するモードでは RERR のエラー期間に算出処理され発振アンプの停止とともに算出を完了して値を保持する。従って、算出確定後は PLL がアンロックするまで値は変化しない。
- 発振アンプが連続動作モードでは常時算出処理を繰り返す。従って、チャンネルステータスの標本化情報が変化しない入力データが PLL のキャプチャレンジ内でサンプリングが変わっても入力データに追従した算出結果を読み出すことが出来る。
- 算出結果は MOUT 端子またはマイコンインタフェースで読み出すことが出来る。MOUT 端子はエンファシス情報出力と兼用しているため MOSEL で MOUT 端子の出力内容を設定する。尚、MOUT 端子への fs 算出出力は制限される。FSSEL[1:0]で MOUT 端子の出力内容を設定する。

表 10.5: MOUT 端子出力内容設定

FSSEL1	FSSEL0	MOUT 端子 H 出力条件
0	0	32kHz/44.1kHz/48kHz 算出時
0	1	88.2kHz/96kHz 算出時
1	0	176.4kHz/192kHz 算出時
1	1	88.2kHz/96kHz 以上算出時



## 10.4 エラー出力・処理

### 10.4.1 ロックエラー、データエラー出力(RERR)

- RERRはPLLがロックエラーした場合やデータエラーが生じた場合にエラーフラグを出力する。
- RESELの設定で非PCMデータ受信時をエラーとすることも可能である。
- RERRの出力条件はRESTAで設定する。常時PLL状態を出力することが可能なためクロックソースがXINの場合にも常にPLLの状態を監視できる。

### 10.4.2 PLLロックエラー

- バイフェーズ変調の規則性が失われた入力データ、またはプリアンプルB、M、Wを検出できない入力データに対してPLLはアンロックする。また、プリアンプルB、M、Wが検出されてもIEC60958に準拠しないタイミングではアンロックとして処理される。例えば、プリアンプルBの周期が192フレームごとでない場合など。
- RERRはPLLがロックエラーの時Hとなり、データ復調が正常に戻って3m~144ms程度Hを保持してからLになる。この保持時間はERWT[1:0]の設定で決まる。
- RERRはRLRCKに同期して出力される。

### 10.4.3 入力データパリティエラー

- 入力データ中のパリティビットから奇数個のエラー、入力パリティエラーを検出する。
- 入力パリティエラーが9回以上連続して発生した場合、RERRはHとなりPLLがロック状態であることを検出して45~300ms程度Hを保持してからLになる。
- REDERで入力パリティエラー8回以内の連続発生に対してエラーフラグの出力形式を選択することが出来る。

### 10.4.4 その他のエラー

- RERRがLになってもチャンネルステータスのビット24~27(標準化周波数)を常時取り込んで1ブロック前のデータと現データの比較を行っている。また、入力データから抽出されたfsクロックから入力データのサンプリング周波数を算出して前述同様にfs算出値の比較を行っている。ここでこれらデータに相違が生じた場合、直ちにRERRをHにしてPLLロックエラーと同等の処理を実行する。
- fsが変化した時PLLはロックエラーを起こすが、fsが変化するソース(例:バリエブルピッチ機能付きCDプレーヤ等)に対応するために、fsが変化してもPLLキャプチャレンジ内のfs変化ならばエラーフラグを出力しない設定をFSERRで行うことが出来る。FSERRの設定はFSLIM[1:0]による受信範囲内入力データにおいてfs算出結果をエラーフラグに反映することなくPLLがロック状態になればRERRをLにする。更に、上述のチャンネルステータスのビット24~27比較も実施しない。
- RESELで非PCMデータ入力時をエラーとする設定を行った場合、非PCMデータ入力検出時にRERRはH出力になる。この時のPLLロック状態および各出力クロックは入力データに従うが出力データはミュートされる。

10.4.5 エラー発生時のデータ処理(ロックエラー、パリティエラー)

- ・エラー発生時のデータ処理を以下に示す。8回連続以内で入力パリティエラーが発生した場合、伝送データがPCM オーディオデータの時は1フレーム前のL-ch、R-chのおおので保持されたデータに置き換えられる。しかし、伝送データが非PCMデータの時はエラーデータをそのまま出力する。
- ・非PCMデータとは入力パリティエラーが発生する前に検出されたデータに基づき、チャンネルステータスのビット1非PCMデータ検出ビットがHになっている時のデータとする。
- ・PLLロックエラーや9回以上連続のパリティエラー発生時の出力データはミュート処理される。
- ・8回連続以内のパリティエラーに対してチャンネルステータスデータは1ブロック前のビット単位で保持されたデータが出力される。

表 10.6: エラー発生時のデータ処理

データ	PLL ロック エラー	入力パリティ エラー (a)	入力パリティ エラー (b)	入力パリティ エラー (c)
復調データ	L	L	前置データ	出力
fs 算出結果	L	出力	出力	出力
チャンネルステータス	L	L	前置データ	前置データ

入力パリティエラー (a) : 9回以上連続した場合

入力パリティエラー (b) : 8回連続以内でオーディオデータの場合

入力パリティエラー (c) : 8回連続以内で非PCMバーストデータの場合

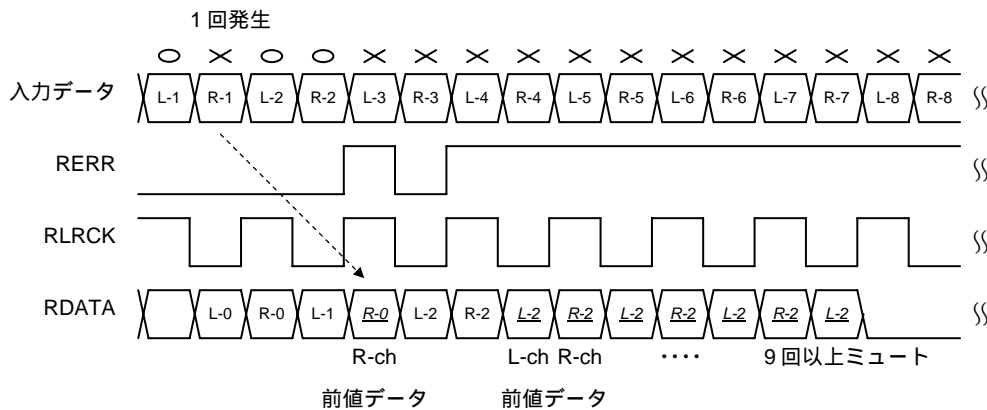
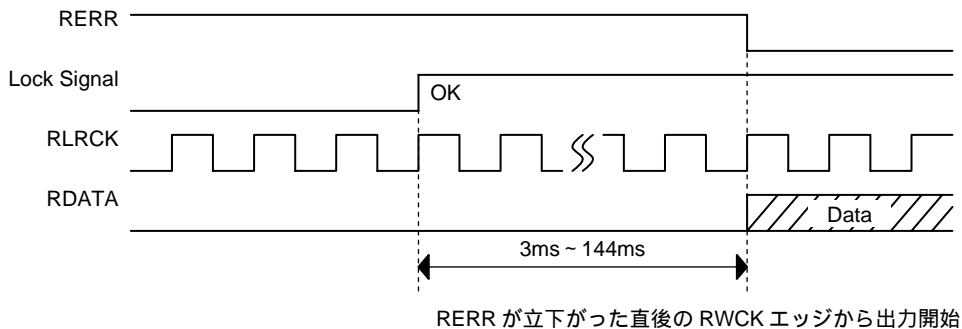


図 10.12 : パリティエラー時のデータ処理例

10.4.6 エラー回復時の処理

- ・プリアンブルB、M、Wを検出するとPLLはロック状態になりデータ復調を開始する。
- ・復調データはRERRがLになってRLRCKのエッジから出力される。



RERR が立下がった直後の RWCK エッジから出力開始

図 10.13 : 復調処理開始時のデータ処理

## 10.5 データ区分指定ビット1出力( $\overline{\text{AUDIO}}$ )

- $\overline{\text{AUDIO}}$  はチャンネルステータスのデータ区分ビットの情報が出力される。
- 入力バイフェーズデータが PCM オーディオデータか否かを示すチャンネルステータスのビット1を出力する。RERR が H 出力期間でも検出されれば直ちに出力される。
- AOSEL で IEC61937 や DTS-CD/LD 検出フラグと OR 出力することも出来る。

表 10.7:  $\overline{\text{AUDIO}}$  出力

AUDIO 端子	出力条件
L	PCM オーディオデータ(ビット1=L)
H	オーディオ以外のデータ(ビット1=H)

## 10.6 エンファシス情報出力(MOUT)

- MOUT の出力内容を MOSEL で切替えることにより MOUT から民生用のエンファシス時定数 50/15 $\mu$ s の有無を出力することが出来る。
- RERR が H 出力期間でも検出されれば直ちに出力される。

表 10.8: MOUT 出力

MOUT 端子	出力条件
L	プリエンファシス無
H	50/15 $\mu$ s プリエンファシス有

## 10.7 IEC61937, DTS-CD/LD 検出フラグ出力

- 非 PCM データに対して IEC61937、DTS-CD/LD 検出フラグを出力する機能を有する。
- DTS-CD/LD は “14-bit format” に対応する。
- IEC61937 検出はチャンネルステータスの bit1 が非 PCM データの時に IEC61937 同期信号を検出して出力する。bit1 が PCM データの場合は出力されない。
- DTS-CD/LD の検出は同期パターンおよび規定周期から検出する。4096 フレームごとに同期パターンをチェックし同期パターンが確認されなくなるまで検出状態を保持する。
- IEC61937、DTS-CD/LD 検出フラグは AOSEL で  $\overline{\text{AUDIO}}$  端子に出力する他にマイコンインタフェースでも読み出すことが出来る。 $\overline{\text{INT}}$  出力内容設定で非 PCM 信号出力設定 UNPCM を選択すると IEC61937 または DTS-CD/LD 同期信号を検出して  $\overline{\text{INT}}$  から割り込み信号を出力する。この情報から出力レジスタを読み出すことで非 PCM 信号の詳細が判明する。
- 検出フラグは fs が変化した時や PLL ロックエラー、データエラーが発生した時にクリアされる。

## 11 汎用 I/O 機能の説明(GPIO0,GPIO1,GPIO2,GPIO3)

### 11.1 初期設定

- 汎用 I/O を入力に設定するには  $\overline{\text{INT}}$  を 10k $\Omega$ 抵抗でプルダウンする。また、汎用 I/O を出力に設定するには  $\overline{\text{INT}}$  を 10k $\Omega$ 抵抗でプルアップする。 $\overline{\text{INT}}$  端子の設定については 9 章を参照すること。
- 汎用 I/O を出力端子に設定した場合、マイコンインタフェースより入力されたシリアルデータをパラレル変換して GPIO0, GPIO1, GPIO2, GPIO3 から出力する。
- 汎用 I/O を入力端子に設定した場合、以下の機能から選択する。この選択は GPIO5 で行う。
  - GPIO0, GPIO1, GPIO2, GPIO3 へ入力されたパラレルデータを内部レジスタに記憶してそのレジスタ内容をマイコンインタフェースで読み出す。(GPIO5=0)
  - GPIO0, GPIO1, GPIO2, GPIO3 へ入力されたオーディオフォーマットのデータやクロックと DIR ブロックで復調されたデータやクロックとの 2to1 (4 ビット幅)セクタを構成する。  
RMCK, RBCK, RLRCK, RDATA はセクタ出力となる。(GPIO5=1)

### 11.2 出力機能

- GPIO0, GPIO1, GPIO2, GPIO3 に出力するデータは CCB アドレス 0xE8、コマンドアドレス 10、入力レジスタ DI12~DI15、レジスタ名 PI[3:0]に設定する。
- PI[3:0]へ書き込まれたデータが GPIO0, GPIO1, GPIO2, GPIO3 端子から出力される。

### 11.3 入力機能

#### 11.3.1 GPIO5=0

- GPIO0, GPIO1, GPIO2, GPIO3 に入力されたデータは CCB アドレス 0xEB、出力レジスタ D00~D03、レジスタ名 PO[3:0]に取り込まれる。
- 読み出しは  $\overline{\text{INT}}$  に割り込み要因 GPIO を設定して読み出すかまたは任意に読み出す。読み出し方によってレジスタへのデータ取り込みが異なる。

#### 11.3.1.1 GPIO=1( $\overline{\text{INT}}$ 使用)

- XIN には必ず規定のクロックを入力し連続動作モード(初期値)に設定する。
- GPIO0, GPIO1, GPIO2, GPIO3 の各入力データは 24kHz のクロックでレジスタへ取り込まれる。
- 入力データのいずれかに変化が生じると  $\overline{\text{INT}}$  は L を出力してレジスタへの取り込みを中断する。
- CCB アドレス 0xEA、出力レジスタ D014、レジスタ名 OGPIO の割り込み要因を確認する。
- $\overline{\text{INT}}$  は 0xEA の読み出しと同時に H 出力となり取り込まれたデータはレジスタに保持される。
- PO[3:0]を読み出しデータをマイコンへ送る。同時にレジスタ内のデータはクリアされる。
- PO[3:0]を読み出す前に  $\overline{\text{INT}}$  が L を出力した場合はレジスタ内のデータは更新される。

#### 11.3.1.2 GPIO=0( $\overline{\text{INT}}$ 未使用)

- GPIO0, GPIO1, GPIO2, GPIO3 の各入力データは CCB アドレス 0xEB 設定時に取り込まれる。
- PO[3:0]を読み出しデータをマイコンへ送る。同時にレジスタ内のデータはクリアされる。

## 11.3.2 GPIOs=1

- セクタの入力となる GPIO0, GPIO1, GPIO2, GPIO3 と DIR ブロックの信号およびセクタの出力となる RMCK, RBCK, RLRCK, RDATA の関係と制御信号を以下に示す。

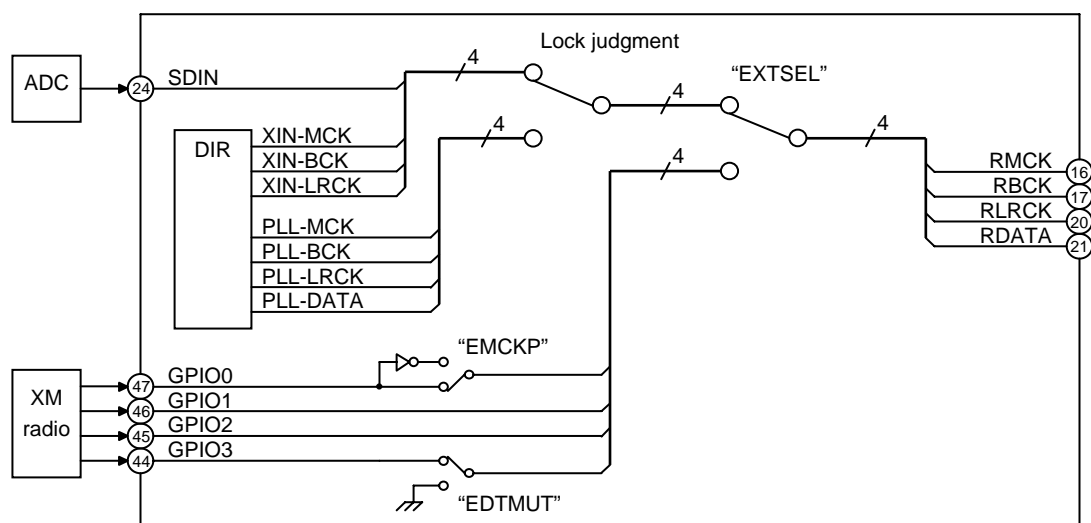


図 11.1 : セクタ構成図

表 11.1 : セクタ入出力信号

入力端子または入力信号			出力端子
EXTSEL=1	EXTSEL=0		
	PLL ロック状態	PLL アンロック状態	
GPIO0 (44)	PLL-MCK	XIN-MCK	RMCK (16)
GPIO1 (45)	PLL-BCK	XIN-BCK	RBCK (17)
GPIO2 (46)	PLL-LRCK	XIN-LRCK	RLRCK (20)
GPIO3 (47)	PLL-DATA	SDIN	RDATA (21)

注意 : PLL ロック時のセクタ出力は OCKSEL, RCSEL の設定で XIN クロック系にも変更できる。

- EXTSEL は GPIOs=1 の設定で有効になる。GPIOs=0 では EXTSEL=0 の状態が各端子から出力される。
- GPIO0 へ入力されたクロックは EMCKP で反転して RMCK へ出力することも出来る。
- GPIO3 へ入力するデータは PLL-DATA や SDIN のオーディオフォーマットと合わせる。
- GPIO3 へ入力されたデータは EDMUT でミュートすることも出来る。
- EMCKP, EDMUT は GPIOs=1 設定時のみ有効になる。
- 以上の設定はマスターモード設定時のみ有効となりスレーブ時は設定しないこと。

## 12 マイコンインタフェース( $\overline{\text{INT}}$ , CL, CE, DI, DO)

### 12.1 マイコンインタフェースの説明

#### 12.1.1 割り込み出力( $\overline{\text{INT}}$ )

- 割り込み出力は PLL のロック状態や出力データ情報などに変化が生じた時に出力する。
- 割り込み出力は割り込み要因を選択するレジスタとその状態遷移を出力する  $\overline{\text{INT}}$  端子、および割り込みの要因データを格納するレジスタから構成される。
- $\overline{\text{INT}}$  は通常 H 出力状態で割り込み要因の発生によって L を出力する。L 出力後は割り込み要因出力レジスタの読み出しと同時にクリアされ H 出力に戻る。
- 割り込み要因は以下の項目から選択する。この項目は CCB アドレス 0xE8、コマンドアドレス 8 の内容で同時に複数の要因項目を設定することが出来る。 $\overline{\text{INT}}$  は選択した割り込み要因の OR 演算結果が出力される。

$\overline{\text{INT}}$  出力=(選択要因 1) + (選択要因 2) + . . . + (選択要因 n)

表 12.1: 割り込み要因設定内容の説明

No.	コマンド名	内容
1	ERROR	RERR 端子の状態が変化した時に出力する
2	INDET	入力データ端子状態が変化した時に出力する(発振アンプ動作条件有)
3	FSCHG	入力 $f_s$ の算出結果が変化した時に出力する(発振アンプ動作条件有)
4	CSRNW	先頭 48 ビットチャネルステータスデータが更新された時に出力する
5	UNPCM	AUDIO 端子の状態が変化した時に出力する
6	PCRNW	バーストプリアンプ $P_c$ が更新された時に出力する
7	GPIO	汎用 I/O パラレル入力設定時に入力データが変化した時に出力する
8	EMPF	エンファシス情報が変化した時に出力する

- 設定した割り込み要因の内容は要因発生時に CCB アドレス 0xEA の出力レジスタ D08~D015 に格納される。但し、要因項目 1, 5 に対する読み出しレジスタはそれぞれ読み出し時の RERR および  $\overline{\text{AUDIO}}$  端子の状態が出力される。要因項目 1, 5 を除くその他のデータについては要因発生時にレジスタに格納される。
- 要因項目 2, 3 は発振アンプのクロックを使用するため PLL ロック中もモニタする場合は発振アンプを連続動作モードに設定する必要がある。また、要因項目 2 は RXMON の設定も必要である。
- 要因発生後に  $\overline{\text{INT}}$  を出力レジスタの読み出しと同時にクリアする動作は出力レジスタ 0xEA が設定された直後に実施される。尚、 $\overline{\text{INT}}$  は 0xEA 以外ではクリアされない。

## 12.1.2 CCB インタフェース

- CCB インタフェースは LSB ファースト通信の当社オリジナルシリアルバスフォーマットである。但し、LC89058W-E のデータ出力方式はオープンドレインではなくスリーステートを採用している。
- データの入出力は CCB アドレス入力後に行う。尚、同じ CCB アドレスで書き込み/読み出しの併用は出来ない。

表 12.2: レジスタ入出力内容と CCB アドレスの関係

レジスタ入出力内容	R/W	CCB address	B0	B1	B2	B3	A0	A1	A2	A3
機能設定データ入力	Write	0xE8	0	0	0	1	0	1	1	1
入力検出・割込出力	Read	0xEA	0	1	0	1	0	1	1	1
fs データ出力	Read	0xEB	1	1	0	1	0	1	1	1
CS データ出力	Read	0xEC	0	0	1	1	0	1	1	1
Pc データ出力	Read	0xED	1	0	1	1	0	1	1	1

## 12.1.3 データ書き込み方法

- A0～A3およびB0～B3のCCBアドレス、DI0およびDI1のチップアドレス、DI4～DI7のコマンドアドレス、DI8～DI15のデータの順で入力する。DI2およびDI3はシステムで予約済みである。0を入力すること。
- チップアドレスはDI0がCAL(下位)、DI1がCAU(上位)に対応する。詳細は9.2を参照すること。

## 12.1.4 データ読み出し方法

- 読み出したデータは D0 から出力される。D0 は CE が L 期間ではハイインピーダンス状態となり CCB アドレスで出力設定が成立した後の CE の立ち上がりから出力を開始する。その後 CE を立ち下げることでハイインピーダンス状態に戻る。
- LC89058W-E を複数個使用して D0 出力を共有する場合は DOEN の設定でデータ読み出し対象外の LC89058W-E の D0 出力を常時ハイインピーダンス状態に設定することが出来る。この設定により目的の出力のみを読み出すことが出来る。

## 12.1.5 ノーマル H クロック使用時の注意点

- CCB インタフェースはノーマル L クロックの CL を使用するが、ノーマル H クロックの CL を使用することも可能である。ただし、CCB マイコンインタフェース AC 特性に準じたクロック入力を行うこと。
- データを読み出す場合は CE を立ち上げる前に必ず CL を立ち下げること。

# LC89058W-E

## 12.1.6 入出力タイミング

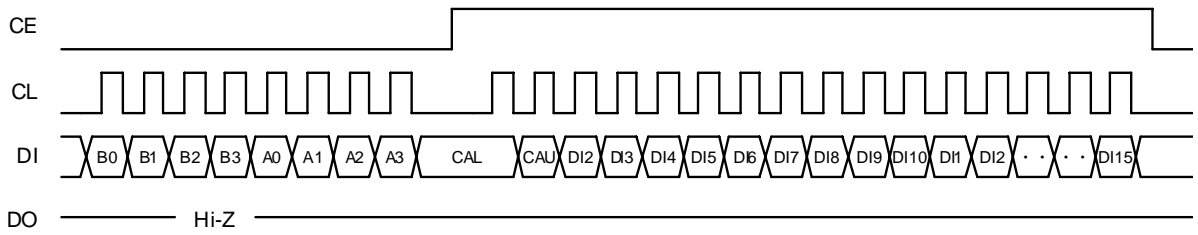


図 12.1 : 入力タイミング図 (Normal L clock)

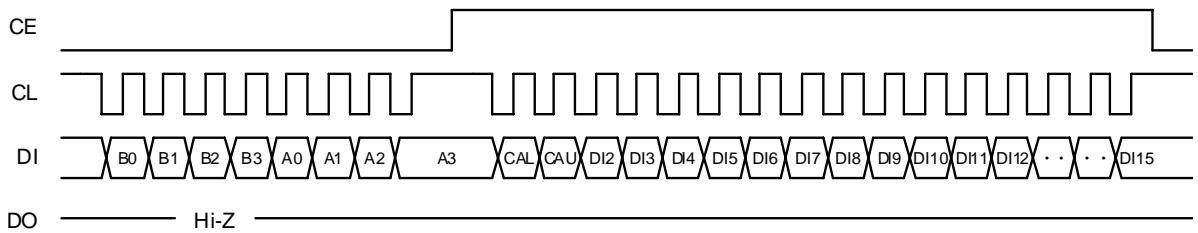


図 12.2 : 入力タイミング図 (Normal H clock)  
(CE を立ち上げる前に CL を立ち下げてもそのまま H を保持してもどちらでも構わない)

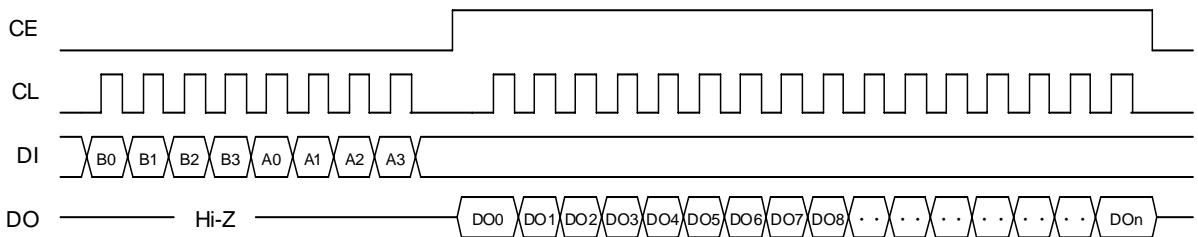


図 12.3 : 出力タイミング図 (Normal L clock)

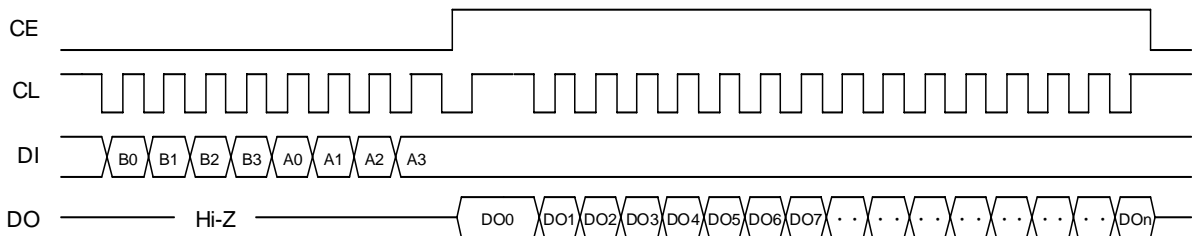


図 12.4 : 出力タイミング図 (Normal H clock)  
(CE を立ち上げる前に CL を立ち下げる。また D00 はポートで読む必要がある)



## 12.2 書き込みデータ

### 12.2.1 書き込みコマンド一覧表

- ・書き込みコマンドの一覧を以下に示す。
- ・以下の表のコマンドを書き込む場合CCBアドレスは0xE8に設定すること。

表 12.3 : レジスタマップ

Addr	設定項目	DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
0	システム設定 1	TESTM	0	0	0	0	0	DOEN	SYSRST
1	システム設定 2	0	0	FSLIM1	FSLIM0	RXMON	AOSEL	0	MOSEL
2	マスタクロック	AMPOPR1	AMPOPR0	0	PLLOPR	XMSEL1	XMSEL0	XINSEL	0
3	R系出力クロック	XRLRCK1	XRLRCK0	XRCK1	XRCK0	XRSEL1	XRSEL0	PRSEL1	PRSEL0
4	S系出力クロック	XSLRCK1	XSLRCK0	XSCK1	XSCK0	PSLRCK1	PSLRCK0	PSBCK1	PSBCK0
5	ソース切換え	0	RDTMUT	RDTSTA	RDTSEL	0	0	OCKSEL	0
6	データ入出力 1	0	ROSEL2	ROSEL1	ROSEL0	0	RISEL2	RISEL1	RISEL0
7	出力形式	SLRCKP	SBCKP	RLRCKP	RBCKP	0	0	0	OFDSEL
8	$\overline{\text{INT}}$ 要因選択	EMPF	GPI0	PCRNW	UNPCM	CSRNW	FSCHG	INDET	ERROR
9	RERR 条件設定	ERWT1	ERWT0	FSERR	RESTA	0	0	REDER	RESEL
10	汎用 I/O 入出力	PI3	PI2	PI1	PI0	0	0	0	0
11	テスト	0	0	0	0	0	0	0	0
12	システム設定 3	0	0	CKSTP	RMCKP	0	PLLDV1	PLLDV0	PLLACC
13	データ入出力 2	0	RXSEL2	RXSEL1	RXSEL0	EDTMUT	EMCKP	EXTSEL	GPIOS
14	PLL クロック	FSSEL1	FSSEL0	0	0	PTOXW1	PTOXW0	0	0
15	テスト	0	0	0	0	0	0	0	0

Addr: コマンドアドレス

- ・DI8～DI15のコマンドエリアで0は予約ビットである。0を入力すること。
- ・コマンドアドレス11, 15はテスト用に予約されている。書き込み禁止である。

# LC89058W-E

## 12.2.2 書き込みコマンド詳細

CCB address:0xE8・command address:0・システム設定1

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DIO
0	0	0	0	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
TESTM	0	0	0	0	0	DOEN	SYSRST

- SYSRST システムリセット  
 0:リセットしない(初期値)  
 1:コマンドレジスタ以外の回路をリセットする
- DOEN DO 端子出力設定  
 0:出力する(初期値)  
 1:常時ハイインピーダンス状態にする(読み出し不可)
- TESTM テストモード設定  
 0:通常動作(初期値)  
 1:テストモードに入る

・SYSRSTによるリセット処理を行うとRBCKはL出力、RLRCKはH出力となる。

CCB address:0xE8・command address:1・システム設定2

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DIO
0	0	0	1	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
0	0	FSLIM1	FSLIM0	RXMON	AOSEL	0	MOSEL

- MOSEL MOUT 出力内容設定  
 0:チャンネルステータスのエンファシス情報出力(初期値)  
 1:入力データ fs 算出結果出力(出力条件は FSSEL[1:0]で設定)
- AOSEL  $\overline{\text{AUDIO}}$  出力内容設定  
 0:チャンネルステータスビット1のみ出力(初期値)  
 1:チャンネルステータスビット1、IEC61937、DTS-CD/LD 検出フラグ出力
- RXMON デジタルデータ入力状態監視機能設定  
 0:データ入力状態を監視しない(初期値)  
 1:データ入力状態を監視する
- FSLIM[1:0] 入力デジタルデータ信号の標本化周波数受信範囲設定  
 00:制限しない(初期値)  
 01: fs ≤ 96kHz(超過時、データはミュート、クロックはXIN系出力)  
 10: fs ≤ 48kHz(超過時、データはミュート、クロックはXIN系出力)  
 11: Reserved

## LC89058W-E

CCB address:0xE8・command address:2・マスタクロック設定

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
0	0	1	0	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
AMPOPR1	AMPOPR0	0	PLLOPR	XMSEL1	XMSEL0	XINSEL	0

XINSEL XIN 入力周波数設定  
0 : 12.288MHz (初期値)  
1 : 24.576MHz

XMSEL[1:0] XMCK 出力周波数設定  
00 : XIN 入力周波数の 1/1 (初期値)  
01 : XIN 入力周波数の 1/2  
10 : XIN 入力周波数の 1/4  
11 : ミュート

PLLOPR PLL (VCO) 動作設定  
0 : 動作 (初期値)  
1 : 停止

AMPOPR[1:0] 発振アンプ動作設定  
00 : 常時連続動作 (初期値)  
01 : Reserved  
10 : PLL ロック時発振アンプ自動停止  
11 : 停止

・LC89057W-VF4A-E からの差し替えに備えて AMPOPR[1:0] の設定内容が LC89057W-VF4A-E と異なる。

## LC89058W-E

CCB address:0xE8・command address:3・R系出力クロック設定

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
0	0	1	1	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
XRLRCK1	XRLRCK0	XRBACK1	XRBACK0	XRSEL1	XRSEL0	PRSEL1	PRSEL0

PRSEL[1:0] PLL ロック時の RMCK 出力周波数設定 (PLLACC=0 設定時有効)

- 00 :  $512\text{fs} \times 1/2$  (256fs) (初期値)
- 01 :  $512\text{fs} \times 1/1$  (512fs)
- 10 :  $512\text{fs} \times 1/4$  (128fs)
- 11 : ミュート

XRSEL[1:0] XIN ソース時の RMCK 出力周波数設定

- 00 : XIN 入力周波数の 1/1 (初期値)
- 01 : XIN 入力周波数の 1/2
- 10 : XIN 入力周波数の 1/4
- 11 : ミュート

XRBACK[1:0] XIN ソース時の RBCK 出力周波数設定

- 00 : 3.072MHz 出力 (RMCK  $\geq$  6.144MHz) (初期値)
- 01 : 6.144MHz 出力 (RMCK  $\geq$  12.288MHz)
- 10 : 12.288MHz 出力 (RMCK=24.576MHz)
- 11 : ミュート

XRLRCK[1:0] XIN ソース時の RLRCK 出力周波数設定

- 00 : 48kHz 出力 (初期値)
- 01 : 96kHz 出力
- 10 : 192kHz 出力
- 11 : ミュート

- ・XIN=12.288MHz 入力時に XRSEL[1:0]=10(1/4 出力)設定で RMCK=3.072MHz を出力するが、RBCK、SBCK の出力設定条件を満たせないためこの設定は行わないこと。
- ・XRBACK[1:0]の設定は RMCK 出力クロックの設定と関係する。XIN ソース時の RBCK 出力クロックは RMCK 出力クロックの 1/2 以下であること。

## LC89058W-E

CCB address:0xE8・command address:4・S系出力クロック設定

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
0	1	0	0	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
XSLRCK1	XSLRCK0	XSBCCK1	XSBCCK0	PSLRCK1	PSLRCK0	PSBCK1	PSBCK0

PSBCK[1:0] PLL ロック時の SBCK 出力周波数設定

- 00 : 64fs 出力(初期値)
- 01 : 128fs 出力
- 10 : 32fs 出力
- 11 : 16fs 出力

PSLRCK[1:0] PLL ロック時の SLRCK 出力周波数設定

- 00 : fs 出力(初期値)
- 01 : 2fs 出力
- 10 : fs/2 出力
- 11 : fs/4 出力

XSBCCK[1:0] XIN ソース時の SBCK 出力周波数設定

- 00 : 3.072MHz 出力(RMCK $\geq$ 6.144MHz)(初期値)
- 01 : 6.144MHz 出力(RMCK $\geq$ 12.288MHz)
- 10 : 12.288MHz 出力(RMCK=24.576MHz)
- 11 : ミュート

XSLRCK[1:0] XIN ソース時の SLRCK 出力周波数設定

- 00 : 48kHz 出力(初期値)
- 01 : 96kHz 出力
- 10 : 192kHz 出力
- 11 : ミュート

- ・XSBCCK[1:0]の設定はRMCK出力クロックの設定と関係する。PLLロック時のSBCK出力クロック周波数はRMCKの出力クロック周波数より速くならないように設定すること。またXINソース時のSBCK出力クロックはRMCK出力クロックの1/2以下であること。

## LC89058W-E

CCB address:0xE8・command address:5・クロックソース切換えおよび RDATA 出力設定

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
0	1	0	1	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
0	RDTMUT	RDTSTA	RDTSEL	0	0	OCKSEL	0

- OCKSEL      クロックソース設定  
              0 : PLL アンロック時、ソースとして XIN クロックを使用(初期値)  
              1 : PLL 状態に関わらず、ソースとして XIN クロックを使用
- RDTSEL      PLL アンロック時の RDATA 出力設定  
              0 : PLL アンロック時、SDIN データを出力(初期値)  
              1 : PLL アンロック時、ミュートする
- RDTSTA      RDATA 出力設定  
              0 : RDTSEL に従う(初期値)  
              1 : PLL 状態に関わらず、SDIN 入力データを出力
- RDTMUT      RDATA ミュート設定  
              0 : RDTSEL で選択したデータを出力(初期値)  
              1 : ミュート

- OCKSEL は AMPOPR[1:0]で発振アンプを常時連続動作または FSERR で  $f_s$  の変化をエラーフラグに反映しない時 RERR の状態を維持してクロックソースを切換えることが出来る。
- R 系クロックと S 系クロックの位相は一致する。
- SDIN ヘデータを入力する場合には SDIN 入力データに同期したクロックを選択すること。
- PLL ロック状態を維持して XIN ソースへ切換えることが可能である。但し、クロックとデータ出力の切換えは各々で設定可能なため、XIN ソース切換え時の出力データはミュートもしくは SDIN データを選択されることを推奨する。
- 発振アンプが PLL のロックと共に自動停止する設定が選択されている場合、PLL ロック状態からの XIN ソース切換えるとクロックは出力されなくなる。XIN ソースへクロックを切換える場合は必ず発振アンプを連続動作に設定する必要がある。

## LC89058W-E

CCB address:0xE8・command address:6・データ入出力設定 1

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
0	1	1	0	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
0	ROSEL2	ROSEL1	ROSEL0	0	RISEL2	RISEL1	RISEL0

RISEL[2:0] データ復調入力端子設定

000 : RX0 選択 (初期値)

001 : RX1 選択

010 : RX2 選択

011 : RX3 選択

100 : RX4 選択

101 : RX5 選択

110 : RX6 選択

111 : どれも選択しない(入力全てプルダウン抵抗を経て GND へ接続される)

ROSEL[2:0] RXOUT1 出力データ設定

000 : RX0 入力データ (初期値)

001 : RX1 入力データ

010 : RX2 入力データ

011 : RX3 入力データ

100 : RX4 入力データ

101 : RX5 入力データ

110 : RX6 入力データ

111 : L 固定出力

# LC89058W-E

CCB address:0xE8・command address:7・データ出力形式設定

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
0	1	1	1	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
SLRCKP	SBCKP	RLRCKP	RBCKP	0	0	0	OFDSEL

- OFDSEL      オーディオデータ出力フォーマット設定  
              0 : I<sup>2</sup>S データ出力(初期値)  
              1 : 24 ビット MSB ファースト前詰データ出力
- RBCKP        RBCK 出力極性設定  
              0 : 立ち下がり RDATA データ変化(初期値)  
              1 : 立ち上がり RDATA データ変化
- RLRCKP      RLRCK 出力極性設定  
              0 : L 期間 : L-ch データ、H 期間 : R-ch データ(初期値)  
              1 : L 期間 : R-ch データ、H 期間 : L-ch データ
- SBCKP        SBCK 出力極性設定  
              0 : 立ち下がり RDATA データ変化(初期値)  
              1 : 立ち上がり RDATA データ変化
- SLRCKP      SLRCK 出力極性設定  
              0 : L 期間 : L-ch データ、H 期間 : R-ch データ(初期値)  
              1 : L 期間 : R-ch データ、H 期間 : L-ch データ



## LC89058W-E

CCB address:0xE8・command address:8・ $\overline{\text{INT}}$  出力内容設定

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
1	0	0	0	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
EMPF	GPIO	PCRNW	UNPCM	CSRNW	FSCHG	INDET	ERROR

ERROR	RERR 信号出力設定 0：出力しない(初期値) 1：RERR 端子状態変化を出力する
INDET	入力データ検出出力設定 0：出力しない(初期値) 1：入力データ端子状態変化を出力する
FSCHG	PLL ロック周波数算出結果の更新フラグ出力設定 0：出力しない(初期値) 1：PLL ロック周波数算出結果の更新フラグを出力する
CSRNW	先頭 48 ビットチャンネルステータスデータ更新フラグ出力設定 0：出力しない(初期値) 1：先頭 48 ビットチャンネルステータスデータ更新フラグを出力する
UNPCM	非 PCM データ検出変化フラグ出力設定 0：出力しない(初期値) 1： $\overline{\text{AUDIO}}$ 端子状態変化を出力する
PCRNW	バーストプリアンプル Pc 更新フラグ出力設定 0：出力しない(初期値) 1：バーストプリアンプル Pc 更新フラグを出力する
GPIO	汎用 I/O パラレル入力設定時(GPIOS=0)の入力データ変化フラグ出力設定 0：出力しない(初期値) 1：入力データ変化フラグを出力する
EMPF	エンファシス検出フラグ出力設定 0：出力しない(初期値) 1：エンファシス検出フラグを出力する

- ・入力データ検出出力設定は XIN 端子に 24.576MHz のクロックを供給(XINSEL=1)しデジタルデータ入力状態監視機能(RXMON=1)を有効にした状態で INDET が 1 に設定された場合に機能する。
- ・チャンネルステータスの更新フラグは 1 ブロック前の先頭 48 ビットのデータと今のデータを比較して同一の場合に更新されたと見なしフラグを出力する。
- ・バーストプリアンプル Pc の更新フラグも 16 ビットのデータについて 1 ブロック前のデータと今のデータが一致した時に更新フラグを出力する。
- ・汎用 I/O パラレル入力設定時の 4bit 入力データ更新フラグは 24kHz のクロックでサンプリングされたデータに変化が生じた場合にフラグを出力する。

## LC89058W-E

CCB address:0xE8・command address:9・RERR 出力設定

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
1	0	0	1	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
ERWT1	ERWT0	FSERR	RESTA	0	0	REDER	RESEL

- RESEL RERR 出力内容設定  
0 : PLL ロックエラーまたはデータエラー (初期値)  
1 : PLL ロックエラーまたはデータエラーまたは非 PCM データ
- REDER 8 回連続以内のパリティエラーフラグ出力設定  
0 : 非 PCM データ認識時のみ出力する (初期値)  
1 : エラーの発生したサブフレームの間だけ出力する
- RESTA RERR 出力条件設定  
0 : 常時 PLL 状態を出力 (XIN ソース時も PLL 状態を出力) (初期値)  
1 : 強制的にエラー出力する (RERR を強制的に H レベルにする)
- FSERR fs 変化によるエラーフラグの出力条件設定  
0 : fs の変化をエラーフラグへ反映する (初期値)  
1 : fs の変化をエラーフラグへ反映しない
- ERWT[1:0] PLL ロック後 RERR 待ち時間設定  
00 : プリアンブル B を 3 カウント後にエラー解除する (初期値)  
01 : プリアンブル B を 24 カウント後にエラー解除する  
10 : プリアンブル B を 12 カウント後にエラー解除する  
11 : プリアンブル B を 6 カウント後にエラー解除する

- ・非 PCM データは  $\overline{\text{AUDIO}}$  に出力される検出データと同じ。
- ・RESEL で非 PCM データによりエラーが発生した場合、出力データはミュートされる。
- ・RESTA 設定はデータ、クロック出力端子に影響しない。
- ・FSERR は発振アンプ停止状態での fs 算出結果は反映されない。  
この場合の fs 変化はチャンネルステータス fs 情報のみとなる。
- ・ERWT[1:0] は PLL ロック後に RERR がエラー解除 L を出力するまでの時間を定義する設定である。  
復調後のオーディオデータは RERR のエラー解除後に出力されるためデータの頭切れなどが問題になる場合はこの設定を変更すること。

## LC89058W-E

CCB address:0xE8・command address:10・汎用 I/O 入出力機能

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
1	0	1	0	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
PI3	PI2	PI1	PI0	0	0	0	0

PI0 汎用 I/O パラレル出力設定時の GPIO0 端子へ出力する内容  
0 : L(初期値)  
1 : H

PI1 汎用 I/O パラレル出力設定時の GPIO1 端子へ出力する内容  
0 : L(初期値)  
1 : H

PI2 汎用 I/O パラレル出力設定時の GPIO2 端子へ出力する内容  
0 : L(初期値)  
1 : H

PI3 汎用 I/O パラレル出力設定時の GPIO3 端子へ出力する内容  
0 : L(初期値)  
1 : H

## LC89058W-E

CCB address:0xE8・command address:12・システム設定 3

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
1	1	0	0	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
0	0	CKSTP	RMCKP	0	PLLDV1	PLLDV0	PLLACC

- PLLACC PLL クロック周波数設定  
0 : マニュアル設定(初期値)  
1 : 自動制御(10. 1. 6 参照)
- PLLDV0 PLLACC=1 設定で 32kHz, 44. 1kHz, 48kHz 受信時の PLL クロック出力設定  
0 : 512fs 出力(初期値)  
1 : 256fs 出力
- PLLDV1 PLLACC=1 設定で 88. 2kHz, 96kHz 受信時の PLL クロック出力設定  
0 : 256fs 出力(初期値)  
1 : 512fs 出力
- RMCKP DIR ブロック RMCK 出力極性設定  
0 : 通常出力(初期値)  
1 : 反転出力
- CKSTP CKST 出力極性設定  
0 : ノーマル H 出力(初期値)  
1 : ノーマル L 出力

## LC89058W-E

CCB address:0xE8・command address:13・データ入出力設定 2

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
1	1	0	1	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
0	RXSEL2	RXSEL1	RXSEL0	EDTMUT	EMCKP	EXTSEL	GPIOS

GPIOS Pin. 44~47 入力機能設定 ( $\overline{\text{INT}}$  プルダウン設定時)

0 : 汎用 I/O パラレル入力 (初期値)

1 : セレクタ入力

EXTSEL RMCK, RBCK, RLRCK, RDATA 出力設定

0 : DIR 機能のデータ、クロックを出力 (初期値)

1 : GPIO0, GPIO1, GPIO2, GPIO3 の入力信号を出力 (GPIOS=1)

EMCKP GPIO0 出力極性設定 (GPIOS=1)

0 : 通常出力 (初期値)

1 : 反転出力

EDTMUT GPIO3 ミュート設定 (GPIOS=1)

0 : 通常出力 (初期値)

1 : ミュート

RXSEL[2:0] RXOUT2 出力データ設定

000 : L 固定出力 (初期値)

001 : RX0 入力データ

010 : RX1 入力データ

011 : RX2 入力データ

100 : RX3 入力データ

101 : RX4 入力データ

110 : RX5 入力データ

111 : RX6 入力データ

- EXTSEL で RMCK, RBCK, RLRCK, RDATA の出力内容を変更する場合 GPIOS の設定も合わせて必要である。  
GPIOS=0 の状態で EXTSEL=1 に設定しても RMCK, RBCK, RLRCK, RDATA 出力は切換らない。

## LC89058W-E

CCB address:0xE8・command address:14・PLL クロック

DI7	DI6	DI5	DI4	DI3	DI2	DI1	DI0
1	1	1	0	0	0	CAU	CAL
DI15	DI14	DI13	DI12	DI11	DI10	DI9	DI8
FSSEL1	FSSEL0	0	0	PTOXW1	PTOXW0	0	0

PTOXW[1:0] クロック切換え待ち時間期間設定

- 00 : PLL ロック判定後 2.67ms 後にクロックを切換える(初期値)
- 01 : PLL ロック判定後 1.33ms 後にクロックを切換える
- 10 : PLL ロック判定後 0.67ms 後にクロックを切換える
- 11 : PLL ロック判定後にクロックを切換える

FSSEL[1:0] MOUT 出力内容設定(PLL アンロックまたは下記 fs 算出値以外では L 出力)

- 00 : 32kHz/44.1kHz/48kHz 算出時に H 出力(初期値)
- 01 : 64kHz/88.2kHz/96kHz 算出時に H 出力
- 10 : 128kHz/176.4kHz/192kHz 算出時に H 出力
- 11 : 64kHz/88.2kHz/96kHz 以上算出時に H 出力

12.3 読み出しデータ

12.3.1 読み出しコマンド一覧表

- ・読み出しは以下の項目について行うことができる。
- －割り込みデータ出力
- －デジタルデータ入力状態モニタ出力
- －汎用 I/O パラレル入力設定時の入力データ出力
- －fs 算出結果出力
- －チャンネルステータス先頭 48 ビット出力
- －バーストプリアンプル Pc データ出力

表 12.4 : 読み出しレジスタ一覧

	0xEA	0xEB	0xEC	0xED
D00	RXDET0	P00	CS bit0	Pc bit0
D01	RXDET1	P01	CS bit1	Pc bit1
D02	RXDET2	P02	CS bit2	Pc bit2
D03	RXDET3	P03	CS bit3	Pc bit3
D04	RXDET4	FSC0	CS bit4	Pc bit4
D05	RXDET5	FSC1	CS bit5	Pc bit5
D06	RXDET6	FSC2	CS bit6	Pc bit6
D07	0	FSC3	CS bit7	Pc bit7
D08	OERROR	—	CS bit8	Pc bit8
D09	OINDET	—	CS bit9	Pc bit9
D010	OPFCHG	—	CS bit10	Pc bit10
D011	OCSRNW	—	CS bit11	Pc bit11
D012	OUNPCM	—	CS bit12	Pc bit12
D013	OPCRNW	—	CS bit13	Pc bit13
D014	OGPIO	—	CS bit14	Pc bit14
D015	OEMPF	—	CS bit15	Pc bit15
D016	CSBIT1	—	CS bit16	—
D017	IEC1937	—	CS bit17	—
D018	DTS51	—	CS bit18	—
D019	DTSES	—	CS bit19	—
D020	0	—	CS bit20	—
D021	0	—	CS bit21	—
D022	0	—	CS bit22	—
D023	0	—	CS bit23	—
D024	—	—	CS bit24	—
D025	—	—	CS bit25	—
D026	—	—	CS bit26	—
...	...	...	...	...
...	...	...	...	...
D045	—	—	CS bit45	—
D046	—	—	CS bit46	—
D047	—	—	CS bit47	—

## LC89058W-E

### 12.3.2 読み出しレジスタ 0xEA(S/PDIF 入力検出、割り込みフラグ)出力

CCB address:0xEA・読み出しレジスタ出力内容 1

D07	D06	D05	D04	D03	D02	D01	D00
0	RXDET6	RXDET5	RXDET4	RXDET3	RXDET2	RXDET1	RXDET0

RXDET0      RX0 入力検出  
              0 : RX0 に入力データ無  
              1 : RX0 に入力データ有

RXDET1      RX1 入力検出  
              0 : RX1 に入力データ無  
              1 : RX1 に入力データ有

RXDET2      RX2 入力検出  
              0 : RX2 に入力データ無  
              1 : RX2 に入力データ有

RXDET3      RX3 入力検出  
              0 : RX3 に入力データ無  
              1 : RX3 に入力データ有

RXDET4      RX4 入力検出  
              0 : RX4 に入力データ無  
              1 : RX4 に入力データ有

RXDET5      RX5 入力検出  
              0 : RX5 に入力データ無  
              1 : RX5 に入力データ有

RXDET6      RX6 入力検出  
              0 : RX6 に入力データ無  
              1 : RX6 に入力データ有

- ・RXDET[10:0]の読み出しは事前にRXMONを1に設定する必要がある。



## LC89058W-E

CCB address:0xEA・読み出しレジスタ出力内容 2

D015	D014	D013	D012	D011	D010	D09	D08
OEMPF	OGPIO	OPCRNW	OUNPCM	OCSRNW	OFSCHG	OINDET	OERROR

- OERROR RERR 出力(読み出し時の状態を出力)  
0: PLL ロック状態で伝送エラー無  
1: PLL アンロック状態または伝送エラー有
- OINDET データ入力端子状態変化(読み出し後クリア)  
0: データ入力端子状態に変化無  
1: データ入力端子状態に変化有
- OFSCHG 入力  $f_s$  算出更新結果(読み出し後クリア)  
0: 入力  $f_s$  算出更新無  
1: 入力  $f_s$  算出更新有
- OCSRNW 先頭 48 ビットチャンネルステータス更新結果(読み出し後クリア)  
0: 更新無  
1: 更新有
- OUNPCM  $\overline{\text{AUDIO}}$  出力(読み出し時の状態を出力)  
0: 非 PCM 信号検出無  
1: 非 PCM 信号検出有
- OPCRNW バーストプリアンプル  $P_c$  更新結果(読み出し後クリア)  
0: 更新無  
1: 更新有
- OGPIO 汎用 I/O パラレル入力設定時( $\text{GPIO}S=0$ )の入力データ更新結果(読み出し後クリア)  
0: 更新無  
1: 更新有
- OEMPF チャンネルステータスエンファシス検出(読み出し時の状態を出力)  
0: プリエンファシス無  
1: 50/15 $\mu$ s プリエンファシス有

- OERROR, OUNPCM は  $\overline{\text{INT}}$  出力設定に関わらず RESEL の設定に従った RERR および  $\overline{\text{AUDIO}}$  の状態が読み出される。

## LC89058W-E

---

CCB address:0xEA・読み出しレジスタ出力内容 3

D023	D022	D021	D020	D019	D018	D017	D016
0	0	0	0	DTSSES	DTS51	IEC1937	CSBIT1

- CSBIT1      チャンネルステータス bit1 検出  
              0 : PCM である  
              1 : 非 PCM である
- IEC1937      IEC61937 バーストプリアンプル検出  
              0 : Pa, Pb を検出していない  
              1 : Pa, Pb を検出した
- DTS51        DTS-CD/LD 5.1ch 同期信号検出  
              0 : DTS-CD/LD 同期信号を検出していない  
              1 : DTS-CD/LD 同期信号を検出した
- DTSSES      DTS ES-CD/LD 6.1ch 同期信号検出  
              0 : DTS ES-CD/LD 同期信号を検出していない  
              1 : DTS ES-CD/LD 同期信号を検出した

## LC89058W-E

### 12.3.3 読み出しレジスタ 0xEB(汎用 I/O パラレル入力内容、fs 算出結果)出力

CCB address:0xEB・読み出しレジスタ出力内容

D07	D06	D05	D04	D03	D02	D01	D00
FSC3	FSC2	FSC1	FSC0	P03	P02	P01	P00

- P00            汎用 I/O パラレル入力設定時(GPIOS=0)に GPIO0 端子へ入力された内容  
                   0 : L  
                   1 : H
- P01            汎用 I/O パラレル入力設定時(GPIOS=0)に GPIO1 端子へ入力された内容  
                   0 : L  
                   1 : H
- P02            汎用 I/O パラレル入力設定時(GPIOS=0)に GPIO2 端子へ入力された内容  
                   0 : L  
                   1 : H
- P03            汎用 I/O パラレル入力設定時(GPIOS=0)に GPIO3 端子へ入力された内容  
                   0 : L  
                   1 : H
- FSC[3:0]      入力データ fs 算出結果  
                   xxx : コード表参照

表 12.5: 入力 fs 算出結果コード表 (Ta=25°C, AVDD=DVDD=3.3V)

FSC3	FSC2	FSC1	FSC0	ターゲット周波数
0	0	0	0	Out of range
0	0	0	1	—
0	0	1	0	—
0	0	1	1	—
0	1	0	0	—
0	1	0	1	—
0	1	1	0	—
0	1	1	1	32kHz
1	0	0	0	44.1kHz
1	0	0	1	48kHz
1	0	1	0	64kHz
1	0	1	1	88.2kHz
1	1	0	0	96kHz
1	1	0	1	128kHz
1	1	1	0	176.4kHz
1	1	1	1	192kHz

## 12.3.4 読み出しレジスタ 0xEC(チャンネルステータス先頭 48 ビット読み出し)出力

- チャンネルステータスの先頭 48 ビットデータを読み出すことが出来る。
- 読み出したチャンネルステータスデータは LSB ファーストで出力される。
- 読み出しは CCB アドレスを 0xEC に設定すること。
- CCB アドレス設定後のチャンネルステータスデータは更新されない。
- 読み出しレジスタとチャンネルステータスデータの関係を示す。

表 12.6:先頭 48 ビットチャンネルステータス読み出しレジスタ

レジスタ	ビット No.	内容	レジスタ	ビット No.	内容
D00	bit0	用途	D024	bit24	標本化周波数
D01	bit1	コントロール	D025	bit25	
D02	bit2		D026	bit26	
D03	bit3		D027	bit27	
D04	bit4		D028	bit28	クロック精度
D05	bit5		D029	bit29	
D06	bit6	未規定	D030	bit30	未規定
D07	bit7		D031	bit31	
D08	bit8	カテゴリーコード	D032	bit32	ビット幅
D09	bit9		D033	bit33	
D010	bit10		D034	bit34	
D011	bit11		D035	bit35	
D012	bit12		D036	bit36	未規定
D013	bit13		D037	bit37	
D014	bit14		D038	bit38	
D015	bit15		D039	bit39	
D016	bit16	ソース番号	D040	bit40	
D017	bit17		D041	bit41	
D018	bit18		D042	bit42	
D019	bit19		D043	bit43	
D020	bit20	チャンネル番号	D044	bit44	
D021	bit21		D045	bit45	
D022	bit22		D046	bit46	
D023	bit23		D047	bit47	

## 12.3.5 読み出しレジスタ 0xED(バーストプリアンブル Pc データ)出力

- ・復調機能ではバーストプリアンブル Pc データを読み出すことが出来る。
- ・バーストプリアンブル Pc の 16 ビットデータは LSB ファーストで出力される。
- ・読み出しは CCB アドレスを 0xED に設定すること。
- ・読み出しレジスタとバーストプリアンブル Pc データの関係を以下に示す。

表 12.7:バーストプリアンブル Pc 読み出しレジスタ

レジスタ	ビット No.	内容
D00	bit0	データタイプ
D01	bit1	
D02	bit2	
D03	bit3	
D04	bit4	
D05	bit5	Reserved
D06	bit6	
D07	bit7	エラー
D08	bit8	データタイプ依存情報
D09	bit9	
D010	bit10	
D011	bit11	
D012	bit12	
D013	bit13	ビットストリーム番号
D014	bit14	
D015	bit15	

12.4 バーストプリアンブル Pc フィールド

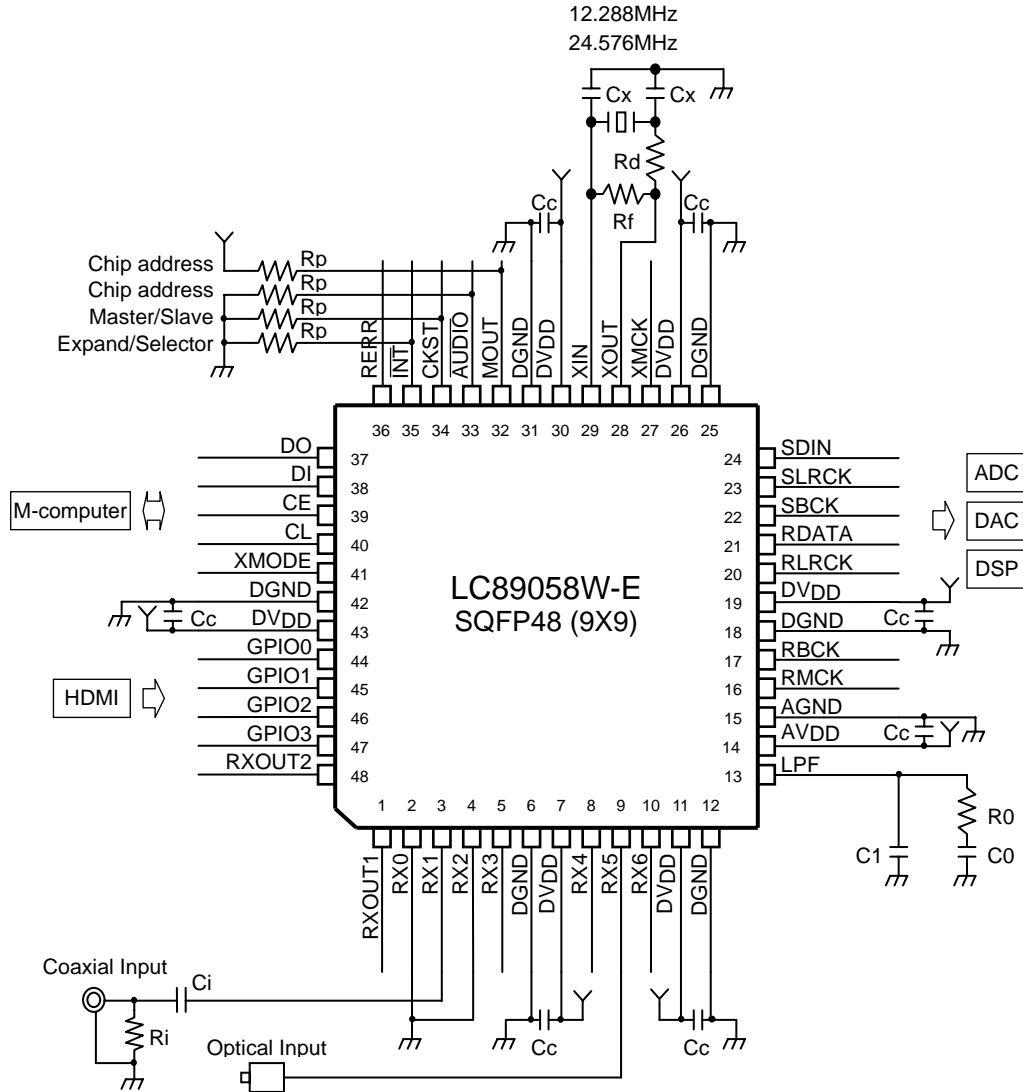
- ・以下にバーストプリアンブル Pc フィールドを示す。
- ・最新情報については各ライセンスから発行されている規格書で確認すること。

表 12. 8: バーストプリアンブル Pc フィールド

レジスタ	値	内容
D04-0	0	NULL データ
	1	ドルビーAC3 データ
	2	Reserved
	3	ポーズ
	4	MPEG-1、レイヤー1 データ
	5	MPEG-1、レイヤー2 または 3 データまたは拡張なし MPEG-2
	6	拡張ありの MPEG-2 データ
	7	Reserved
	8	MPEG-2、レイヤー1 低サンプリングレート
	9	MPEG-2、レイヤー2 または 3 低サンプリングレート
	10	Reserved
	11	DTS type1
	12	DTS type2
	13	DTS type3
	14	ATRAC
	15	ATRAC2/3
	16-26	Reserved
	27	Reserved (MPEG-4、AAC データ)
	28	MPEG-2、AAC データ
29-31	Reserved	
D06, 5	0	Reserved (0 に設定)
D07	0	有効なバーストペイロードを示すエラーフラグ
	1	バーストペイロードに誤り有を示すエラーフラグ
D012-8		データタイプ依存情報
D015-13	0	ビットストリーム番号 (0 に設定)

# LC89058W-E

## 13 応用回路例



素子記号	推奨定数	用途	備考
Cc	0.1 $\mu$ F	電源デカップリング	セラミックコンデンサ
Rp	10k $\Omega$	機能設定	プルダウン/プルアップ抵抗
Cx	1pF~33pF	水晶振動子負荷	NP0 特性セラミックコンデンサ
Rf	1M $\Omega$	発振アンプ帰還	
Rd	150 $\Omega$ ~330 $\Omega$	発振アンプ電流制限	
Ci	0.1 $\mu$ F~0.01 $\mu$ F	同軸入力 DC カット	セラミックコンデンサ
Ri	75 $\Omega$	同軸入力終端	
C0	**	PLL ループ・フィルタ	10.1.1 参照
C1	**	PLL ループ・フィルタ	10.1.1 参照
R0	**	PLL ループ・フィルタ	10.1.1 参照

図 13.1 : 応用回路例

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。[www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf)。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。